存储器1

程晨闻 东南大学电气工程学院

> CPU的组成

- 控制器 (PC, IR, ID, AR, TG, OC)
- 运算器 (ALU, AC, DR, PSW)
- 寄存器
- > CPU的功能
 - 程序控制,操作控制,时间控制,数据加工
- > 指令集
 - CISC
 - RISC
- > 程序的工作流程
- > 数据在计算机中的存储
 - 进制、符号数、原码、反码、**补码**
 - 定点数、浮点数



作业点评

1. 冯·诺伊曼计算机的基本设计思想是什么?哈佛结构的计算机,与冯·诺伊

曼计算机相比,有哪些优缺点?

冯氏计算机设计思想: 计算机处理的数据和指令用二进制数表示; 采用存储程序方式, 指令和数据存储在存储器中; 顺序执行程序的每一条指令; 由存储器、运算器、控制器、输入设备和输出设备五大部件组成计算机系统, 并规定了这五部分的基本功能。

优点:将程序指令存储和数据存储分开,数据和指令的储存可以同时进行,可以使指令和数据有不同的数据宽度,程序执行时也可以预先读取下一条指令,从而具有较高的执行效率和设计灵活性。

缺点:结构复杂,总线过多,对外部设备连接和处理能力要去较高,实现成本高。

2. 什么是总线, 总线通常有哪3组信号? 各组信号的作用是什么?

总线是指传递信息的一组公用导线,任一时刻,在总线上只能传递一种信息,只能 有一个部件在发送信息,但可以有多个部件在接收信息。

通常有地址总线(AB)、数据总线(DB)、控制总线(CB)。

地址总线:传送地址信息。输入/输出将要访问的内存单元或I/O端口的地址。地址 线的多少决定了系统直接寻址存储器的范围。

数据总线:传送数据信息。CPU读操作时,外部数据通过数据总线送往CPU;CPU写操作时,CPU数据通过数据总线送往外部。数据线的多少决定了一次能够传送数据的位数。

控制总线:传送控制信息。协调系统中各部件的操作,有输出控制、输入状态等信员。控制总线决定了系统总线的特点,例如功能、适应性等。

南京 四牌楼2号 http://ee.seu.edu.cn

作业点评

3.1) 计算机的字长是什么含义?2) 简述处理器中的流水线技术。

字长: 指CPU一次能并行处理的二进制的位数。

流水线技术:程序的执行过程实际上是不断地取出指令、分析指令、执行指令 的过程。取指在分析前,分析在执行前。而流水线技术使多条指令重叠进行操作的 一种准并行处理实现技术。

- 4. 将下列十六进制无符号整数,转换为十进制真值。
- 1) 0FFH (255) 2) 0H (0) 3) 5EH (94) 4) EFH (239)

- 5. 如果上题中的十六进制数为8位有符号整数,请将其转换位十进制真值
- 1) 0FFH (-127, -1) 2) 0H (0) 3) 5EH (94) 4) EFH (-111, -17)

- 6. 将下列十进制数转换为压缩BCD码
- 1) 12 (0001 0010) 2) 24 (0010 0100) 3) 68 (0110 1000) 4) 99 (1001 1001)
- 7. 将下列二级制补码表示的有符号整数转换为十进制真值
- 1) 0000 0000b (0) 2) 0111 1111b (127) 3) 1000 0001b (-127) 4)
- 1100 0111b (-57)

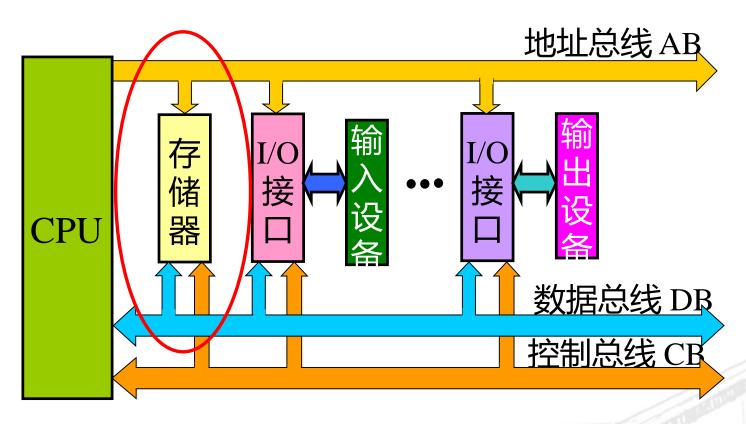


学习内容

- > 存储器的基本概念、种类和组成
- > SRAM的工作原理
- **▶ DRAM的工作原理**



> 存储器是计算机及嵌入式系统中的记忆设备



> 分类

- 半导体存储器
- 磁带光盘等



> 半导体存储器

随机存取存储器 (Radom access memory, RAM) 静态RAM (SRAM) 动态RAM (DRAM) 非易失RAM (NVRAM)

半导体 存储器

> 只读存储器 (Read only memory, ROM)

掩膜式ROM

一次性可编程ROM (PROM)

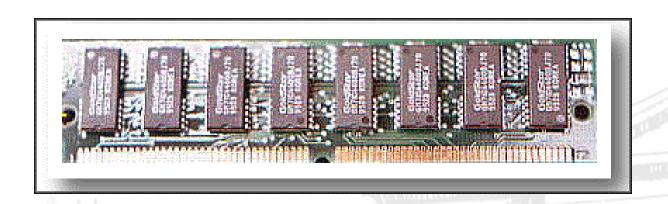
紫外线擦除可编程ROM (EPROM)

連擦除可编程ROM(EEPROM)

[囚速存储器(Flash Memory)

随机存储器RAM

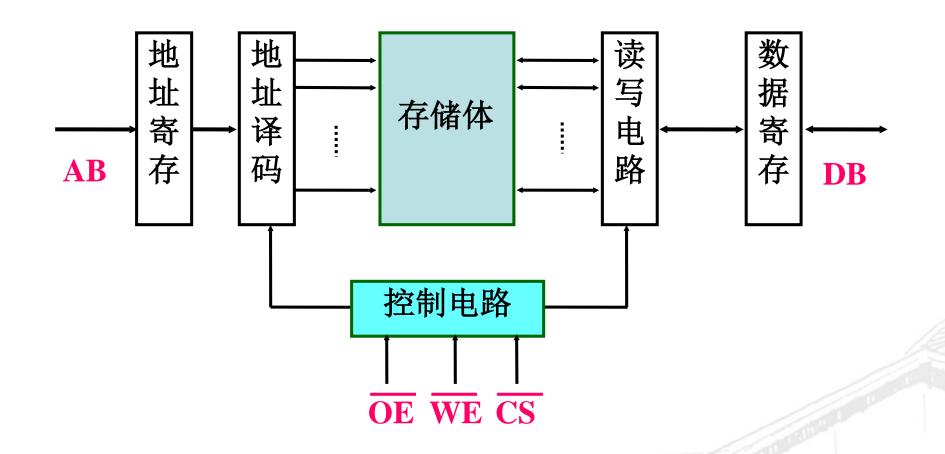
	组成单元	速度	集成度	应用
SRAM	触发器	快	低	小容量系统
DRAM	极间电容	慢	高	大容量系统
NVRAM	铁电材料,磁阻材料, 液晶	慢	低	小容量非易失

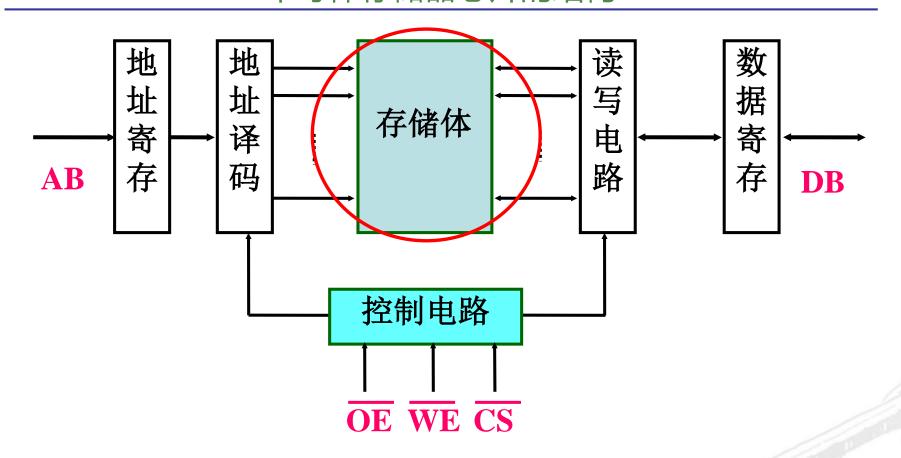


只读存储器ROM

种类	特点
掩膜ROM	信息制作在芯片中,不可更改
PROM	允许一次编程,此后不可更改
EPROM	用紫外光擦除,擦除后可编程; 并允许用户多次擦除和编程
EEPROM	采用加 <mark>电</mark> 方法在线进行擦除和编程,也可多次擦写
FLASH	能够多次、快速擦写,但只能按 块(Block)擦除

半导体存储器芯片的结构





存储体

存储器芯片的主要部分,用来存储信息

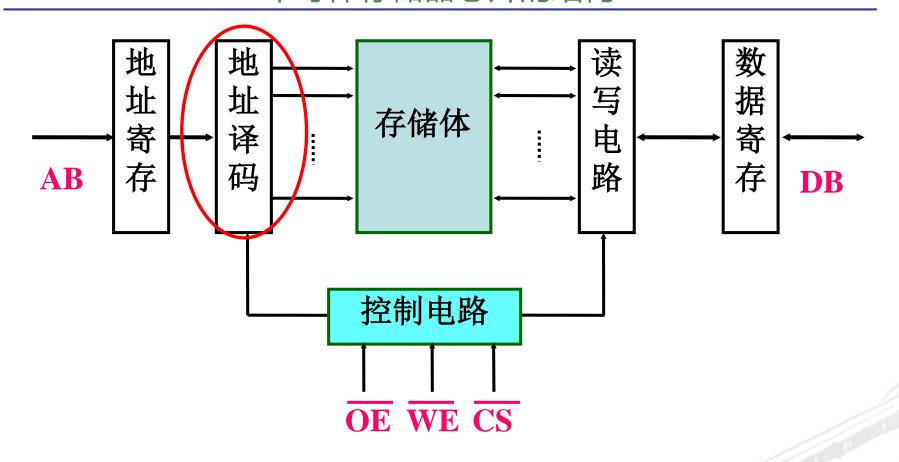
- 一个基本存储单元,只能存储1位数据
- 每个存储单元具有一个唯一的地址,可存储1位(位片结构)或多位(字片结构)
 二进制数据
- 存储容量与地址、数据线个数有关: 芯片的存储容量
 - $= 2^{M} \times N$ bits
 - = 存储单元数×存储单元的位数

M: 芯片的地址线根数

N: 芯片的数据线根数



半导体存储器芯片的结构



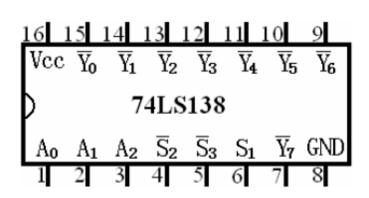
地址译码电路

根据输入的地址编码来选中芯片内某个特定 的存储单元



> 译码电路

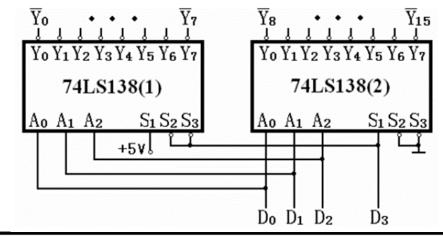
- 根据地址,选中其唯一对应的存储单元,如典型的 74LS138译码电路



3线-8线译码器	(74LS138)	功能表
	(/ TLO JO /	JU HEAX

输入			输出								
$\mathbf{S_1}$	$\overline{S}_2 + \overline{S}_3$	$A_2 A_1$	A_0	\overline{Y}_0	\overline{Y}_1	$\overline{\mathbf{Y}}_{2}$	$\overline{\mathbf{Y}}_{3}$	$\overline{\mathrm{Y}}_{4}$	\overline{Y}_5	\overline{Y}_6	$\overline{\mathbf{Y}}_7$
0	x	× ×	x	1	1	1	1	1	1	1	1
×	1	× ×	x	1	1	1	1	1	1	1	1
1	0	0 0	0	0	1	1	1	1	1	1	1
1	0	0 0	1	1	0	1	1	1	1	1	1
1	0	0 1	0	1	1	0	1	1	1	1	1
1	0	0 1	1	1	1	1	0	1	1	1	1
1	0	1 0	0	1	1	1	1	0	1	1	1
1	0	1 0	1	1	1	1	1	1	0	1	1
1	0	1 1	0	1	1	1	1	1	1	0	1
1	0	1 1	1	1	1	1	1	1	1	1	0

> 级联使用

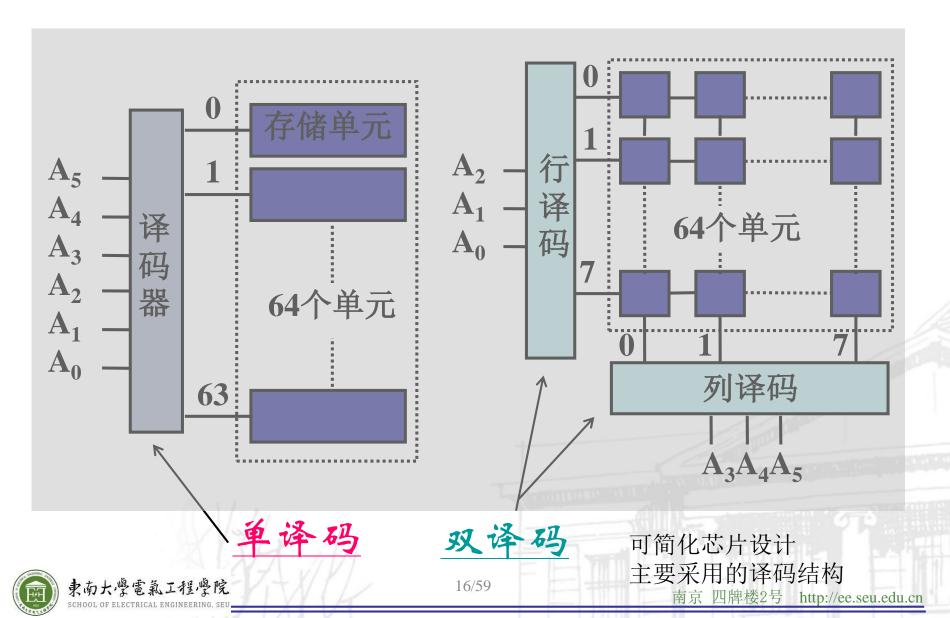


$\mathbf{D_3} \; \mathbf{D_2} \; \mathbf{D_1} \; \mathbf{D_0}$	$\overline{Y_0} \overline{Y_1} \overline{Y_2} \overline{Y_3} \overline{Y_4} \overline{Y_5} \overline{Y_6} \overline{Y_7} \overline{Y_8} \overline{Y_9} \overline{Y_{10}} \overline{Y_{11}} \overline{Y_{12}} \overline{Y_{13}} \overline{Y_{14}} \overline{Y_{15}}$
0 0 0 0	
0 0 0 1	
0 0 1 0	
$0 \ 0 \ 1 \ 1$	
0 1 0 0	
0 1 0 1	
0 1 1 0	
$0 \ 1 \ 1 \ 1$	
1 0 0 0	
1 0 0 1	
1 0 1 0	
1 0 1 1	
1 1 0 0	
1 1 0 1	
1 1 1 0	
1 1 1 1	



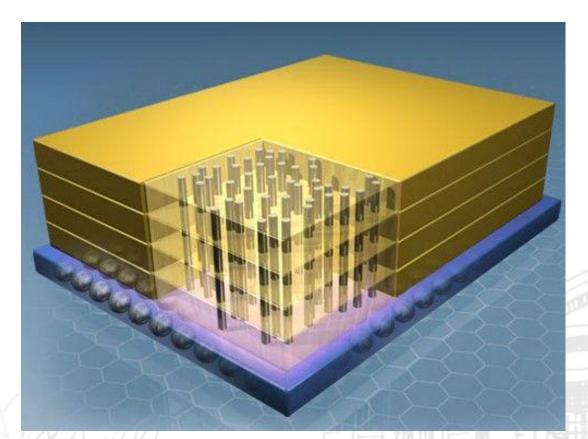
東南大學電私工程写院

> 存储器内部的译码电路



- 3D存储技术

· 普通的存储芯片多为平面结构,数据只能前后左右移动,而3D存储 芯片可实现数据在三维空间中的存储和传递,将大幅提高存储设备 的存储能力





片选和读写控制逻辑

选中存储芯片,控制读写操作

片选和读写控制逻辑

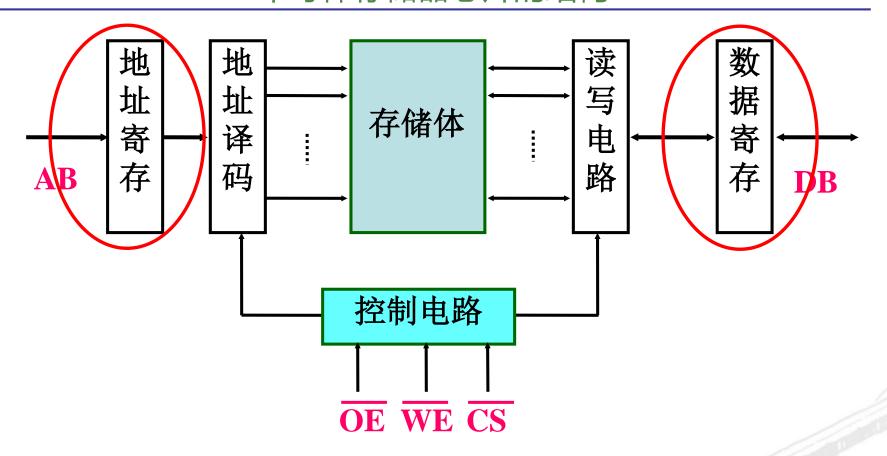
➤ 片选端/CS或/CE

- 有效时,可以对该芯片进行读写操作
- ➤ 输出/OE
 - 控制读操作
 - 有效时,芯片内数据输出
 - 该控制端对应系统的读控制线
- > 写/WE
 - 控制写操作
 - 有效时,数据进入芯片中
 - 该控制端对应系统的写控制线



19/59

半导体存储器芯片的结构



数据缓冲

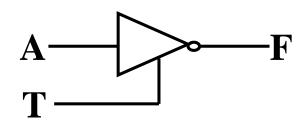
存储器数据与总线的接口



> 数据缓冲

存储器数据与总线的接口,本存储器工作时,既要输入, 又要输出。本存储器不工作时,要呈现高阻态,不影响 其他存储器工作。

> 三态门: 功率放大、导通开关

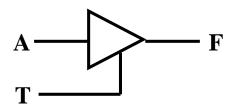


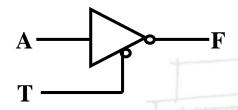
T为低平时:

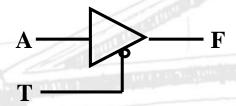
输出为高阻抗 (三态)

T为高电平时:

输出为输入的反相



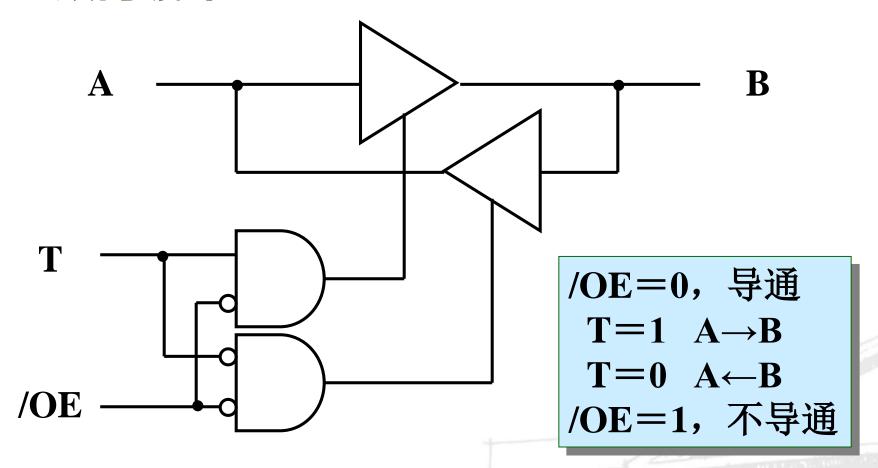




O 表示反相或低电平有效



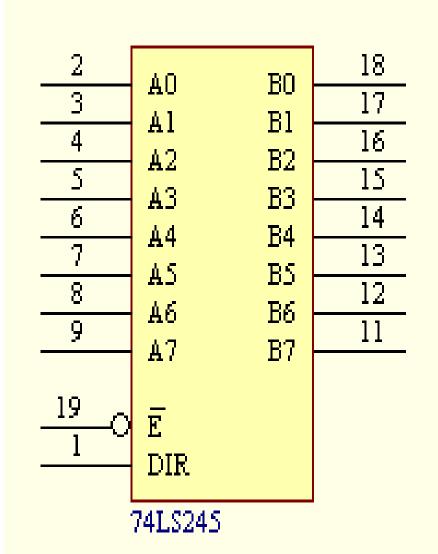
> 双向缓冲区



具有双向导通和三态的特性



74LS245



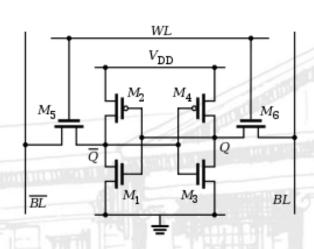
8位双向缓冲器

- · 控制端连接在一起, 低电平有效
- ・可以双向导通
- ・輸出与輸入同相

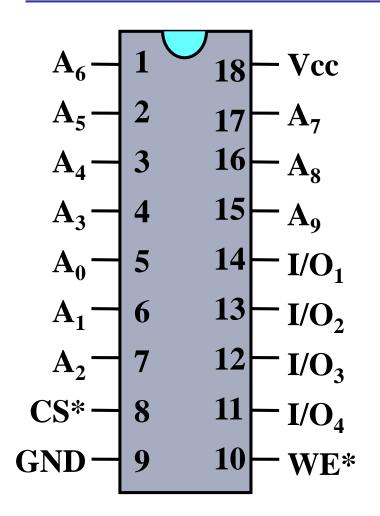
/ E=0,导通 DIR=1 A→B DIR=0 A←B / E=1,不导通

- > SRAM的基本存储单元是触发器电路
- > 每个基本存储单元存储二进制数一位
- > 许多个基本存储单元形成行列存储矩阵
- > SRAM一般采用"字结构"存储矩阵
 - 每个存储单元存放多位(4、8、16等)
 - **每个存储单元具有一个地址**









SRAM芯片2114

存储容量为1024×4

NC —	1	28	
$\mathbf{A_{12}}$ —	2	27	— WE*
$\mathbf{A_7}$ —	3	26	$ CS_2$
$\mathbf{A_6}$	4	25	— A ₈
$\mathbf{A_5}$ —	5	24	$-A_9$
$\mathbf{A_4}$ —	6	23-	$ A_{11}$
$\mathbf{A_3}$	7	22	— OE *
$\mathbf{A_2}$ —	8	21	$ \mathbf{A_{10}}$
$\mathbf{A_1}^-$	9	20	— CS1*
$\mathbf{A_0}$	10	19	$-\mathbf{D_7}$
$\mathbf{D_0}$ —	11	18	$-\mathbf{D_6}$
$\mathbf{D_1}$ —	12	17	$-\mathbf{D_5}$
$\mathbf{D_2}$	13	16	$-\mathbf{D_4}$
GND —	14	15	$-\mathbf{D}_{3}$
	CDA	M芯片6264	570

SRAM芯片6264

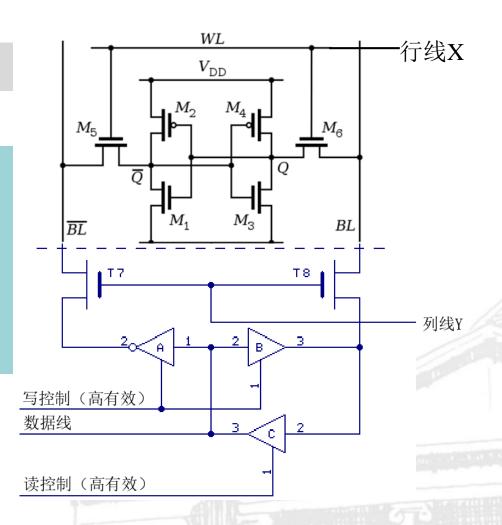
存储容量为8k×8

南京 四牌楼2号 http://ee.seu.edu.cn

SRAM六管结构的工作原理

保持(Standby)

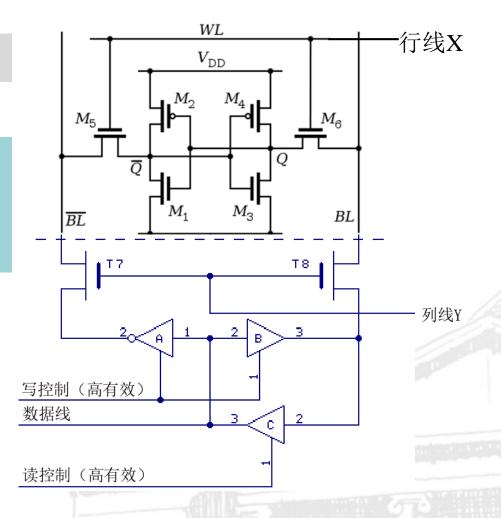
- 字线(Word Line, WL)低电平, M5 和M6断路,基本单元和位线隔离;
- 由M1-M4组成的两个反相器继续保 持其状态,保持与高、低电平的连接;
- 数据线呈高阻态。



SRAM六管结构的工作原理

(Reading)

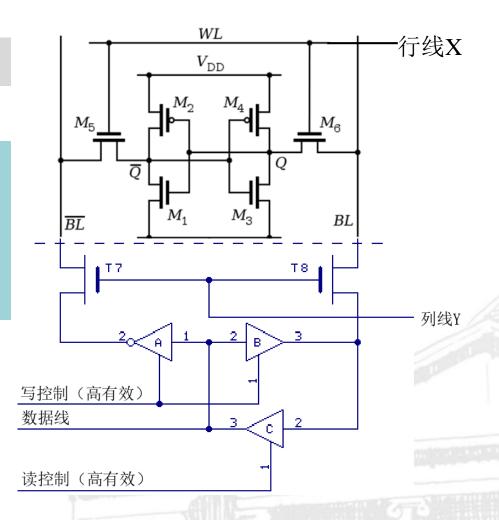
- 行线和列线被选中,读使能,写无效;
- M5, M6, M7, M8导通, Q中保存的 值传送的数据线上。



SRAM六管结构的工作原理

写 (Writing)

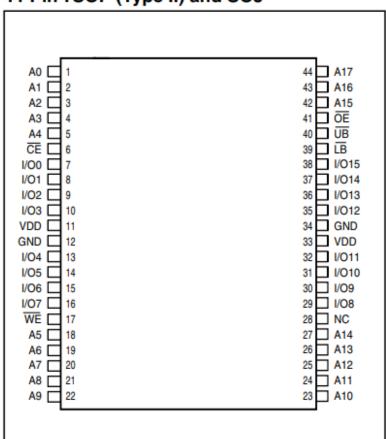
- 行线和列线被选中,写使能,读无效;
- M5, M6, M7, M8导通,数据线上 为需要写入的数据,且具有较强的驱 动能力,强制存储单元改变状态。



> IS61LV25616AL

- 共有 4,194,304-bit 个存储单元 262,144 ×16 bits

PIN CONFIGURATIONS 44-Pin TSOP (Type II) and SOJ



PIN DESCRIPTIONS

A0-A17	Address Inputs
I/O0-I/O15	Data Inputs/Outputs
CE	Chip Enable Input
ŌĒ	Output Enable Input
WE	Write Enable Input
LB	Lower-byte Control (I/O0-I/O7)
ŪB	Upper-byte Control (I/O8-I/O15)
NC	No Connection
VDD	Power
GND	Ground





静态RAM

- / CE为低电平, 芯片方能正常工作;
- / OE为低电平,输出使能;
- /WE为低电平,写使能;
- /LB为低电平,低位可读写;
- / UB为低电平, 高位可读写。

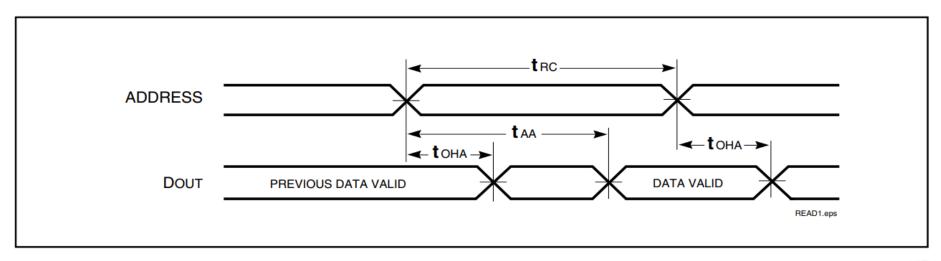
PIN DESCRIPTIONS					
A0-A17	Address Inputs				
I/O0-I/O15	Data Inputs/Outputs				
CE	Chip Enable Input				
ŌĒ	Output Enable Input				
WE	Write Enable Input				
LB	Lower-byte Control (I/O0-I/O7)				
ŪB	Upper-byte Control (I/O8-I/O15)				
NC	No Connection				
V _{DD}	Power				
GND	Ground				

TRUTH TABLE

		I/O PIN						
Mode	WE	CE	ŌE	ĪΒ	$\overline{\sf UB}$	I/O0-I/O7	I/O8-I/O15	VDD Current
Not Selected	х н х		X	X	High-Z	High-Z	ISB1, ISB2	
Output Disabled	Н	L	Н	X	Х	High-Z	High-Z	Icc
	X	L	X	Н	Н	High-Z	High-Z	
Read	Н	L	L	L	Н	D оит	High-Z	Icc
	Н	L	L	Н	L	High-Z	D оит	
	Н	L	L	L	L	D оит	D оит	
Write	L	L	X	L	Н	Din	High-Z	Icc
	L	L	X	Н	L	High-Z	DIN	
	L	L	X	L	L	DIN	DIN	

> 读周期1

READ CYCLE NO. $1^{(1,2)}$ (Address Controlled) ($\overline{CE} = \overline{OE} = V_{IL}$, \overline{UB} or $\overline{LB} = V_{IL}$)

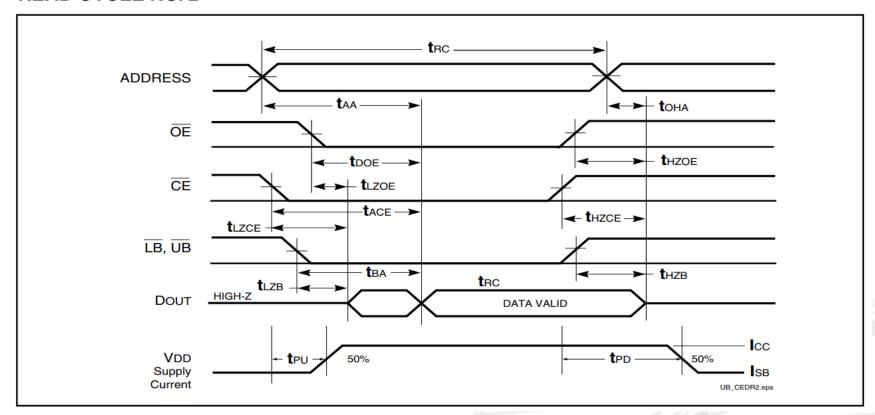


- 片选信号/ CS和输出使能信号/ OE永久为低电平;
- /WE高电平;
- 给出地址,即可读到数据;
- 适用于小规模简单系统。



〉读周期2

READ CYCLE NO. 2^(1,3)



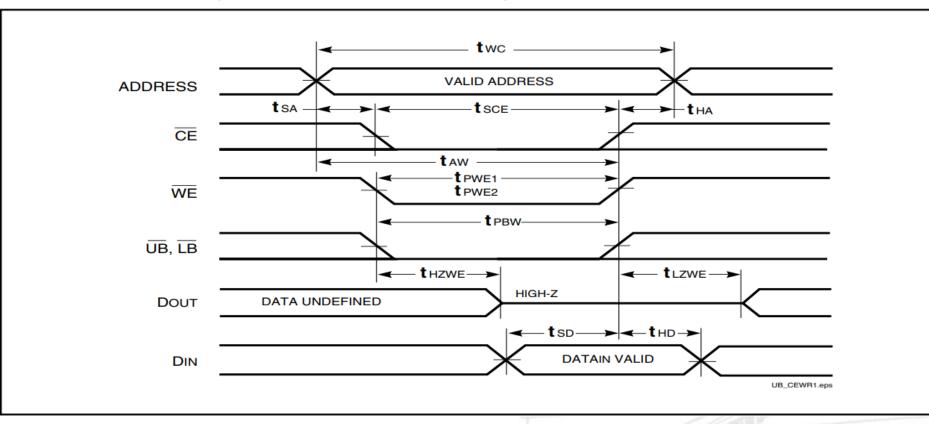
- / WE高电平;
- 芯片由/OE、/CE、/UB和/LB选定。



SRAM写操作

> 写周期1

WRITE CYCLE NO. 1 (CE Controlled, OE is HIGH or LOW) (1)

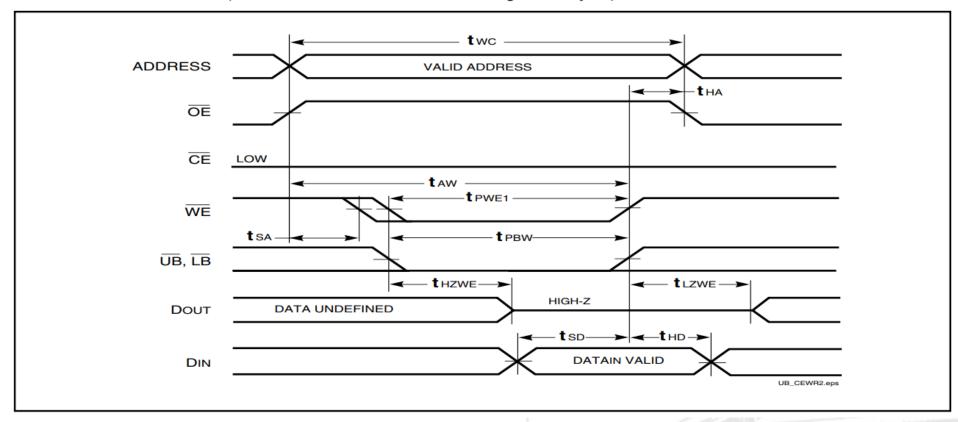


- / CE低电平选中芯片, / OE为高或低;
- /WE为低电平,数据即可写入。



▶ 写周期2

WRITE CYCLE NO. 2 (WE Controlled. OE is HIGH During Write Cycle) (1,2)



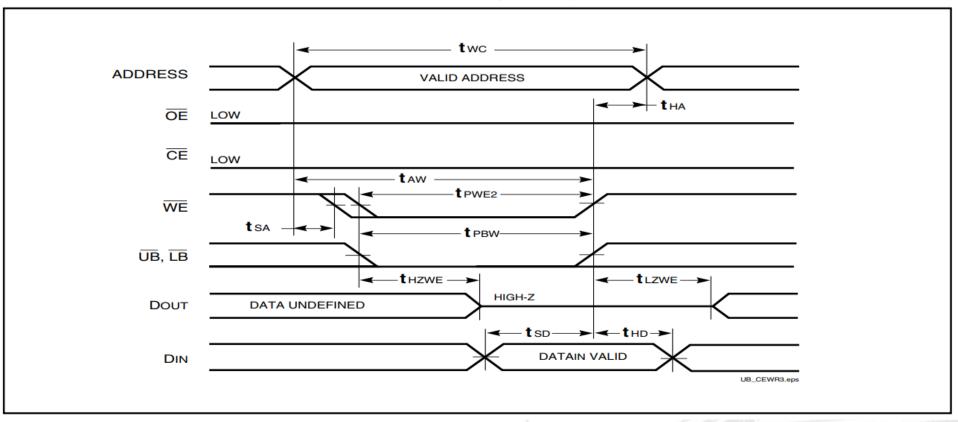
- / CE始终为低电平选中芯片, / WE变为低电平, 数据即可写入;
- / OE在写过程中保持为高。



SRAM写操作

> 写周期3

WRITE CYCLE NO. 3 (WE Controlled. OE is LOW During Write Cycle) (1)

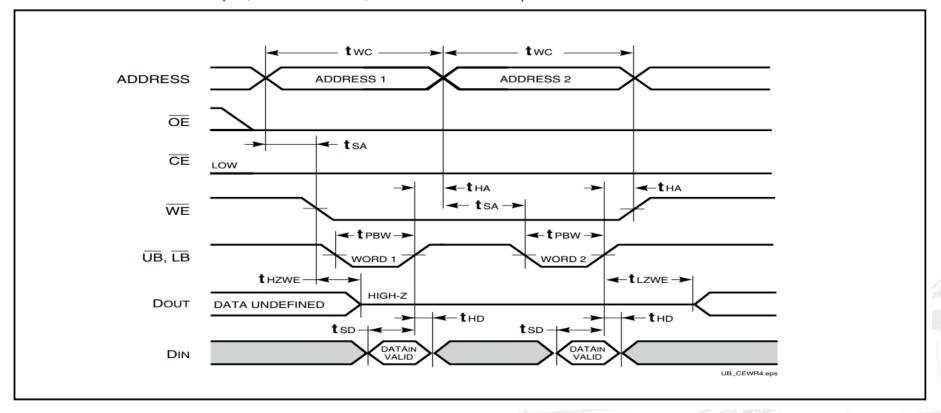


- /CE始终为低电平选中芯片,/WE变为低电平,数据即可写入;
- /OE在写过程中保持为低。



> 写周期4

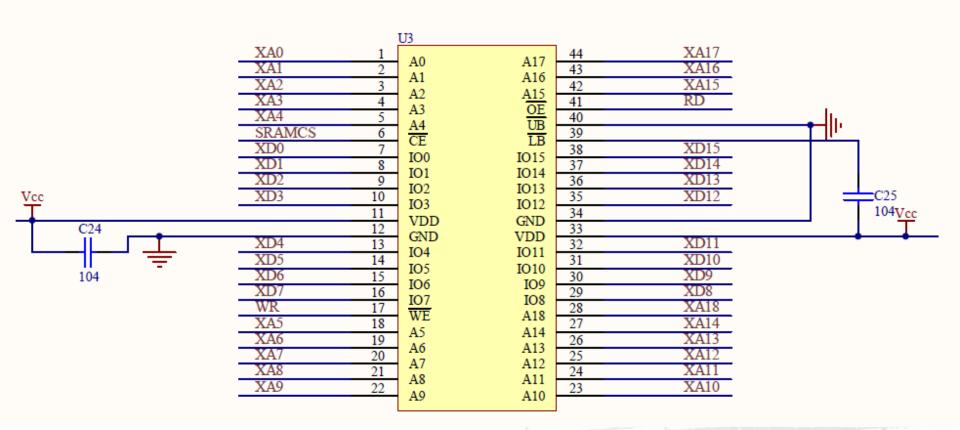
WRITE CYCLE NO. 4 (LB, UB Controlled, Back-to-Back Write) (1,3)



- / CE始终为低电平选中芯片, / WE变为低电平, 数据即可写入;
- 控制/UB和/LB可控制数据写入不同位置。



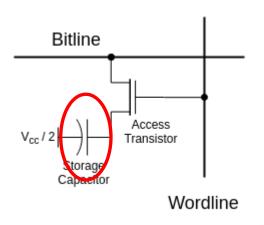
> 与MCU的连接



➢ 动态随机存储器 (Dynamic Random Access Memory, DRAM)

是我们常说的计算机内存,在现代计算机系统和SOC系统中有很重要的作用。

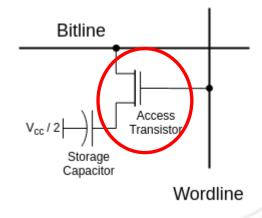
- 存储电容(Storage Capacitor)
 - ・ Common 端接在 Vcc/2
 - · 另一端电压为 Vcc时,存储信息为1
 - · 另一端电压为 O时,存储信息为 O



➤ 动态随机存储器 (Dynamic Random Access Memory, DRAM)

是我们常说的计算机内存,在现代计算机系统和SOC系统中有很重要的作用。

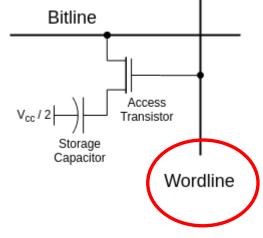
- 存储电容(Storage Capacitor)
 - ・ Common 端接在 Vcc/2
 - ・另一端电压为 Vcc时,存储信息为1
 - · 另一端电压为 O时,存储信息为 O
- 访问晶体管(Access Transistor)
 - ・导通和截止,决定了允许或禁止对存储电容所存储信息的读取和改写



→ 动态随机存储器 (DRAM)

是我们常说的计算机内存,在现代计算机系统和SOC系统中有很重要的作用。

- 存储电容(Storage Capacitor)
 - ・ Common 端接在 Vcc/2
 - ・另一端电压为 Vcc时,存储信息为1
 - · 另一端电压为 O时,存储信息为 O
- 访问晶体管(Access Transistor)
 - ・导通和截止,决定了允许或禁止对存储电容所存储信息的读取和改写
- 字线(Wordline)
 - ・决定了访问晶体管的导通或者截止

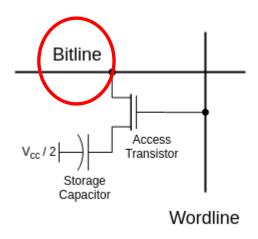




➢ 动态随机存储器 (DRAM)

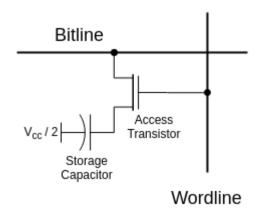
- 是我们常说的计算机内存,在现代计算机系统和SOC系统中有很重要的作用。

- 存储电容(Storage Capacitor)
 - ・ Common 端接在 Vcc/2;
 - · 另一端电压为 Vcc时, 存储信息为1;
 - · 另一端电压为 O时,存储信息为O。
- 访问晶体管(Access Transistor)
 - · 导通和截止,决定了允许或禁止对存储电容所存储信息的<mark>读取和改写</mark>。
- 字线(Wordline)
 - · 决定了访问晶体管的<mark>导通</mark>或者截止。
- 位线(Bitline)
 - · 是外界访问存储电容的唯一通道;
 - 当访问晶体管导通后,外界可以通过位线对存储电容进行读取或者写入操作。



> 数据读写原理

- 读数据时
 - · **字线**高电平;
 - · 打开**访问晶体管**;
 - 然后读取**位线**上的状态;
- 写数据时
 - 先把写入的电平状态设定到位线上;
 - 然后打开访问晶体管;
 - 通过位线改变存储电容内部的状态。

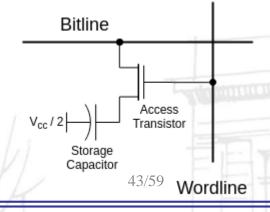


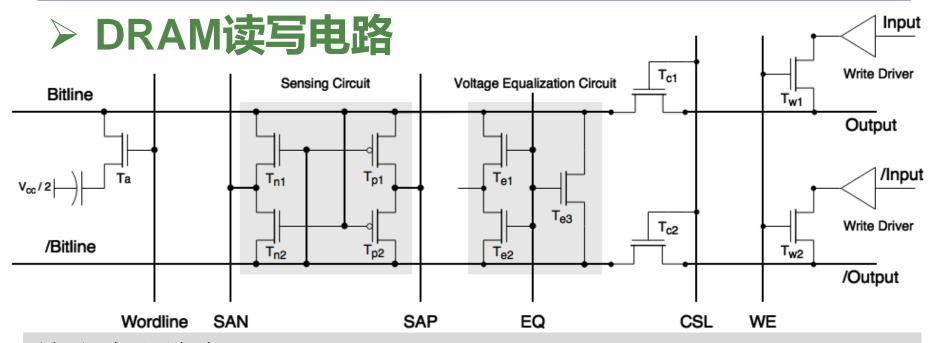
> 缺点

- 外界的逻辑电平与 Storage Capacitor 的电平不匹配
 - 位线的电容值>>存储电容(通常为 10 倍以上);
 - 当访问晶体管导通后,如果存储电容存储的信息为1时,位线电压变化非常小。
 外界电路无法直接通过位线来读取存储电容所存储的信息。
- 进行一次读取操作后,存储电容存储的电荷会变化
 - 读取操作过程中, **访问晶体管**导通;
 - 位线存储电容端的电压不一致 -> 存储电容中存储的电荷量被改变;
 - 下一次读取操作过程中,无法正确判断存储电容内存储的信息。
- **不进行读写操作,其所存储的电荷都会慢慢变少**
 - 要求 DRAM 在没有读写操作时,也要主动对**存储电容**进行电荷恢复的操作。

四牌楼2号

http://ee.seu.edu.cn





差分读取放大器 (Differential Sense Amplifier)

- 组成
 - 读出电路 (Sensing Circuit)
 - 电压均衡电路 (Voltage Equalization Circuit)
- 功能
 - 将**存储电容**存储的信息**转换**为逻辑 1 或者 0 所对应的电压,并呈现到**位线**上
 - 在完成一次读取后,通过位线将存储电容中的电荷恢复到读取之前的状态



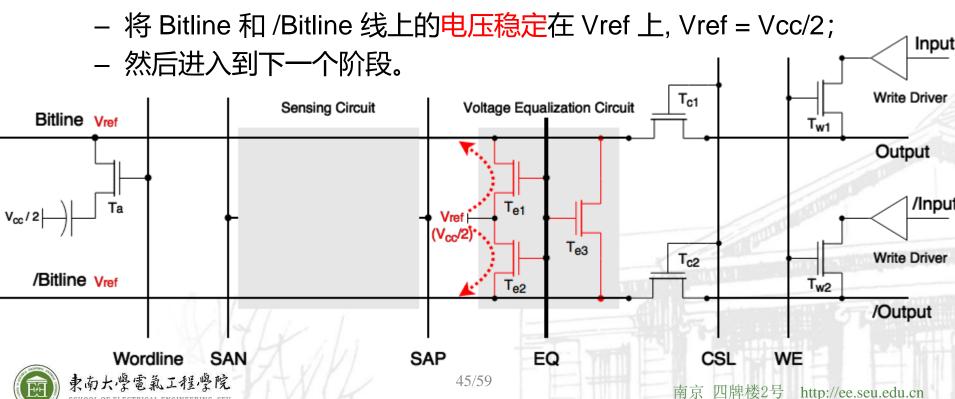
DRAM

➢ 一个完整的 Read Operation 过程

- Precharge
- Access
- Sense
- Restore

> Precharge

- 首先会通过控制 EQ 信号, 让 Te1、Te2、Te3 晶体管导通;



> Access

- 经过 Precharge 阶段, Bitline 和 /Bitline 线上的电压已经稳定在 Vref;
- 通过控制 Wordline 信号,将 Ta 晶体管导通;

- Storage Capacitor 中存储正电荷会流向 Bitline, 继而将 Bitline 的电压

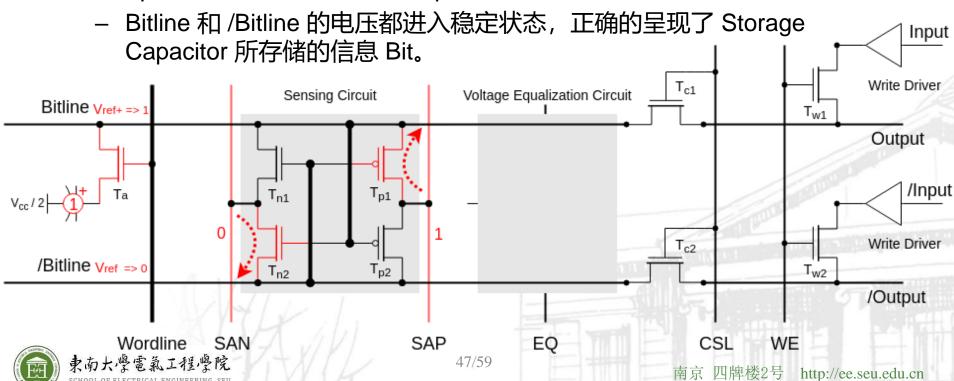
拉升到 Vref+;

假设存储电容存储的信息为1 - 进入到下一个阶段。 Input Write Driver T_{c1} Voltage Equalization Circuit Sensing Circuit Bitline Vref+ T_{w1} Output /Input Write Driver T_{C2} /Bitline Vref Tw2 /Output CSL Wordline EQ WE SAN SAP

DRAM

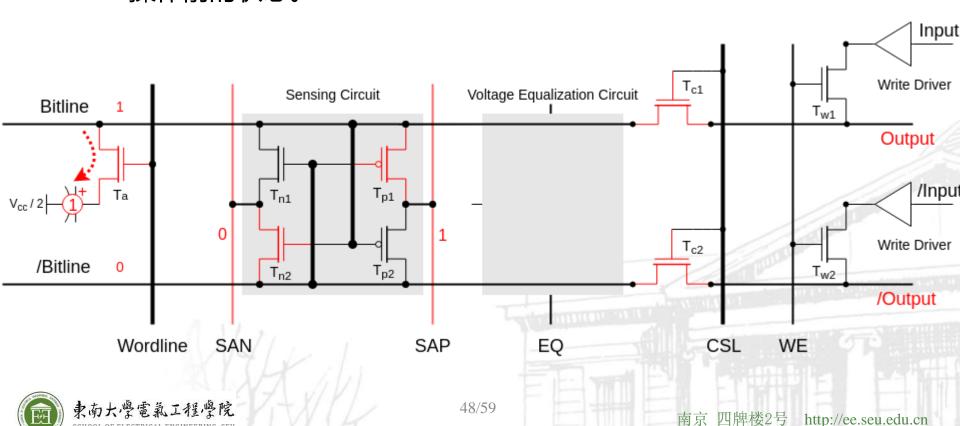
> Sense

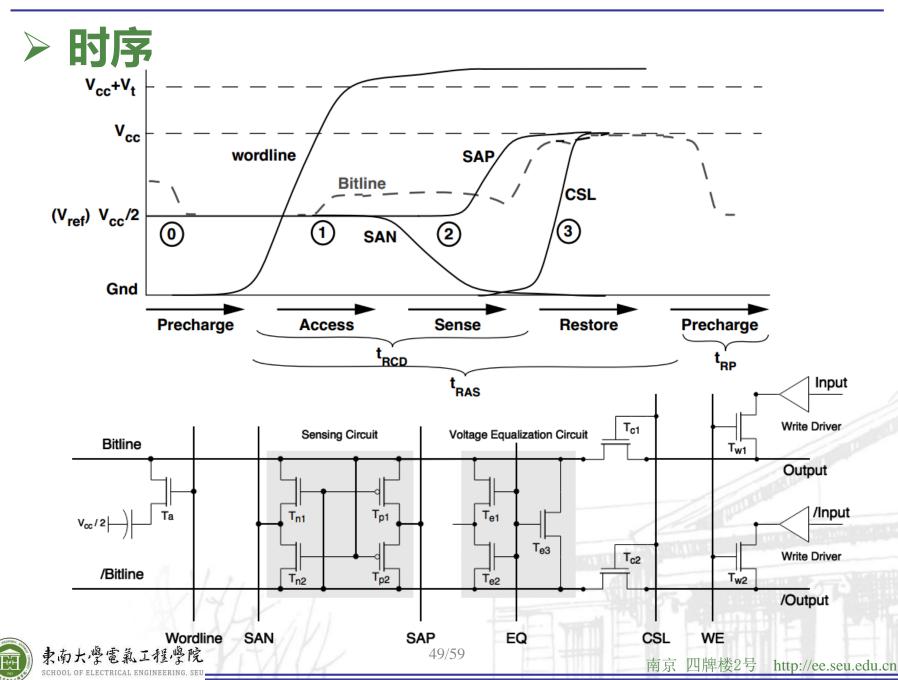
- 由于在 Access 阶段, Bitline 的电压被拉升到 Vref+, Tn2 会比 Tn1 更具导通性, Tp1 则会比 Tp2 更具导通性;
- SAN (Sense-Amplifier N-Fet Control) 设定为逻辑 0 的电压, /Bitline 上的电压会更快被 SAN 拉到逻辑 0 电压;
- SAP (Sense-Amplifier P-Fet Control) 设定为逻辑 1 的电压,即 Vcc, Bitline 上的电压也会更快被 SAP 拉到逻辑 1 电压;
- Tp1 和 Tn2 进入导通状态, Tp2 和 Tn1 进入截止状态。



Restore

- 在完成 Sense 阶段的操作后, Bitline 线处于稳定的逻辑 1 电压 Vcc;
- 此时 Bitline 会对 Storage Capacitor 进行充电;
- 经过特定的时间后, Storage Capacitor 的电荷就可以恢复到读取 操作前的状态。



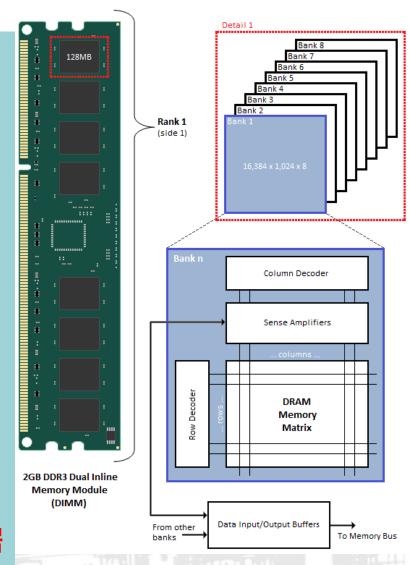


> DRAM存储矩阵的结构

- 差分读取放大器位于列线上
- 一个DRAM Array只能一次取出一个比特的数

据

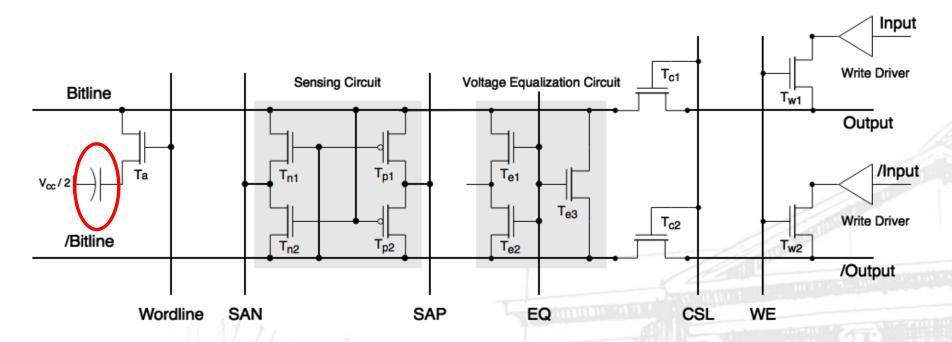
- 同时读取2, 4, 8或16位的方法
 - 一个DRAM颗粒中封装多个DRAM array, 同时接受列地址
 - 给出一个位的数据
 - 如果有8个DRAM array,则可做成一个8位的DRAM颗粒
- 差分读取放大器位于列线上,因此行线响应比列线慢,所以尽量访问同一行的数据



DRAM刷新

〉原因

- 存储单元的访问是随机的,某些存储单元可能长期得不到访问,不进行存储器的读/写操作,其存储单元内的原信息将会慢慢消失
- 必须采用<mark>定时刷新</mark>的方法,它规定在一定的时间内,对动态RAM 的全部基本单元电路必作一次刷新,一般取<mark>2ms</mark>,即<mark>刷新周期</mark>(再 生周期)



> 集中刷新

- 在刷新周期内,对全部存储单元集中一段时间进行刷新(逐行进行);
- 此时必须停止读写操作。

> 分散刷新

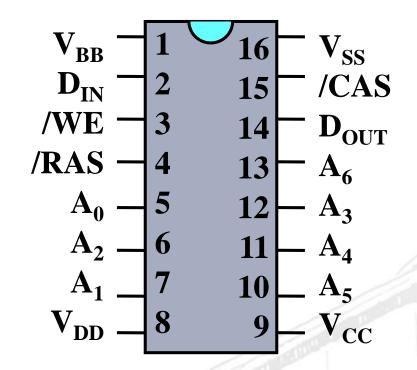
- 在每个存储周期后刷新一行;
- 增加读取时间, **降低**系统**速度;**
- 刷新周期**过高**,造成**浪费**。

> 异步刷新

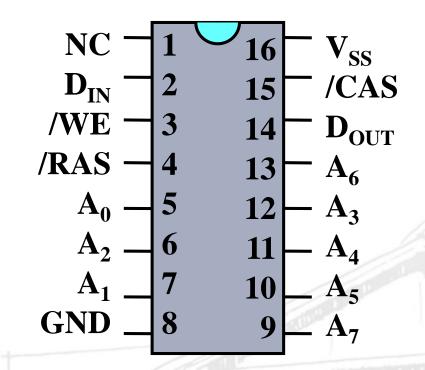
- 在刷新周期内对所有行各刷新一次;
- 每隔 (刷新周期/总行数) us, 刷新一次;
- 能充分利用刷新周期。



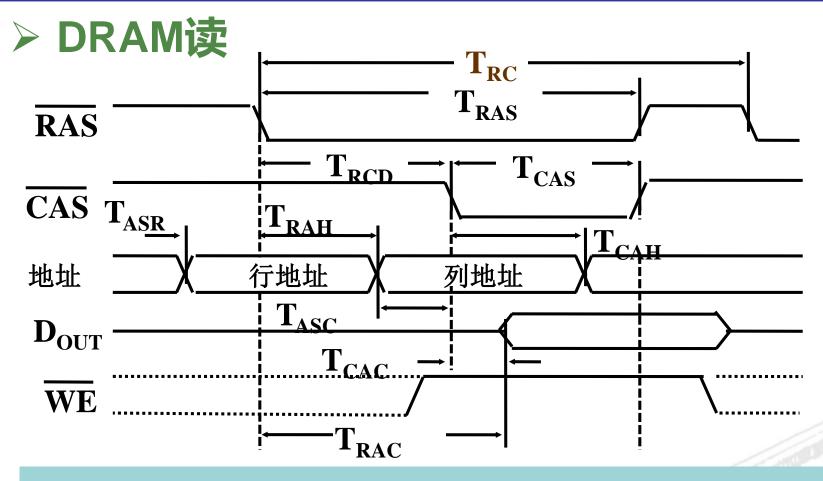
- ・存储容量为16K×1
- ・16个引脚:
 - 7根地址线A₆ ~ A₀
 - -1根数据输入线 $\mathbf{D_{IN}}$
 - -1根数据输出线 D_{OUT}
 - 行地址选通/RAS
 - 列地址选通/CAS
 - 读写控制/WE



- 存储容量为64K×1
- ・16个引脚:
 - 8根地址线A₇~A₀
 - -1根数据输入线 D_{IN}
 - -1根数据输出线 D_{OUT}
 - 行地址选通/RAS
 - 列地址选通/CAS
 - 读写控制/WE



DRAM 4116的读周期

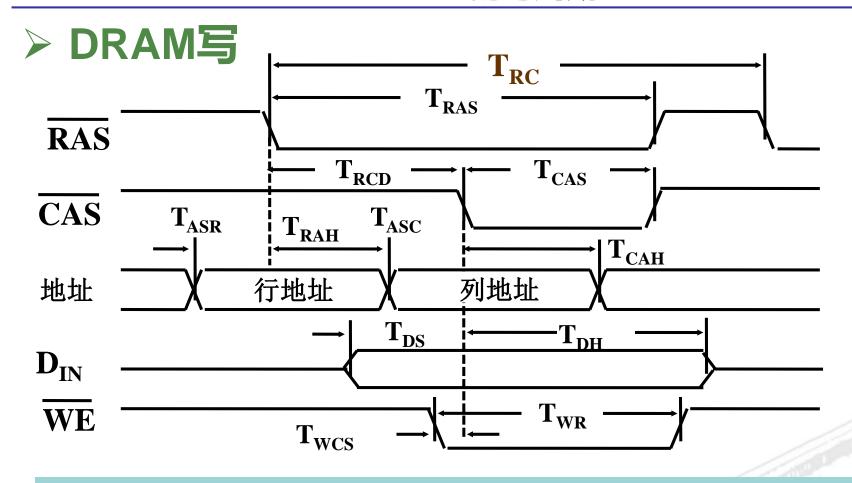


- · DRAM的存储地址需要分两批传送;
- 行地址选通信号/RAS有效,开始传送行地址;
- 随后,列地址选通信号/CAS有效,传送列地址;
- 读写信号/WE读有效,数据从DOUT引脚输出。



南牙 四牌倭2号 http://ee.seu.edu.cn

DRAM 4116的写周期

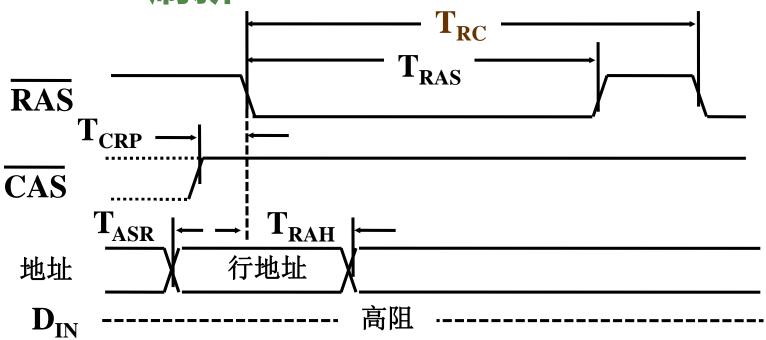


- 存储地址需要分两批传送
- 行地址选通信号/RAS有效,开始传送行地址
- 随后,列地址选通信号/CAS有效,传送列地址
- · 读写信号/WE写有效,数据从DIN引脚进入存储单元



DRAM 4116的刷新

▶ DRAM刷新



- 采用"仅行地址有效"方法刷新
- 行地址选通/RAS有效,传送行地址; 列地址选通/CAS无效, 没有列地址
- 芯片内部实现一行存储单元的刷新
- 没有数据输入输出
- 存储系统中所有芯片同时进行刷新
- DRAM必须每隔固定时间就刷新57/59



SRAM VS DRAM

种类	SRAM	DRAM
体积	MOS管大,占硅面积大	MOS管少,占硅面积小
功耗	大	小
集成度	低	高
刷新	不需要	需要
速度	快	慢
与CPU连接	直接连接	需要专门控制器
应用	Cache	计算机内存



谢谢!