

# 目录

- 一、供电说明： ..... 4
- 二、底板资源简介： ..... 4
- 三、底板跳线说明： ..... 5
- 四、核心板为 TM4C1294\_launchpad 时各模块具体使用说明。 ..... 6
  - 1、TM4C1294 与数模混合电路模块通信接口（EPI） ..... 6
  - 2、VGA 接口： ..... 7
  - 3、液晶 12864 接口： ..... 8
  - 4、4\*4 小键盘： ..... 9
  - 5、高精度 AD（ADS1602 单通道 16 位 AD 评估板）接口： ..... 10
  - 6、PWM 信号： ..... 11
  - 7、片内 AD 信号： ..... 12
  - 8、RS-232 接口： ..... 13
  - 9、PMOD 接口： ..... 13
- 附录 1： TM4C1294 与数模混合电路模块中 FPGA 数据传输协议参考..... 14
- 附录 2： 例程目录..... 19

# 图目录

图 1 底板资源简介.....	4
图 2 TM4C1294_Launchpad 和液晶安装示意图.....	5
图 3 数模混合电路模块安装示意图.....	5
图 4 四脚跳线.....	6
图 5 三脚跳线.....	6
图 6 TM4C1294_Launchpad 板上各跳线连接示意.....	7
图 7 ADS1602 评估板接口 .....	10
图 8 PWM 信号对应跳线连接示意图.....	11
图 9 片内 AD 连接示意图.....	12
图 10 FPGA 端寄存器定义 .....	14
图 11 RX FIFO 数据格式定义 .....	14
图 12 TX FIFO 数据格式定义.....	15
图 13 控制寄存器 CTRL_REG 位定义 .....	15
图 14 状态寄存器 STAT_REG 位定义.....	16
图 15 TM4C1294 读取 FPGA 存储数据流程.....	17
图 16 TM4C1294 向 FPGA 发送数据流程.....	18

# 表目录

表 1 TM4C1294 与数模混合电路模块中 FPGA 通信引脚.....	8
表 2 TM4C1294 与液晶连接引脚 .....	9
表 3 TM4C1294 与键盘连接引脚 .....	9
表 4 键码对照表.....	10
表 5 TM4C1294 与高精度 AD（ADS1602）通信接口连接引脚.....	11
表 6 TM4C1294 片内 PWM 引出脚说明 .....	11
表 7 PWM 信号输出接口 P9 说明.....	12
表 8 TM4C129 片内 AD 引出信号说明 .....	12
表 9 AD 信号输入接口 P8 说明 .....	13
表 10 RS232 通信引脚连接说明.....	13
表 11 PMOD（3.3V）接口 P19 说明.....	13
表 12 PMOD（3.3V）接口 P20 说明.....	13
表 13 PMOD（1.8V）接口 P21 说明.....	13
表 14 RX FIFO 数据类型定义 .....	14
表 15 TX FIFO 数据类型定义.....	15
表 16 控制寄存器 CTRL_REG 各位功能描述 .....	16
表 17 状态寄存器 STAT_REG 各位功能描述.....	16

## 一、供电说明：

本实验平台采用 12V3.5A 直流电源供电，电源接口为 5.5mm\*2.1mm 直流电源插座。板上电平等级有 12VDC、5VDC、3.3VDC，具体电源接口电路见原理图。

## 二、底板资源简介：

实验平台底板上可插接 TM4C1294\_Launchpad 等采用 Launchpad 接口标准的 MCU 核心板，以及数模混合电路模块。底板上资源包括 128-64 液晶、4\*4 小键盘、RS-232 接口、VGA 接口、PWM 信号接口（核心板为 TM4C1294 时引出 6 路 PWM 信号，核心板为 MSP432 时引出 5 路 PWM 信号）、核心板片内 AD 接口（核心板为 TM4C1294 时引出 6 路 AD 信号，核心板为 MSP432 时引出 2 路 AD 信号）、高速 PMOD 接口，底板还可以外接 SSI 接口的高精度 AD 评估板（ADS1602 单通道 16 位 AD，详见 ADS1602 数据手册）。上述资源在底板上的位置见图 1。TM4C1294\_Launchpad 和液晶安装示意图见图 2，数模混合电路模块安装示意图见图 3。

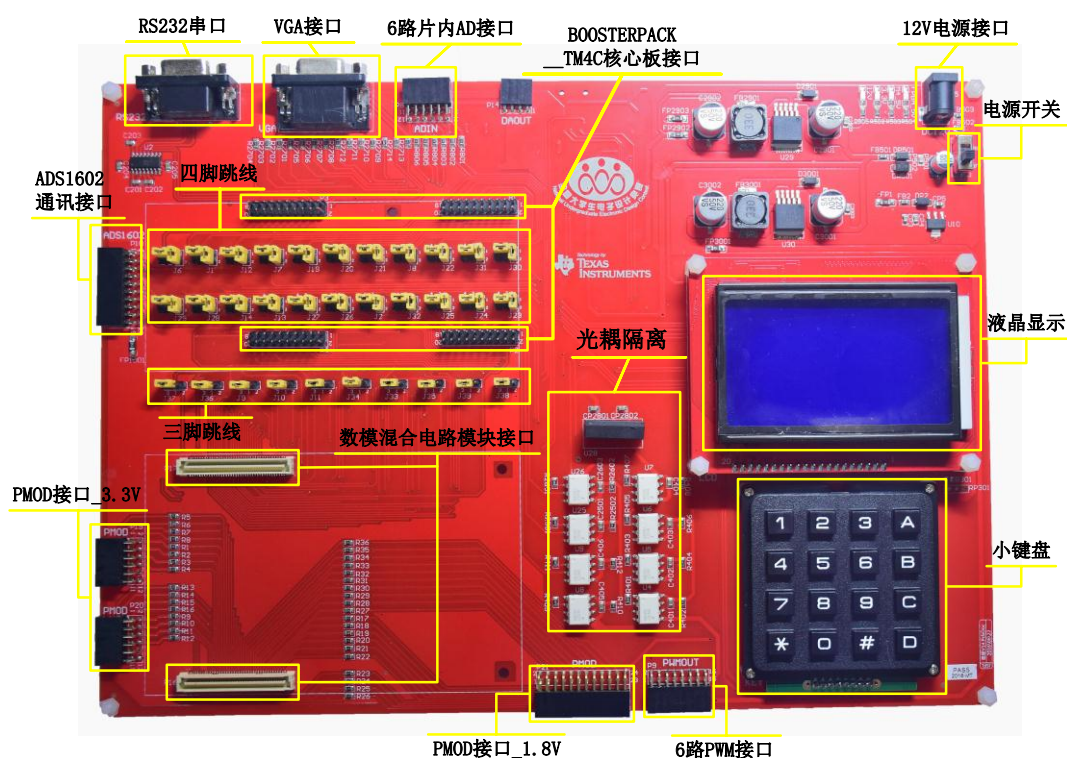


图 1 底板资源简介

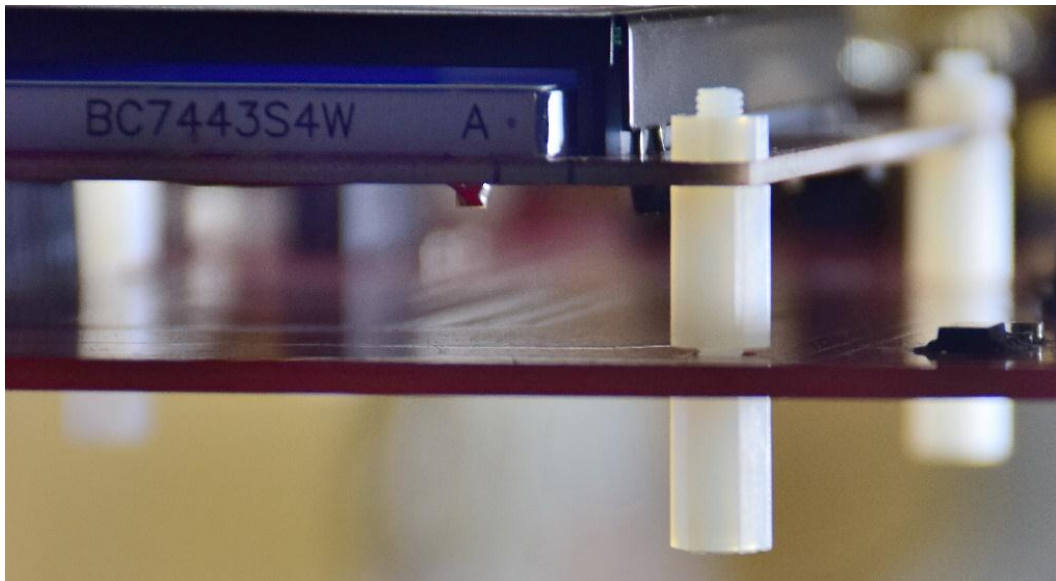


图 2 TM4C1294\_Launchpad 和液晶安装示意图

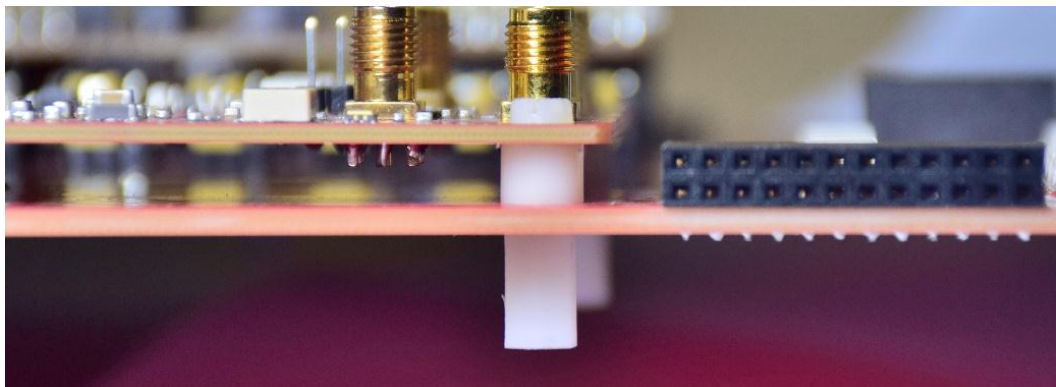


图 3 数模混合电路模块安装示意图

### 三、底板跳线说明：

底板上的跳线分为两种：

四脚跳线（J1、J2、J6、J7、J8、J12、J13、J14 以及 J19 至 J32）：用于切换不同单片机核心板（例 TM4C1294 和 MSP432）。

三脚跳线（J9、J10、J11 以及 J33 至 J39）：TM4C1294 的部分 GPIO 或可作为数模混合电路模块中 FPGA 的通信接口，或可作为底板上的 PWM 接口和片内 AD 接口，三脚跳线用于切换 TM4C1294 与上述两种接口的连接。

跳线连接示意见底板原理图，实物如图 4、图 5 所示：

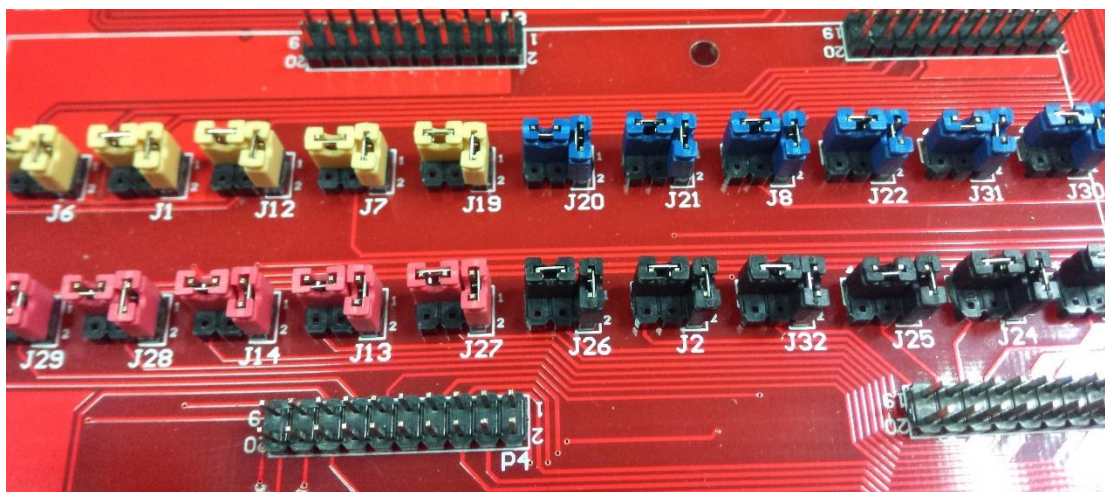


图 4 四脚跳线

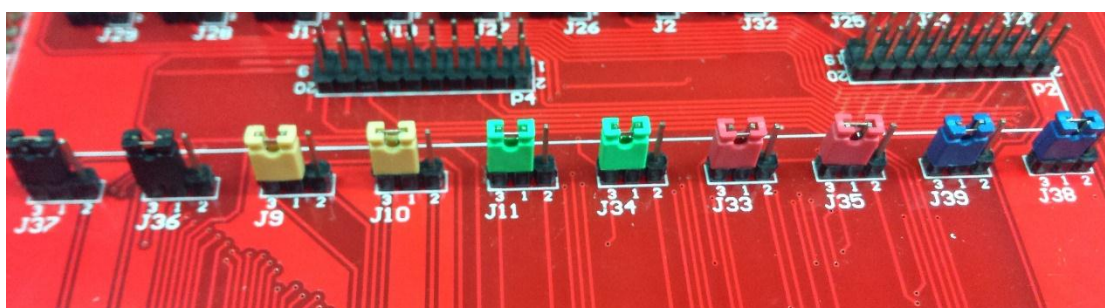


图 5 三脚跳线

## 四、核心板为 TM4C1294\_launchpad 时各模块具体使用说明。

底板跳线设置：单片机核心板为 TM4C1294\_Launchpad 时，底板所有四脚跳线应设置为 1 脚和 2 脚连接，3 脚和 4 脚连接，如图 4 所示。

TM4C1294\_Launchpad 由底板供电，故 TM4C1294\_Launchpad 上的供电选择跳线 JP1 应处于 BoosterPack 位置（见丝印层），其他跳线连接方式应如图 6 所示。

### 1、TM4C1294 与数模混合电路模块通信接口（EPI）

TM4C1294 通过片内外围接口（External Peripheral Interface，即 EPI，详见 TM4C1294NCPD 数据手册）与数模混合电路模块（详见数模混合电路模块使用说明）中的 FPGA 通信，当 TM4C1294 与 FPGA 通信时，所有三脚跳线 1 脚和 3 脚连接，如图 5 所示。



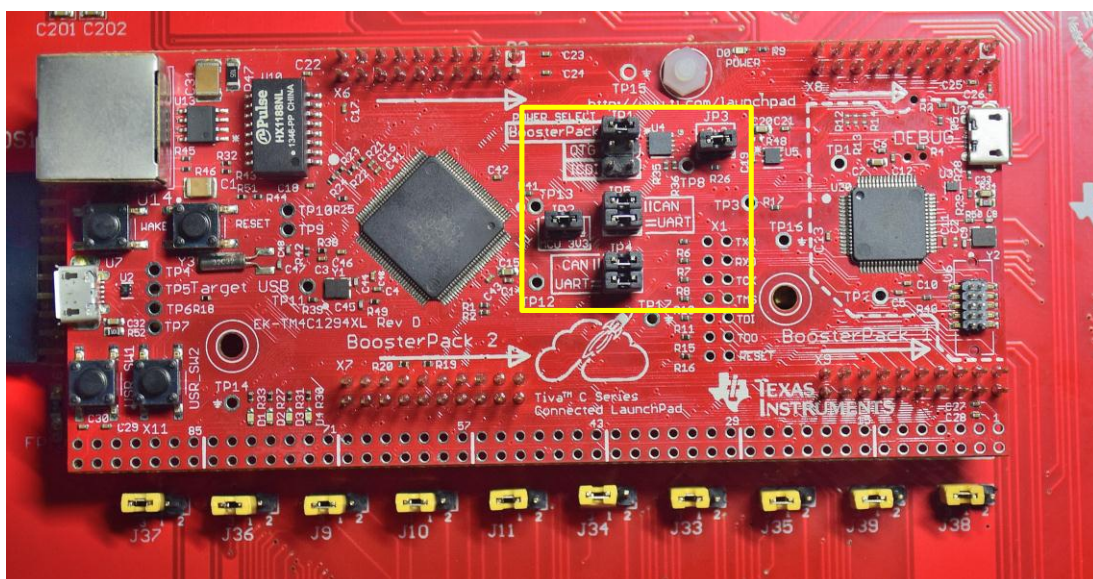


图 6 TM4C1294\_Launchpad 板上各跳线连接示意

TM4C1294 通过片内 EPI 模块的 General-purpose 工作模式与 FPGA 通信，此模式下 EPI 与 FPGA 通信接口共 32 路，并配置成 16 位数据、12 位地址、3 位控制位（RD、WR、FS）及 1 位时钟信号（CLK）的工作模式。具体工作原理见 TM4C1294NCPD 数据手册，具体接口电路见原理图。TM4C1294 与 FPGA 具体通信引脚见表 1：

（注意：经实际测量，当时钟频率超过 10M 时，TM4C1294 与 FPGA 之间数据传输有一定误码率，故建议时钟频率设置为 10M（设置方法见例程 EPI\_TEST 中的源文件 Myepi.C））

数模混合电路模块的资源中包括 12 位单通道高速 ADC（ADS4128）和 12 位双通道高速 DAC（DAC3162），相关说明见数模混合电路模块使用说明、ADS4128 数据手册、DAC3162 数据手册。TM4C1294 可读取 FPGA 上存储的高速 ADC 转换数据；也可以向 FPGA 发送数据，经高速 DAC 转换成模拟信号并输出。

本使用说明提供 TM4C1294 读取 FPGA 上存储的 AD 转换数据和 TM4C1294 向 FPGA 发送待转换 DA 数据的协议，作为 TM4C1294 与 FPGA 数据传输的一种协议参考。详见附录。

## 2、VGA 接口：

当跳线 J19 至 J32 的 1 脚和 2 脚连接时（如图 4 所示），VGA 引脚连接至数模混合电路模块上的 FPGA，具体接口电路和引脚连接见原理图。

表 1 TM4C1294 与数模混合电路模块中 FPGA 通信引脚

BOOETERPACK 序号	GPIO	与 FPGA 通信引脚
B2-5	PK0	EPIOS0 (D0)
B2-6	PK1	EPIOS1 (D1)
D1-3	PH2	EPIOS2 (D2)
D1-4	PH3	EPIOS3 (D3)
A1-8	PC7	EPIOS4 (D4)
A1-5	PC6	EPIOS5 (D5)
A1-4	PC5	EPIOS6 (D6)
A1-3	PC4	EPIOS7 (D7)
B1-8	PA6	EPIOS8 (D8)
D2-4	PA7	EPIOS9 (D9)
C2-1	PG1	EPIOS10 (D10)
C1-4	PG0	EPIOS11 (D11)
D1-2	PM3	EPIOS12 (D12)
C2-6	PM2	EPIOS13 (D13)
C2-5	PM1	EPIOS14 (D14)
C2-4	PM0	EPIOS15 (D15)
C1-7	PL0	EPIOS16 (A0)
C1-8	PL1	EPIOS17 (A1)
C1-9	PL2	EPIOS18 (A2)
C1-10	PL3	EPIOS19 (A3)
A2-7	PQ0	EPIOS20 (A4)
D2-9	PQ1	EPIOS21 (A5)
D2-6	PQ2	EPIOS22 (A6)
D2-7	PQ3	EPIOS23 (A7)
C2-10	PK7	EPIOS24 (A8)
C2-9	PK6	EPIOS25 (A9)
C1-5	PL4	EPIOS26 (A10)
A1-9	PB2	EPIOS27 (A11)
A1-10	PB3	EPIOS28 (WR)
D1-8	PN2	EPIOS29 (RD)
D1-9	PN3	EPIOS30 (Frame)
C2-3	PK5	EPIOS31 (clock)

### 3、液晶 12864 接口：

将跳线 J6、J7、J8 的 3 脚和 4 脚连接，如图 4 所示。此时 TM4C1294\_Launchpad 的 GPIO 与液晶显示器引脚连接关系如表 2 所示，液晶显示器具体接口电路和引脚连接见原理图。



表 2 TM4C1294 与液晶连接引脚

Boosterpack PINs	GPIO OF TM4C1294	12864 PINS
		GND
		VCC
		V0
B2-3	PB4	RS (CS)
B2-4	PB5	R/W
B2-7	PK2	EN
B2-9	PA4	DB0
B2-10	PA5	DB1
C2-8	PH1	DB2
B1-9	PM4	DB3
A1-2	PE4	DB4
A1-6	PE5	DB5
A2-10	PN4	DB6
A2-9	PN5	DB7
B2-8	PK3	PSB
		NC
D2-10	PM6	RST
		VOUT
		LED_A
		LED_K

#### 4、4\*4 小键盘：

将跳线 J1、J2、J14 的 3 脚和 4 脚连接，如图 4 所示。此时 TM4C1294\_Launchpad 的 GPIO 与键盘连接引脚见表 3，键码对照表见表 4，键盘具体接口电路和引脚连结见原理图。

表 3 TM4C1294 与键盘连接引脚

Boosterpack 引脚序号	GPIO	键盘引脚
D1_6	PD1	ROW_0
A2_5	PD4	ROW_1
A2_6	PD5	ROW_2
B1_7	PD7	ROW_3
D1_10	PP2	column_0
D2_8	PP3	column_1
A2_8	PP4	column_2
D2_3	PP5	column_3

注意：TM4C1294 的 GPIO 引脚中有 5 个引脚被设置为保护状态以防止意外的错误编程，

它们分别是 PC3、PC2、PC1 & PC 0: JTAG/SWD 和 PD7: NMI。将 GPIOLOCK 寄存器解锁才能正  
确地对上述引脚进行读写操作，具体原理参照 TM4C1294NCPD 数据手册。键盘连接引脚中  
用到 GPIO\_PD7 引脚，故需先将其解锁，（具体方法可参考例程 Key\_test）解锁程序如下：

```
HWREG(GPIO_PORTD_BASE + GPIO_O_LOCK) = GPIO_LOCK_KEY;  
HWREG(GPIO_PORTD_BASE + GPIO_O_CR)  = 0x80;  
ROM_GPIOPinTypeGPIOOutput(GPIO_PORTD_BASE, GPIO_PIN_7);  
HWREG(GPIO_PORTD_BASE + GPIO_O_LOCK) = GPIO_LOCK_KEY;  
HWREG(GPIO_PORTD_BASE + GPIO_O_CR)   = 0x00;  
HWREG(GPIO_PORTD_BASE + GPIO_O_LOCK) = 0;
```

表 4 键码对照表

键盘	码值
1	0x03
2	0x02
3	0x01
A	0x00
4	0x07
5	0x06
6	0x05
B	0x04
7	0x0B
8	0x0A
9	0x09
C	0x08
*	0x0F
0	0x0E
#	0x0D
D	0x0C

5、高精度 AD（ADS1602 单通道 16 位 AD 评估板）接口：

高精度 AD 评估板接口 P10 说明如图 7 所示。将跳线 J12、J13 的 3 脚和 4 脚连接，如  
图 4 所示。此时 TM4C1294 与高精度 AD（ADS1602）评估板通信接口连接引脚如表 5 所  
示。

IOGND	DOUT1	CLK1	IOGND	FSO1	SYNC1	Reserve	PGND	Reserve	+12V
Reserve	DOUT2	CLK2	Reserve	FSO2	SYNC2	Reserve	PGND	Reserve	+12V

图 7 ADS1602 评估板接口

表 5 TM4C1294 与高精度 AD（ADS1602）通信接口连接引脚

BOOSTERPACK 序号	GPIO	ADS1602 串行接口
C2-7	PH0	AD_SYNC1
A1-7	PD3	AD_CLK1
D1-7	PD0	AD_DOUT1
A2-2	PD2	AD_FS01

6、PWM 信号：

底板从 TM4C1294\_Lauchpad 的 PWM 模块引出 6 路 PWM 信号<sup>注1</sup>，其中 5 路直接引出，1 路与 FPGA 通信接口（EPI）复用，当 TM4C1294 不需要与 FPGA 通信时，可将三脚跳线 J9、J10、J11 的 1 脚和 2 脚短接，如图 8 所示。TM4C1294 片内 PWM 引出信号说明见表 6。PWM 信号经高速光耦 6N137 隔离后输出，底板上 PWM 信号输出接口为 P9，接口说明见表 7。具体电路见原理图。

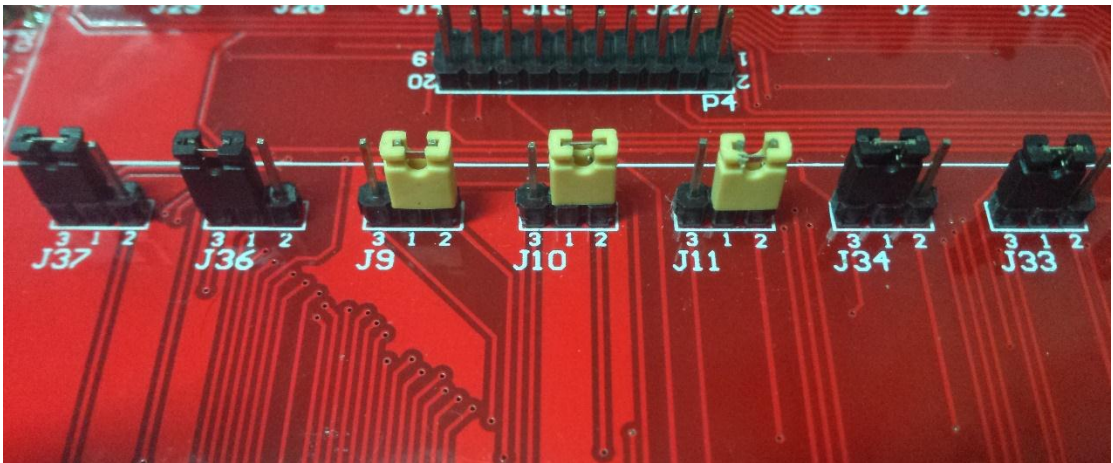


图 8 PWM 信号对应跳线连接示意图

表 6 TM4C1294 片内 PWM 引出脚说明

Boosterpack 引脚序号	GPIO	PWM 引出脚	PWM 引脚引出方式
C2-1	PG1	PWM1 (MOPWM5) <sup>注2</sup>	与 FPGA 通信引脚复用
C2-2	PK4	PWM2 (MOPWM6)	直接与 TM4C1294 连接
C2-3	PK5	PWM3 (MOPWM7)	与 FPGA 通信引脚复用
C2-4	PM0	PWM4 (T2CCP0)	与 FPGA 通信引脚复用
D2-2	PM7	PWM5 (T5CCP1)	直接与 TM4C1294 连接
C1-1	PF1	PWM6 (MOPWM1)	直接与 TM4C1294 连接
C1-2	PF2	PWM7 (MOPWM2)	直接与 TM4C1294 连接
C1-3	PF3	PWM8 (MOPWM3)	直接与 TM4C1294 连接

注： 1、除 PWM 模块引出的 6 路基本 PWM(PWM1、PWM2、PWM3、PWM6、PWM7、PWM8)信号外，TM4C1294 在底板上还引出 2 路 PWM 信号 PWM4（T2CCP0）和 PWM5

(T5CCP1) 作为扩展，两路扩展 PWM 信号的产生和工作原理参照 TM4C1294NCPD 数据手册。

2、PWM1 至 PWM8 是底板 PWM 信号输出接口序号，括号内为对应的 TM4C1294 片内 PWM 通道。

表 7 PWM 信号输出接口 P9 说明

PWM5 (2)	PWM6 (4)	PWM7 (6)	PWM8 (8)	PWM1 (10)	PWM2 (12)	PWM3 (14)	PWM4 (16)
GND (1)	GND (3)	GND (5)	GND (7)	GND (9)	GND (11)	GND (13)	GND (15)

注：括号内为接口引脚序号

7、片内 AD 信号：

底板共引出 6 路 TM4C1294\_Launchpad 片内 AD 信号，其中 4 路直接引出，2 路与 FPGA 通信引脚（EPI）复用，当 TM4C1294 不需要与 FPGA 通信时，可将三脚跳线 J38、J39 的 1 脚和 2 脚连接，如图 9 所示。此时 TM4C1294 片内 AD 引出信号说明见表 8，底板 AD 信号接口为 P8，接口说明见表 9。具体接口电路见原理图。

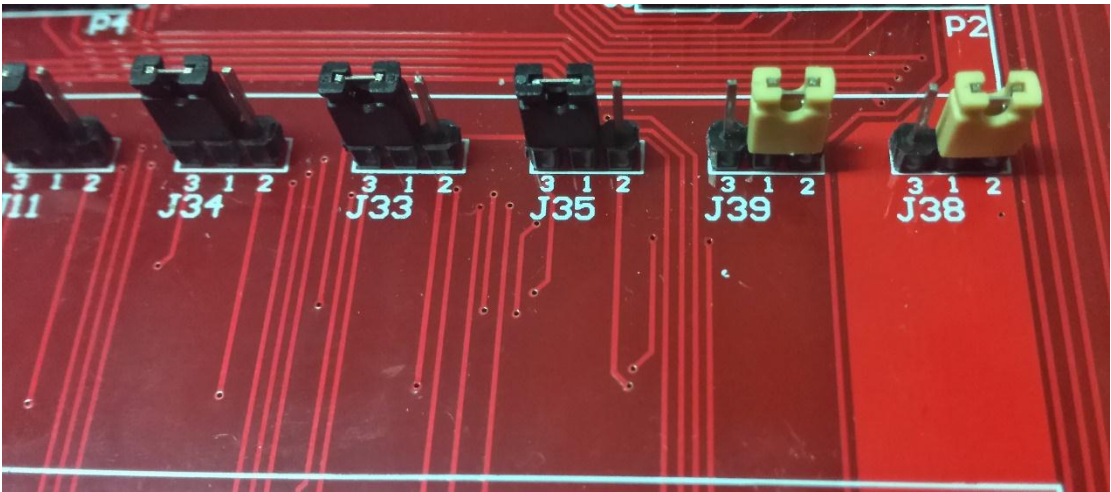


图 9 片内 AD 连接示意图

表 8 TM4C129 片内 AD 引出信号说明

Boosterpack 引脚序号	GPI0	AD 引出脚	AD 引脚引出方式
B2-5	PK0	AD1 (AIN16)	与 FPGA 通信引脚复用
B2-6	PK1	AD2 (AIN17)	与 FPGA 通信引脚复用
B1-6	PE3	AD3 (AIN0)	直接与 TM4C1294 连接
B1-5	PE2	AD4 (AIN1)	直接与 TM4C1294 连接
B1-4	PE1	AD5 (AIN2)	直接与 TM4C1294 连接
B1-3	PE0	AD6 (AIN3)	直接与 TM4C1294 连接

注：AD1 至 AD6 为底板 AD 接口序号，括号内为对应的 TM4C1294 片内 AD 通道。

表 9 AD 信号输入接口 P8 说明

AD1 (2)	AD2 (4)	AD3 (6)	AD4 (8)	AD5 (10)	AD6 (12)
GND (1)	GND (3)	GND (5)	GND (7)	GND (9)	GND (11)

注：括号内为接口引脚序号

## 8、RS-232 接口：

RS-232 接口与 TM4C1294\_Launchpad 直接连接，连接引脚说明见表 10，具体接口电路见原理图。

表 10 RS232 通信引脚连接说明

Boosterpack 引脚序号	GPI0	232 接口
A2-3	PP0	232 接口 (U6Rx)
A2-4	PP1	232 接口 (U6Tx)

## 9、PMOD 接口：

底板一共从数模混合电路模块的 FPGA 引出 30 路高速 PMOD 接口（速率最高可达到 50M），其中接口 P21 提供 16 路 1.8V 高速 PMOD，接口 P19 提供 8 路 3.3V 高速 PMOD，接口 P20 提供 6 路 3.3V 高速 PMOD，具体接口电路见原理图。PMOD 接口 P19、P20、P21 说明分别见表 11、12、13。

注意：由于底板上未焊接 PMOD 接口的过压保护电路（即稳压管），故使用者在使用过程中应提供外部过压保护电路，以防烧坏 FPGA 芯片。

表 11 PMOD (3.3V) 接口 P19 说明

I012 (2)	I011 (4)	I010 (6)	I09 (8)	GND (10)	3.3V (12)
I05 (1)	I06 (3)	I07 (5)	I08 (7)	GND (9)	3.3V (11)

表 12 PMOD (3.3V) 接口 P20 说明

I04 (2)	I03 (4)	NC (6)	NC (8)	GND (10)	3.3V (12)
I013 (1)	I014 (3)	I015 (5)	I016 (7)	GND (9)	3.3V (11)

表 13 PMOD (1.8V) 接口 P21 说明

3.3V (2)	I035 (4)	I033 (6)	I031 (8)	I029 (10)	I027 (12)
GND (1)	I037 (3)	I039 (5)	I041 (7)	I043 (9)	I045 (11)
I025 (14)	NC (16)	NC (18)	NC (20)	NC (22)	3.3V (24)
I047 (13)	I049 (15)	I051 (17)	I053 (19)	I055 (21)	GND (23)

注：括号内为接口引脚序号



# 附录 1: TM4C1294 与数模混合电路模块中 FPGA 数据传输协议参考

FPGA 端寄存器定义如图 10 所示：

Address Offset	Register Name
0h	Rx FIFO
04h	Tx FIFO
08h	STAT_REG
0Ch	CTRL_REG

图 10 FPGA 端寄存器定义

RX FIFO 是 FPGA 端只读寄存器，复位后的值为 0。RX FIFO 数据格式定义如图 11 所示。RX FIFO 接收 TM4C1294 发送的待转换 DA 数据信息（包含 DAC 通道、波形类型、波形频率），该数据共 16 位，前 4 位表示数据类型，后 12 位表示数据值，数据类型定义如表 14:



图 11 RX FIFO 数据格式定义

表 14 RX FIFO 数据类型定义

数据类型		数据值	
编码	定义	编码	定义
0001	DAC通道	0x001	通道1
		0x002	通道2
		0x003	通道1和通道2同时选通
0010	波形类型	0x005	通道1、2输出正弦波
		0x006	通道1正弦波、通道2三角波
		0x009	通道1三角波、通道2正弦波
		0x00A	通道1、通道2输出三角波
0100	波形频率	正弦波:	输出波形周期=
		0x001 (1) 至0x400 (1024)	$(4096/\text{频率编码值}) * (1/\text{DAC时钟频率})$
		三角波:	输出波形周期=
		0x001 (1) 至0x400 (1024)	$(8192/\text{频率编码值}) * (1/\text{DAC时钟频率})$

注：1、频率编码值不应超过 1024，当波形编码值为 1024 时，输出频率最大。以正弦波为

例，若此时 DAC 转换器时钟频率为 400M，则输出波形周期为：

$$(4096/1024)*(1/400000000) = 10 \text{ ns.}$$

2、DAC 转换器时钟频率缺省值为 400MHZ。

TX FIFO 是 FPGA 端只写寄存器，复位后的值为 0。TX FIFO 数据格式定义如图 12 所示。  
TX FIFO 向 TM4C1294 发送经过高速 ADC 转换并计算处理后的数据（波形频率、最大值、最小值），该数据共 16 位，前 4 位表示数据类型，后 12 位表示数据值，数据类型定义如表 15：

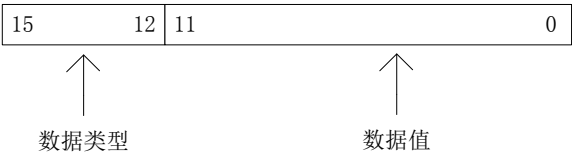


图 12 TX FIFO 数据格式定义

表 15 TX FIFO 数据类型定义

数据类型		数据值
编码	定义	
0001	最大值	最大值=（数据值/2048）*1.9 单位：V
0010	最小值	最小值绝对值=（数据值去除符号位/2048）*1.9 单位：V
0101	频率低12位	频率=（数据值/4）*1000 单位：HZ
0110	频率高12位	

注：最小值以符号位+原码的形式存储，故计算时应保留符号位后计算原码对应的模拟量，  
例：0x8FF 对应的模拟量为：—（（255/2048）\*1.9）V。

控制寄存器 CTRL\_REG 是只写寄存器，包含 RX FIFO 和 TX FIFO 的复位和 TX FIFO 的使能位，其位定义如图 13 所示。其各位功能描述如表 16。

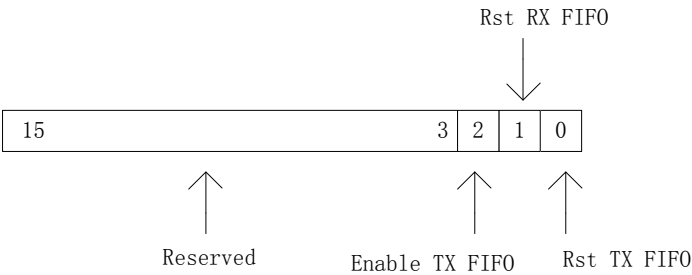


图 13 控制寄存器 CTRL\_REG 位定义

表 16 控制寄存器 CTRL\_REG 各位功能描述

Bits	Name	Description
15-3	保留位	保留
2	使能TX FIFO	1=使能TX FIFO，FPGA开始往TX FIFO中填充数据 0=清除TX FIFO使能标志
1	复位RX FIFO	1=复位RX FIFO，复位后RX FIFO中数据为0 0=清除RX FIFO复位标志
0	复位TX FIFO	1=复位TX FIFO，复位后TX FIFO中数据为0 0=清除TX FIFO复位标志

状态寄存器 STAT\_REG 是只读寄存器，包含 RX FIFO 和 TX FIFO 的状态信息，具体位定义如图 14 所示。其各位功能描述如表 17。

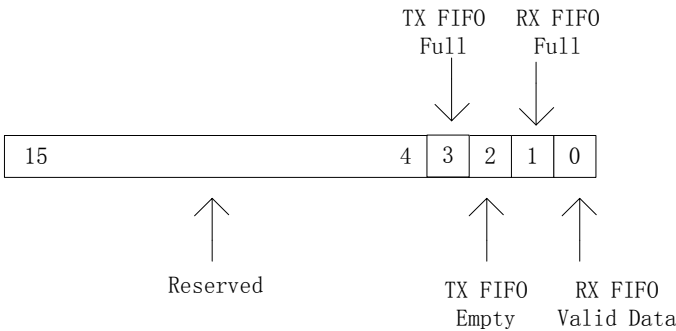


图 14 状态寄存器 STAT\_REG 位定义

表 17 状态寄存器 STAT\_REG 各位功能描述

Bits	Name	Description
15-4	保留位	保留
3	TX FIFO Full	1=TX FIFO满 0=TX FIFO不满
2	TX FIFO Empty	1=TX FIFO空 0=TX FIFO不空
1	RX FIFO Full	1=RX FIFO满 0=RX FIFO不满
0	RX FIFO Valid Data	1=RX FIFO有数据 0=RX FIFO空

TM4C1294 读取 FPGA 上存储 AD 数据信息（最大值、最小值和频率）的流程如图 15 所示。TM4C1294 向 FPGA 发送待转换波形的数据信息（通道、波形类型、波形频率）的流程如图 16 所示。

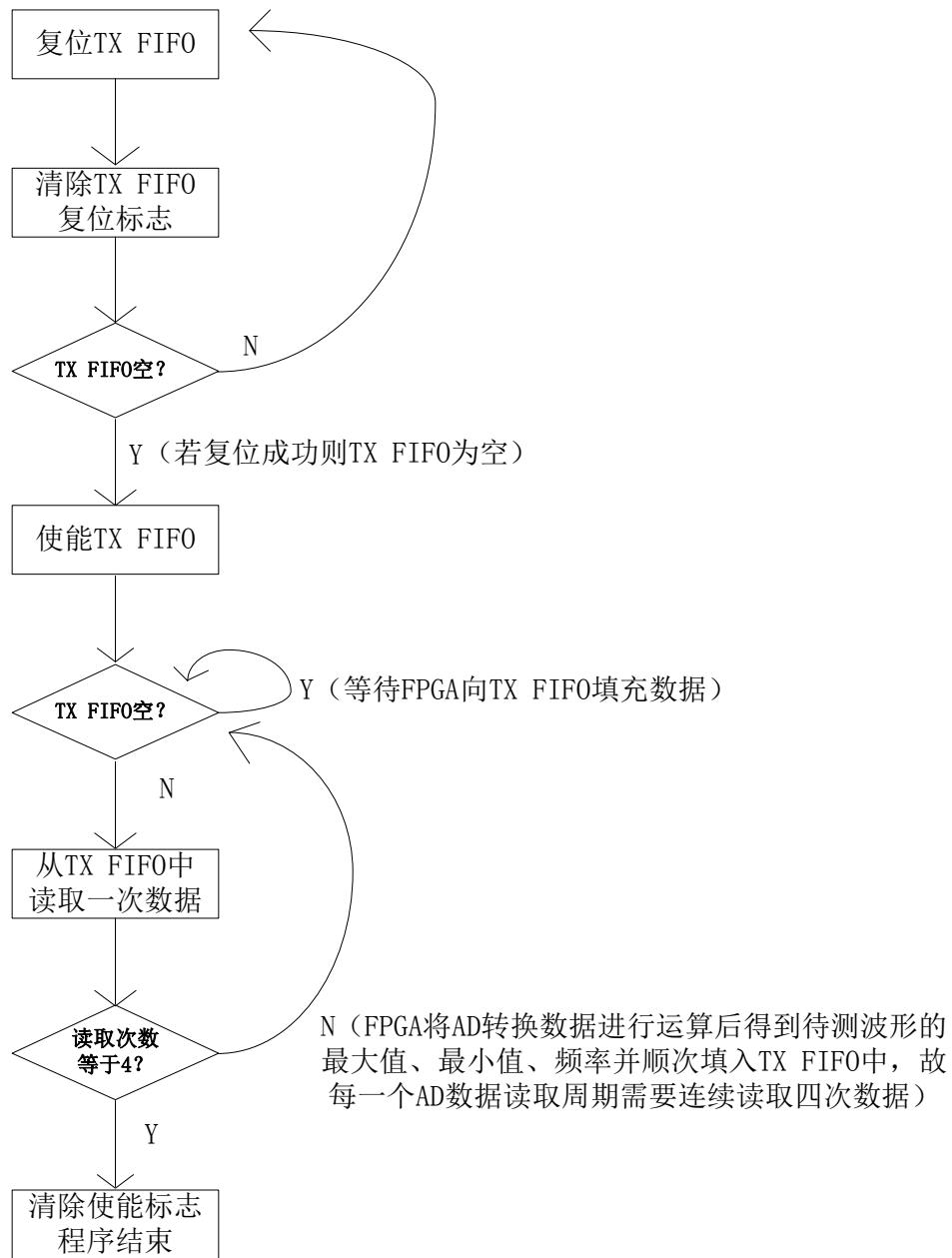


图 15 TM4C1294 读取 FPGA 存储数据流程

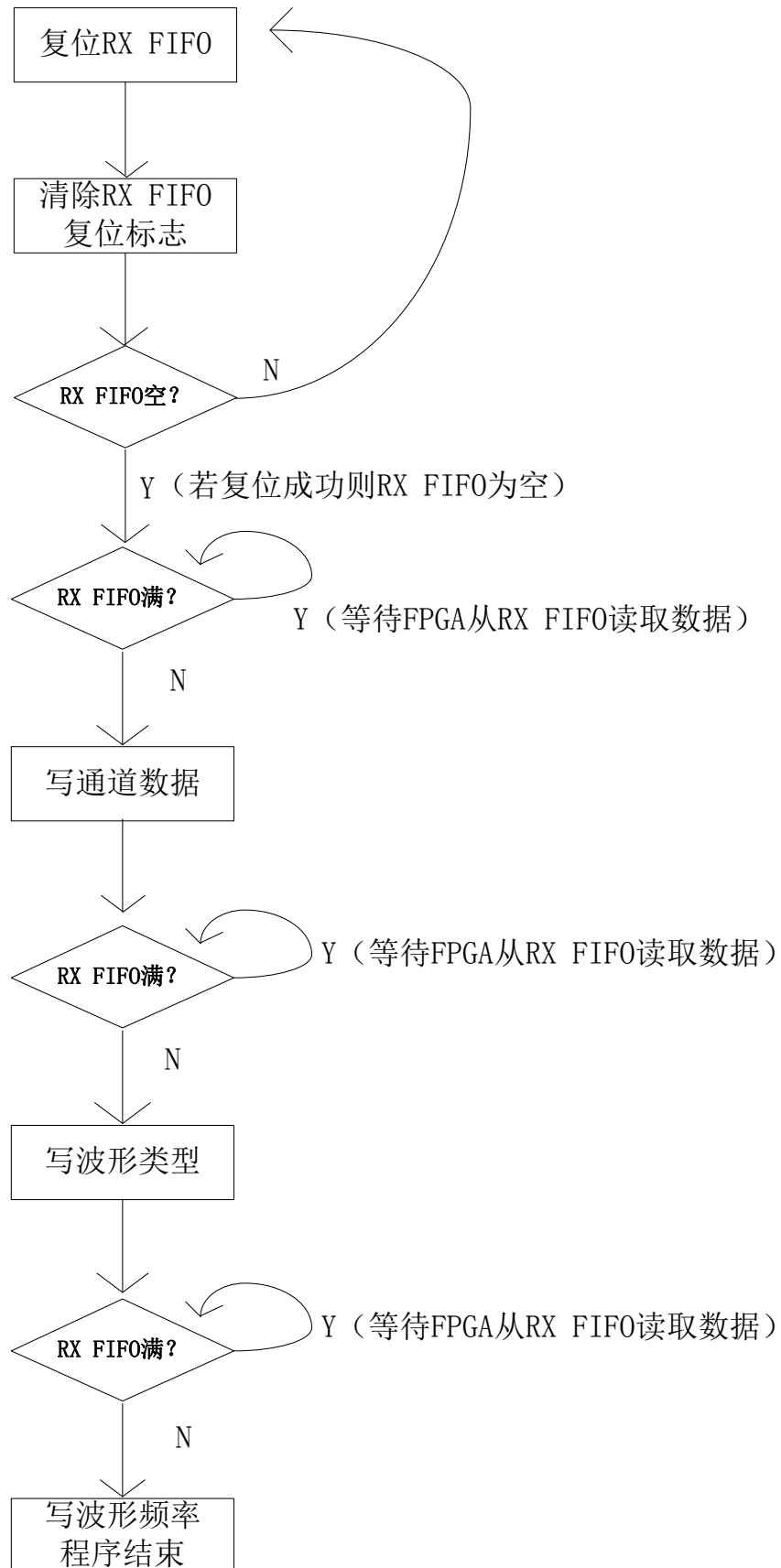


图 16 TM4C1294 向 FPGA 发送数据流程



## 附录 2：例程目录

例程包含：1602\_TEST, 12864\_TEST, AD\_TEST, EPI\_TEST, Key\_TEST, PWM\_TEST, UART\_TEST 以及 BOARD\_TEST。

例程	说明
1602_TEST	将 ADS1602 评估板接口与底板 ADS1602 接口连接。TM4C1294 接收 ADS1602 评估板采集的信号，并通过 ICDI 接口（即右侧 USB 接口）将数据发送到计算机显示。
12864_TEST	在液晶上显示特定字符。
AD_TEST	将 6 路连接至 TM4C1294 核心板片内 AD 接口的信号循环采集并存储。
EPI_TEST	向 FPGA 核心板发送表示 DA 信号通道选择，信号类型，信号频率的数据信息，并由 FPGA 核心板 DA 模块扫频输出对应的波形，同时 AD 模块采集输入信号并计算出最大值、最小值、频率等信息后发送给 TM4C1294_launchpad。DA 输出波形和 AD 输入波形的相应信息将在液晶上以秒级的速率刷新显示。
Key_TEST	捕获按键事件并存储相应的键码。
PWM_TEST	从 PWM 接口输出 6 路占空比为 50%，频率为 10KHZ，峰峰值约为 5V 的方波。
UART_TEST	通过串口 RS-232 从计算机接收数据并将该数据发回计算机。注意该 RS-232 接口 2 脚为 TX 引脚，3 脚为 RX 引脚。
BOARD_TEST	见测试程序说明。