1绪论（简述研究背景、意义等。简述FPGA的发展，CNN的发展，结构相似性的启发）

随着集成电路工艺和技术的飞速发展，各种高性能、高密度的现场可编程门阵列芯片也发展迅速，其芯片中海量的可编程逻辑、运算资源和芯片本身的阵列结构，让这种产品具备灵活的并行运算能力，从而适合对某些计算并行性较高的模型或者算法在实现上进行优化加速。如今，集成电路生产工艺持续进步，借助最新的14纳米三栅极工艺，各大FPGA厂商的芯片产品快速迭代，而且不断针对不同应用，如车载电子系统等，提供了比较成熟的解决方案。如ALTERA公司通过FPGA提供的车载娱乐系统在视频输入、显示接口、图形加速、射频信号处理等方面都具有巨大的优势。【参考：https://www.altera.com.cn/solutions/industry/automotive/applications/infotainment/aut-info.html】同时，FPGA的开发工具也向着提高与软件开发的兼容性而进步。Xilinx公司提出的高层次综合工具和All Programmable抽象化计划可以加速复杂的FPGA和SoC的开发【参考：http://china.xilinx.com/products/design-tools/all-programmable-abstractions.html】【这里需要引用一个车载电子解决方案的图ALTERA】

人工神经网络，特别是卷积神经网络，是一种受到生物视觉神经网络启发而发展起来的计算机视觉模型，它通过模仿生物（人类）大脑通过视觉识别物体的方法，设计多层神经元模型，让计算机视觉识别系统能够提高识别率，并达到较强的抗位移和形变干扰的能力。【参考：神经认知机，CNN起源】卷积神经网络通过对大量有标签样本数据的学习，而实现对图像中各种物体的识别。卷积神经网络这种计算机视觉模型的一个特点是其中很多层内的运算相互独立，模型有较高的并行特性，适合通过使用FPGA，充分挖掘卷积神经网络的并行特性，从而以较低的功耗，加速算法的运行，优化网络的实现。

比较成熟的卷积神经网络根据规模可以大致分为两类，大规模的网络用于识别较为庞大的图片数据库中图片的内容，比如某种在ImageNet数据库中做识别测试的网络能够识别数据库中1000类共一百二十万张图片，其前五选错误率约为17%。另一种规模较小的网络，如LeNet-5有更为明确的应用意义，专门用于识别手写数字图片。较高的正确率使得这种网络可以实际应用在现实生活中，完成某些实际任务。

特定功能的卷积神经网络应用在智能家居设备或者手持智能设备上可以提供一种全新的交互体验，实现更直观自然的交互方式。然而，上述智能设备一方面无法提供足够的功率，以满足用高性能并行计算平台（如GPU）实现的大规模网络；另一方面，这些平台所搭载的普通处理器通过串行方式实现小规模网络仍然需要耗费较多的时间。因此，使用FPGA实现的卷积神经网络芯片，能够充分发挥并行特性，高校地独立处理卷积神经网络的全部运算，从硬件角度，实现卷积神经网络在上述智能设备中的普遍应用，从而实现全新的交互体验。

【自从1998年的LeNet-5【参考：LeNet-5论文】被成功应用在交易支票读取系统中以来，越来越多的卷积神经网络被应用到实际问题的解决中来。微软的手写识别系统和光学字符识别系统中应用了Simard和 Chillapilla等人的三种卷积神经网络【】【】【】。谷歌街景中的人脸检测和车牌识别应用了Frome等人提出的神经网络【】。而法国电信视频会议中的人脸识别系统应用到了Garcia等人提出的神经网络【】】

【国内外卷积神经网络在FPGA上的实现，并评论】

【本文的研究方向：针对静态手势识别的特定认为，使用类似LeNet-5规模的网络，将整个网络实现在FPGA芯片中，从而实现快速、低功耗的交互应用。】【这里需要一个研究思路示意图】

【文章的组织结构：1，绪论。2详细介绍FPGA，CNN，分析并挖掘并行特性。3，FPGA实现CNN的详细设计思路和过程。4，实验和优化。5结论。】

1.1FPGA的基本情况（对FPGA做综合性介绍）

1.1.1FPGA的产生和发展（详细介绍FPGA的产生背景、发展历程等）

FPGA技术是从可编程只读存储器和可编程逻辑器件这两项技术中发展出来的。可编程只读存储器和可编程逻辑器件这两项技术都要求产品能成批地在工厂中或者应用现场实现可编程功能，而可编程逻辑需要让逻辑门之间达成可编程的硬件连线。早在二十世纪80年代，可编程逻辑阵列、逻辑门、逻辑块等相关技术概念的专利就已经出现。Steve Casselman就曾开发过60万可编程门的计算器件并成功获得专利。

成立于1983年的Altera公司在1984年就生产了第一块可编程逻辑器件，该器件通过紫外照射可擦除编程只读存储器单元来实现器件的配置。Xilinx的Ross Freeman and Bernard Vonderschmitt于1985年发明了第一块商业化的FPGA。这块名为XC2064的FPGA拥有可编程逻辑门和逻辑门之间的可编程互连线，它的可编程逻辑门组成64个可配置的逻辑块，逻辑块中包含两个三输入查找表。这样的设计结构也成为后来FPGA的主流结构，各FPGA芯片均以类似结构的逻辑块为核心单元，辅以触发器、存储器，以及更高级的数值运算单元和嵌入式处理器等。

近年来，FPGA架构发生了翻天覆地的变化。在原有可编程逻辑块和可编程互连线的基础上，Altera的Nios II将软核用FPGA实现，以完成处理器与FPGA的结合。新一代的FPGA将嵌入式微处理器和相关外围模块融合到芯片中,形成一个完整的系统——system on a programmable chip（SoPC）。这一结构的代表产品是Xilinx 的Zynq-7000 All Programmable SoC。该系统将一枚1.0GHz双核ARM Cortex-A9 MPCore处理器与FPGA芯片融合，这使得嵌入式设计师们能够更轻松地使用这款产品。这种可扩展的处理器平台让系统架构师和嵌入式软件开发者能够使用串、并行结合的处理方式来实现其日益复杂的软件设计。另外Altera Arria V FPGA也将一枚800MHz的双核ARM Cortex-A9 MPCore处理器与FPGA芯片融合。也有其他厂商的产品将处理器核以及诸如多通道模-数/数-模转换器与FPGA融合。这种高度集成的产品能够降低功耗和冗余。而且减少了元器件数量，这就会避免了采用分立FPGA和CPU可能带来的成本高，系统庞大的缺点。而且有研究表明，现代电子产品中多数问题发生在芯片与PCB之间，而不是芯片内部，因此高度的集成化可以提高系统可靠性。

1.1.2当前FPGA技术热点（结合实际，介绍当前FPGA的现状）

1.1.3FPGA的应用情况（介绍FPGA的实际应用情况，按照时间顺序详细介绍）

FPGA最原始的应用是作为PCB胶合逻辑，与复杂可编程逻辑器件竞争。随着FPGA的规模、能力和速度的提升，才开始胜任越来越庞大的任务，进而形成完整的片上系统SoC。特别是到了二十世纪九十年代，专用乘法器等DSP模块被融入FPGA架构，FPGA开始承担越来越多的数字信号处理工作。

理论上讲，FPGA可以用于任何计算领域，其内部可以集成微处理器就是最直接的证明。而FPGA的真正优势在于，针对某些特定的应用场合，它们的运算速度会非常快，因为它们本身具有大量逻辑门，以及其并行性的本质。具体的FPGA应用场合有：计算机视觉，ASIC原型设计，医学影像等。FPGA的另一重要应用趋势就是对算法的硬件加速。这种加速是指设计者可以使用FPGA来加速某一算法的某些具体步骤，或者是将这种高性能的运算模块在FPGA和通用处理器之间实现共享。

从另一个角度讲，FPGA还是较多地适用于小产量的纵向应用。因为对于小产量应用，每个可编程芯片的单位硬件成本是比生产专用芯片却无法形成市场规模时的单位硬件成本更低。而且，如今的成本与性能优势，正在不断地拓宽FPGA的应用领域。

1.2CNN的基本情况（对CNN做综合性介绍）

1.2.1CNN的产生和发展

1962年Hubel和Wiesel研究了猫视觉皮层细胞，并且提出了感受野(receptive field)的概念，1984年日本学者Fukushima在设计手写阿拉伯数字识别系统的时候，根据感受野的概念，提出了神经认知机(neocognitron)这个概念。这种神经认知机甚至能够识别形变比较严重的手写数字。福岛提出的神经认知机是一个层级结构的多层神经元网络，输入信息逐层通过网络被处理。网络中每个神经元选择性地对特定的激励模式做出反应。福岛的这个神经认知机是卷积神经网络的第一个现实网络，同时他也首次将感受野的概念应用在了人工神经网络中。近几年来卷积神经网络在许多领域不断取得进展，在语音识别、人脸识别、通用物体识别、运动分析、自然语言处理等方面均有突破。

卷积神经网络以待识别的图像直接作为输入，经过多个卷积层、子采样层和全链接层处理，得出识别结果。其中卷积层将输入的图像（这些图像可能是输入层的原始图像，也可能是前一个卷积层或子采样层处理后的特征映射图）与若干个卷积核分别做卷积，输出相应数量该层的特征映射图。【这里需要一个卷积层示意图，1-to-n&m-to-n两种】子采样层的操作一般被称为池化，该层对卷积层输出的若干个特征映射图做减采样操作。一般情况下是对输入图像分为2\*2像素的小块，每块对应的输出图像素为这一小块四个像素的和或最大值，根据取值的方法不同，分别被称为“和子采样”或“最大值子采样”。【示意图】卷积层或子采样层输出的每个特征映射图的每个像素，一般会加上一个与生成该特征映射图的卷积核相对应的的偏置，并且将每个像素带入一个激活函数，函数的输出作为该层最终输出的特征映射图的像素值。这里激活函数的选择可以是多种多样的，它们分别有各自的优缺点。【如【图A】的sigmoid函数……如【图B】的双曲正切函数……如【图C】的ReLU函数……】经过多个卷积层和子采样层的处理，每个特征映射图的尺寸最终会很小，而其数量会很多，这就是原始输入图像经过特征提取后得到的抽象特征。最后这些特征将被送入一个或几个全连接的传统神经网络进行分类，得到最终的识别结果。

【发展情况】

1.2.2CNN的应用情况

以图像本身直接作为神经网络的输入，由于图像像素数量大，因此全连接的传统神经网络就需要数量非常巨大的权值参数。以100\*100的图像（共1万个像素）为例，全连接网络需要1亿个参数，使得每个神经元与输入图像的每个像素相连接。然而我们知道，图像的空间联系往往是局部的，每个神经元并不需要对图像全局做出反应，而通常只需要对图像的一小块做出反应。结合感受野的概念，假设我们只需要对图像中一个5\*5的小块做出反应，而且，每个特征映射图对输入图像做出相同的反应，也就是一个特征映射图共享一组25个权值，这样多个特征映射图（这里假设有6个）就只需要150个参数。这就是卷积神经网络中权值共享所带来的好处——大大减小了网络的规模。总结下来，结合局部感受野、权值共享以及子采样这三大主要思路，就获得了卷积神经网络的图像识别能力，并且，这种识别能力在某种程度上达到了位移、尺度、形变不变性。

正因为网络规模的缩小和对位移、尺度变化与形变的一定程度的抵抗能力，使得卷积神经网络成为目前应用最广泛的深度神经网络之一。作为最经典的手写数字识别网络之一，于20世纪九十年代由LeCun提出的LeNet-5，其识别准确率已经达到相当高的水平，已经在美国银行系统内用于识别支票上的手写数字。该网络结构示意图如下，不包括输入层的情况下，共有7层，输入32\*32像素的图像。每个卷积层卷积核大小为5\*5像素；每个子采样层做加和子采样，各个子采样窗口之间没有重叠部分，子采样结果乘以系数并加偏置；激活函数采用sigmoid函数，在子采样层之后，卷积层不设置激活函数。网络第一个卷积层输出6个特征映射图，第二个卷积层输出16个特征映射图，然而，第二个卷积层的输入是与前一层输出的6个特征映射图中的部分连接的，其连接情况可以用【表格】来表示。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| 0 | √ |  |  |  | √ | √ | √ |  |  | √ | √ | √ | √ |  | √ | √ |
| 1 | √ | √ |  |  |  | √ | √ | √ |  |  | √ | √ | √ | √ |  | √ |
| 2 | √ | √ | √ |  |  |  | √ | √ | √ |  |  | √ |  | √ | √ | √ |
| 3 |  | √ | √ | √ |  |  | √ | √ | √ | √ |  |  | √ |  | √ | √ |
| 4 |  |  | √ | √ | √ |  |  | √ | √ | √ | √ |  | √ | √ |  | √ |
| 5 |  |  |  | √ | √ | √ |  |  | √ | √ | √ | √ |  | √ | √ | √ |

例如，第二个卷积层的第一个卷积核就是将前一层输出的前三个特征映射图分别卷积一次，并且将卷积结果叠加起来得到本层的第一个特征映射图。网络最 后的传统神经网络是两个全连接层。这种全连接层的输入是最后的卷积层输出的特征映射图，一般情况是将最后所有的特征映射图的每个像素顺序排列成一列，输入给全连接层。而LeNet-5最后一层卷积层稍微特殊，其最后一个卷积层输出的特征映射图都只有一个像素。网络的输出是一个10元向量，通过选取10个元素中最大或最小的一个值来确定网络识别的结果。

【另一个应用介绍：ImageNet Classification with deep convolutional neural networks一文中设计的卷积神经网络在imagenet数据库上训练了一个CNN。该网络有六千万个参数，六十五万个神经元，网络包含5个卷积层，其中的3个卷积层之后设置了最大值子采样层，网络最后有三个全连接层和一个一千类的softmax层。网络中使用的激活函数是ReLU函数。【表格详细地说明了这个网络各层的配置情况】。下面结合表格所示的各个卷积神经网络层，说明该网络的连接情况。第一层224\*224像素\*3（RGB）图像通过卷积1层（该层包含最大值子采样层）之后分为两组，每组输出48个特征映射图。第二层将前层的两组输出分别通过卷积2层（该层包含最大值子采样层），各组之内的卷积是全连接的，组之间无连接，每组输出128个特征映射图。第三层将前两组输出全连接地通过卷积3层，无视分组，卷积全连接，输出则仍然分为两组，每组192个特征映射图。第四层和第五层都分组做卷积，组内全连接，组间无连接，在第五层最后通过一个最大值子采样层，并将两组输出合并，拉成4096个元素的列向量。第六层和第七层是全连接层，不分组，每层都输出4096个元素的列向量。第八层是softmax层，输入前一层的4096个元素，输出1000个元素的分类识别结果。

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 层序号 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 |
| 层名称 | 卷积1 | 卷积2 | 卷积3 | 卷积4 | 卷积5 | 全连接6 | 全连接7 | 全连接8 |
| 输入数据 | 224\*224像素\*3（RGB）图像 | 48\*2个55\*55尺寸的特征映射图 | 128\*2个27\*27尺寸的特征映射图 | 192\*2个13\*13尺寸的特征映射图 | 192\*2个13\*13尺寸的特征映射图 | 4096个数据 | 4096个数据 | 4096个数据 |
| 操作1 | 卷积（核尺寸：11\*11\*3，步长：4，共96个） | 卷积（核尺寸：5\*5\*48，步长：1，共256个） | 卷积（核尺寸：3\*3\*128，步长：2，共384个） | 卷积（核尺寸：3\*3\*192，步长：1，共384个） | 卷积（核尺寸：3\*3\*192，步长：1，共256个） | 点乘 | 点乘 | 点乘（softmax） |
| 操作2 | ReLU | ReLU | ReLU | ReLU | ReLU | ReLU | ReLU | ReLU |
| 操作3 | 最大值子采样 | 最大值子采样 | 无 | 无 | 最大值子采样 | 无 | 无 | 无 |
| 操作4 | 归一化 | 归一化 | 无 | 无 | 无 | 无 | 无 | 无 |
| 中间数据 | 48\*2个55\*55尺寸的特征映射图 | 128\*2个27\*27尺寸的特征映射图 | 192\*2个13\*13尺寸的特征映射图 | 192\*2个13\*13尺寸的特征映射图 | 4096个数据 | 4096个数据 | 4096个数据 | 1000个识别结果 |

这个网络在LSVRC-2010 contest测试集上得到了前五选错误率17%的结果，这个测试集包含了一百二十万张图片，共分为一千类。】

【这里需要详细叙述CNN目前的应用场合，实现方案】

【核心思路，目前CNN主要用于大规模的计算机视觉应用，如图片内容识别。涉及到的具体问题通常是输入海量的现实图片数据，或者从现实视频中提取的图片帧，利用训练好的神经网络来识别图片中的物体，从而达到计算机理解现实场景的目的。对于此类应用，对于科研机构来说，大多数可以使用大规模的服务器、大量的显卡等先进设备来实现卷积神经网络的高度并行化训练和识别。其可行性不会受到太多挑战，且不太需要考虑功耗等问题。另一方面，对于手写数字识别这类简单应用，其应用场合是银行等金融机构，其平台多为普通的PC机，对于LeNet-5这样的小规模网络，普通PC的运算能力完全可以在耗费较少运算资源的条件下，较快地完成任务。】

【然而对于智能电视、机顶盒等家用智能产品或者手机、平板等手持智能设备，它们对产品体积和整体功耗都有比较苛刻的要求，而且它们需要完成的任务也并不像手写数字识别那样简单。因此，它们对具备一定并行运算能力，并且功耗和体积都较小的专用神经网络运算芯片有较高的需求】

1.3FPGA与CNN的结合

1.3.1CNN计算的并行特点

从以上的介绍我们可以总结出，CNN的计算由大量的二维图像卷积构成。分析整个网络的数据流和运算特点可以将CNN涉及的并行运算分为一下四类：位计算并行，卷积运算内的并行，同一层中各卷积运算之间的并行，各层之间的并行。文献【基于FPGA的卷积神经网络并行结构研究】中，提出了五层并行层次结构，详细区分了神经元节点之间的并行结构与层内并行结构。其神经元节点之间的并行结构主要针对网络输出层的传统全连接层中的各个节点，提出这类数量众多的节点对网络并行性有至关重要的影响。然而本文认为，网络输出层的传统全连接网络运算方式与卷积层的卷积运算有极大的相似之处，完全可以通过控制卷积器的输入，几乎不加修改地将卷积器移植到全连接层，完成全连接层的各种运算。因此在FPGA实现过程中，并不需要专门区分这一层次的并行结构，该层的并行性，可以归纳到卷积运算内的并行结构这一层次。由于卷积神经网络属于深度网络，其规模都相对较大，在现有的软硬件条件下，是不可能完全并行实现，选择合适的并行层次结构和并行规模，设计并行运算单元，才能在FPGA等嵌入式平台上实现CNN运算加速，并且得到比较优秀的性能。下面就从上述四类并行层次入手，详细讨论各类并行层次的计算特点。

（一）位计算的并行。由于FPGA是数字化的信号处理方式，运算中各个操作数都是二进制表示，通过分析各操作数本身的二进制表示，可以从位运算的角度实现并行计算。具体来讲，就是设计性能更高的数字信号处理单元，如多位全加器、乘法器等。也就是说，这个层面的并行化是数字电路底层设计的范畴。由于现代化的FPGA中大量使用嵌入式DSP单元实现高性能的多位全加和乘法，该层面的并行化不是本文讨论的重点。

（二）卷积运算内的并行。一个典型的二维卷积运算由【图】所示，卷积核扫过被卷积的图片，3\*3大小的卷积核内的每一个点，与图像中被卷积核覆盖的3\*3大小的范围内的每一个像素分别做乘法，并将9个乘法结果加起来得到一个卷积输出。由此可以看出，这就个乘法相互独立，可以同时进行，这是卷积运算内部的并行实现依据。

（三）同一层中各卷积运算之间的并行。由前文所述，在同一卷积层内，可能存在着两种卷积情况：一、同一个输入图片被不同的卷积核卷积得到不同的输出特征映射图；二、不同的输入图片（前一层输出的多个特征映射图）被相同的卷积核卷积，并将结果相叠加。这样两类层内卷积运算都是相互独立的，这里将得到一个特征映射图的整个过程看作一个卷积运算，则每个卷积运算顺序的改变，只影响中间数据缓存的形式，不影响最终结果。因此，这些卷积运算也是可以同时进行的，这便是同一层中各卷积运算之间的并行计算依据。

（四）层间的并行。一般来说，CNN是一种多层的网络结构，各层在结构上也有较大的相似性。但是，由于整个网络中的数据是层层递进地传播和处理，前后层之间的运算有很强的相关性，因此层间计算的并行性很低，基本不存在前后层并行处理的可能。然而，由于训练好的网络参数在各层之间基本没有任何相关性，层间的并行主要可以体现在系统初始化时装载网络参数的阶段，网络各层的各种参数可以同时并行加载。

1.3.2FPGA与CNN相似的阵列结构

再次审视CNN的运算结构，可以清楚地发现，CNN的运算由大量以“乘-累加”为基本单元的神经元运算组成，每个单元所做的运算操作高度重复，且同一个卷积层内的各个“乘-累加”运算相互独立，可以同时进行，不分先后。这种由大量重复基本单元组成复杂系统的结构，与FPGA中以逻辑单元阵列和可编程互连线组成复杂数字系统的结构高度相似，因此可以很直观地想到，FPGA芯片适合于实现CNN，有FPGA实现的CNN能够充分发挥FPGA芯片的高度并行特性。【绘制CNN运算单元模块图】然而，目前FPGA基本逻辑单元的结构主要由一个多输入（四输入或六输入）查找表，一个可编程寄存器和一些可编程互连线组成，用于实现简单的组合逻辑或者比特的寄存。

Xilinx公司的FPGA中的Slice比上述基本逻辑单元稍加复杂，由两个4输入的函数、进位逻辑、算术逻辑、存储逻辑和函数复用器组成。算术逻辑包括一个异或门（XORG）和一个专用与门（MULTAND），一个异或门可以使一个Slice实现2bit全加操作，专用与门用于提高乘法器的效率；进位逻辑由专用进位信号和函数复用器（MUXC）组成，用于实现快速的算术加减法操作；4输入函数发生器用于实现4输入LUT、分布式RAM或16比特移位寄存器（Virtex-5系列芯片的Slice中的两个输入函数为6输入，可以实现6输入LUT或64比特移位寄存器）；进位逻辑包括两条快速进位链，用于提高模块的处理速度。ALTERA公司的FPGA在基本逻辑单元的基础上，用16个逻辑单元配合以内部控制信号和互联同路，组成逻辑阵列，以实现稍微复杂的逻辑功能。【逻辑单元结构图】

1.3.3FPGA与CNN的结合

从上述对FPGA基本逻辑单元结构和规模的描述中，我们可以看出，一般情况下，为了保证较高的运算精度，一个CNN神经元运算单元是难以用单个逻辑单元甚至Slice或者逻辑阵列实现的。然而，当我们重新审视目前业界普遍推广的FPGA产品时不难发现，FPGA厂商为了提高其产品对大规模乘法、乘-加运算的性能，以便在数字信号处理领域有更高的竞争力，普遍将一定规模的多位乘法器以及专用的DSP单元以硬核的方式，嵌入到FPGA芯片中，构成数字信号处理单元。以ALTERA的Stratix IV为例，该系列FPGA内拥有多达1360个18\*18乘法器，其DSP单元可以完成高分辨率视频处理，数字上、下变频和多采样率滤波等众多数字信号处理功能。【DSP单元结构图】而这种高性能乘法、乘-加功能的实现，正是人工神经网络特别是卷积神经网络运算最需要的。从FPGA的内部结构看，这些内嵌的硬件乘法器仍然是以整列方式，排列在整个芯片中，能够方便地实现与片内其他逻辑资源的互联。因此，围绕着FPGA中的硬件乘法器来设计卷积神经网络的神经元和网络层次结构，规避了当前FPGA产品中单个逻辑单元或Slice资源不足的瓶颈，在运算精度和网络实现的并行度上取得了很好的折衷。

目前，高端水平【ALTERA Stratix10】的百万门级FPGA可以提供5,510,000基本逻辑单元，137Mbits的块状存储空间，以及接近两千个数字信号处理模块和接近四千个18\*19位乘法器硬核。这样规模的FPGA芯片，足以胜任以一个完整的CNN运算层（卷积层、激活函数和子采样层一起）为单位来完成硬件实现。对于LeNet-5这样规模比较小的网络，通过适当的串行结构配合，在单个芯片内高性能地实现完整的网络运算，不再是一个难以达到的要求。

然而，考虑到规模、性能、功耗等问题的折衷，应对各种限制的设计方法仍然应该被具体考虑，从而在设计过程中达到相应的指标。因此，本文的CNN各层模块设计中，均讨论多种设计方案，并比较各方案在性能、规模等方面的优劣，方便读者能根据具体设计要求，挑选设计方案。

1.4文章的组织结构

3基于FPGA的CNN应用

3.1静态手势识别的CNN实现

3.2结合FPGA设计对具体运算的分析

4重要电路模块的设计

4.1卷积器

4.1.1卷积器的实现

4.1.2卷积器的验证

4.2激活函数

4.2.1激活函数的实现

4.2.2激活函数的验证

4.3子采样器

4.3.1子采用器的实现

4.3.2子采用器的验证

4.4设计总结

5结论

6参考文献

7致谢