

# EMC设计

## —PCB高级EMC设计

李凤英

# 目录

---

EMC理论基础

EMC测试实质

PCB的接地设计

PCB内部EMC设计

EMC去耦分析



# EMC理论基础

## 寄生电容的估算

电路板后金属外壳与参考金属大平面之间的寄生电容：

$$C_{total} \approx C_{plate} + C_{intrinsic}$$

$$C_{plate} = \varepsilon_0 \cdot S / H$$

$$C_{intrinsic} = 4\pi\varepsilon_0 \cdot D$$

寄生电容C单位为pF;

金属板表面积S单位为m<sup>2</sup>;

金属板与参考平面的距离H单位为m;

等效对角线D单位为m

一个表面积为S，对角线长度为D的矩形浮地产品，其对参考接地平面的寄生电容：

$$C_{plate} \approx 9S / H$$

$$C_{intrinsic} = 35D$$

$$S=10\text{cm} \times 20\text{cm}=0.02\text{m}^2;$$

$$D=0.22\text{m}; H=0.8\text{m};$$

$$C_p=0.225\text{pF};$$

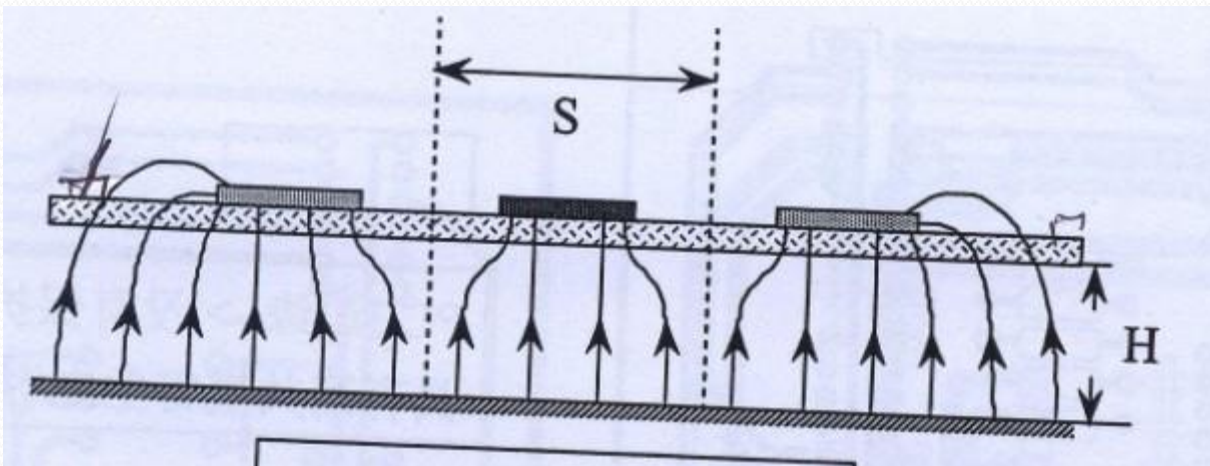
$$C_i=7.7\text{pF}$$

# EMC理论基础

## 寄生电容的估算

印制线与参考接地平面之间的寄生电容：

$$C_p = 0.1 \times S / H \quad C_p \rightarrow \text{pF}, S \rightarrow \text{cm}^2, H \rightarrow \text{cm}$$



# EMC理论基础

## 寄生电容的估算

过孔自身电容、电感的估算

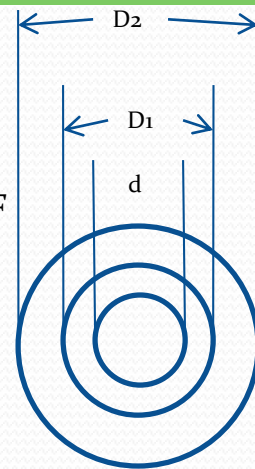
过孔自身的电容

$$C \approx \frac{1.41\epsilon_r T D_1}{D_2 - D_1}$$

过孔自身的电感

$$L = 5.05T \cdot [\ln(\frac{4T}{d}) + 1]$$

T为PCB厚度，D<sub>2</sub>、D<sub>1</sub>、T  
的单位为inch，C的单位pF



假设一块厚度为50mil，过孔的内径为10mil，焊盘直径为20mil，焊盘与地铺铜区的距离为32mil，则C=0.517pF，L=1.015nH

对于上升时间Tr=1ns的信号，其阻抗  $X_L = \pi L / T_r = 3.19\Omega$

# EMC理论基础

## 寄生电容的估算

距参考平面10cm的电缆，其对参考接地平面的寄生电容：  
 $C=50\text{pF/m}$ ;

对于直径2mm以下的导线，其寄生电容和电感分别为：  
 $1\text{pF/inch}$ 和 $1\text{nH/mm}$ ;

继电器线圈与触点之间的寄生电容为 $10\text{pF}$ ;

光耦器两端之间的寄生电容约为 $1\sim 2\text{pF}$ ;

小变压器初次级之间的寄生电容约为 $10\text{pF}$ 或几十 $\text{pF}$ ;



# EMC理论基础

## 铜导线的阻抗估算

低频时

$$Z=22L/d^2$$

低频阻抗 $Z \rightarrow \text{mohm}$

导线长度 $L \rightarrow \text{m}$

导线直径 $d \rightarrow \text{mm}$

高频时

$$Z=1.25 [\ln(L/d)+0.64] \cdot L \cdot f$$

高频阻抗 $Z \rightarrow \text{ohm}$

导线长度 $L \rightarrow \text{m}$

导线直径 $d \rightarrow \text{m}$

频率 $f \rightarrow \text{MHz}$

选用 $L/d$ 小于3的导线作连接，一般认为是低阻抗连接



# EMC测试实质

---

RE测试

CE测试

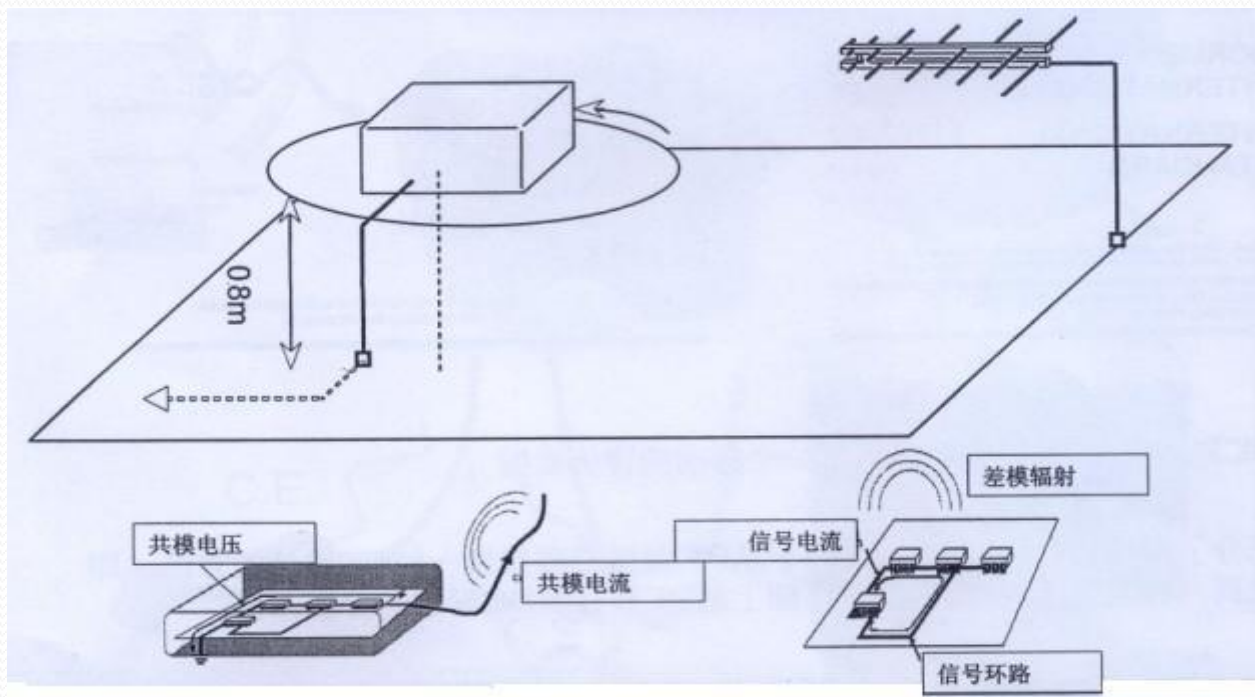
ESD测试

EFT/B测试

# EMC测试实质

RE测试：

RE测试实质：测试EUT（受试设备）中两种等效天线产生的辐射信号



# EMC测试实质

差模辐射：正常工作电流环路形成的辐射

共模辐射

电流驱动模式：差模电流信号传送回流产生的压降驱动产生的共模电流

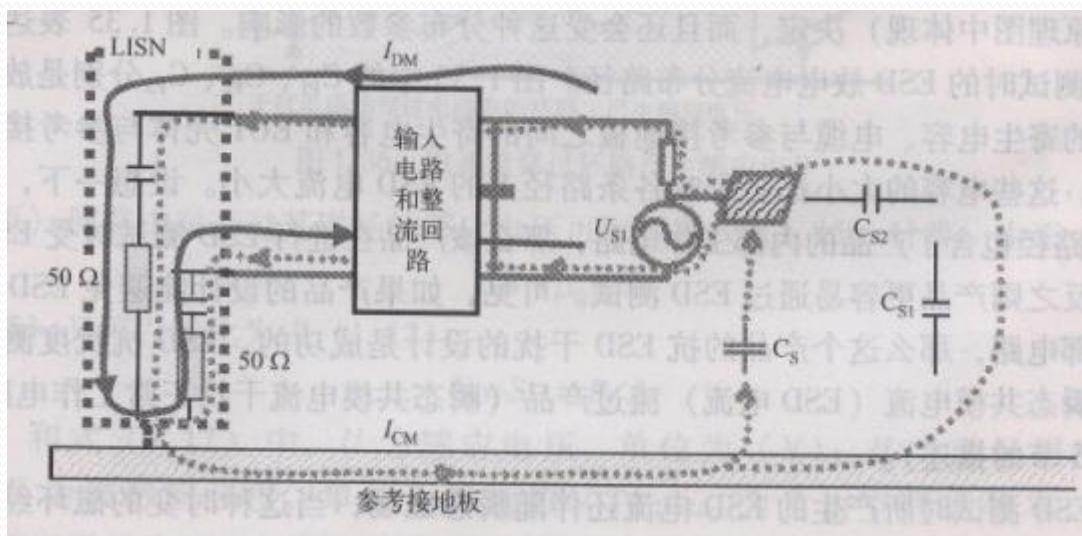
电压驱动模式：工作差模电压通过寄生电容直接驱动产生的共模电流

磁耦合驱动模式：工作差模信号回路产生的磁场与电缆及金属外壳或印制板地组成的寄生回路产生此耦合时产生的共模电流

# EMC测试实质

## CE测试

电源端口CE测试实质：流过50 ohm电阻的电流大小



# EMC测试实质

## ESD测试

静电放电发生器的基本原理图

静电电流的波形

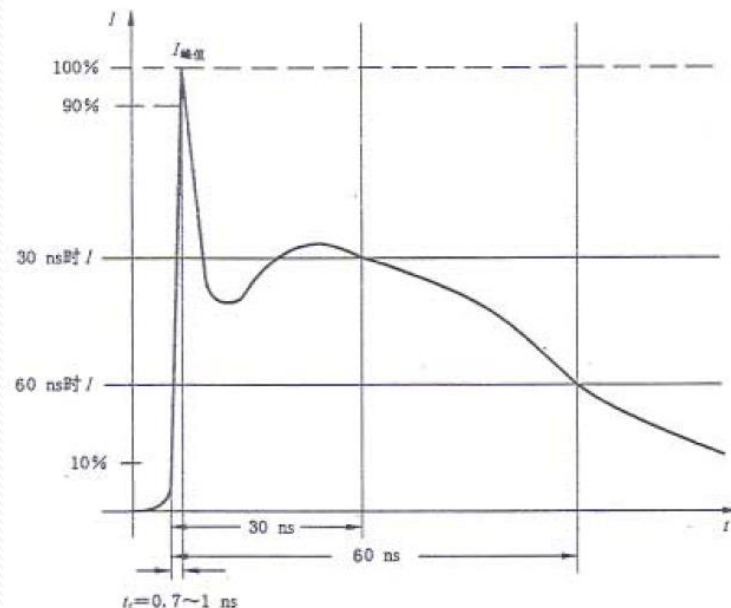
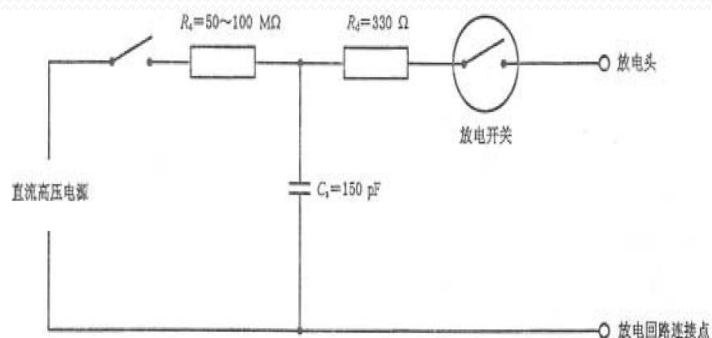


表 2 波形参数

等级	指示电压/kV	放电的第一个峰值电流/A(±10%)	放电开关操作时的上升时间 $t_1$ /ns	在 30 ns 时的电流/A(±30%)	在 60 ns 时的电流/A(±30%)
1	2	7.5	0.7~1	4	2
2	4	15	0.7~1	8	4
3	6	22.5	0.7~1	12	6
4	8	30	0.7~1	16	8

# EMC测试实质

## ESD测试

ESD实质：瞬态共模电流和瞬态强磁场

$$H=I/(2\pi D)$$

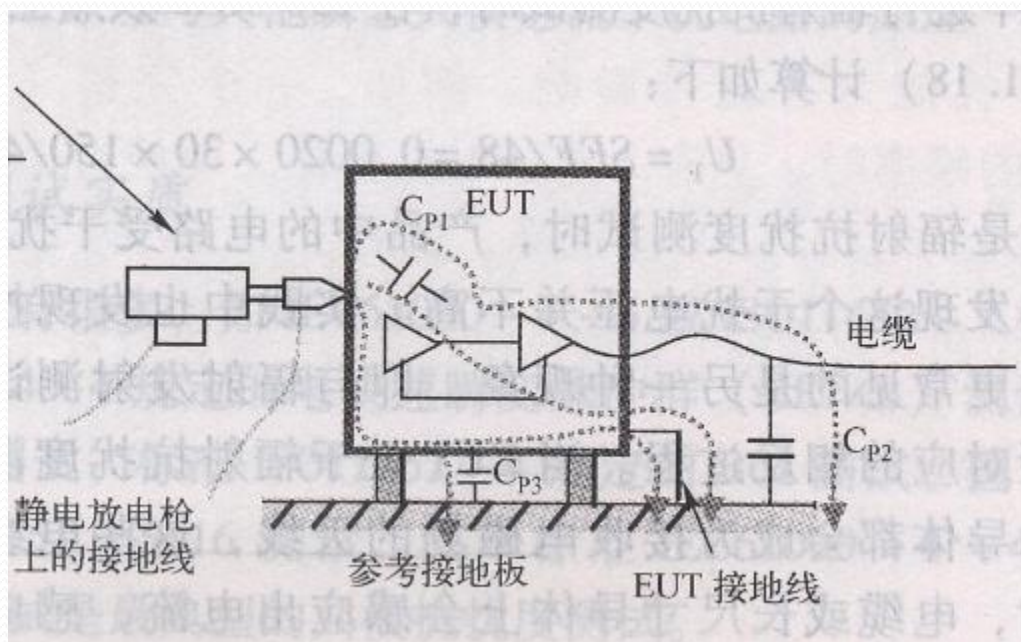
$$U=\mu_0 S dH/dt$$

$$\mu_0=4\pi \times 10^{-7}$$

8KV,  $S=2\text{cm}^2$ ,  $D=0.5\text{m}$

则：  $H=10\text{A/m}$

$U=2.5\text{V}$

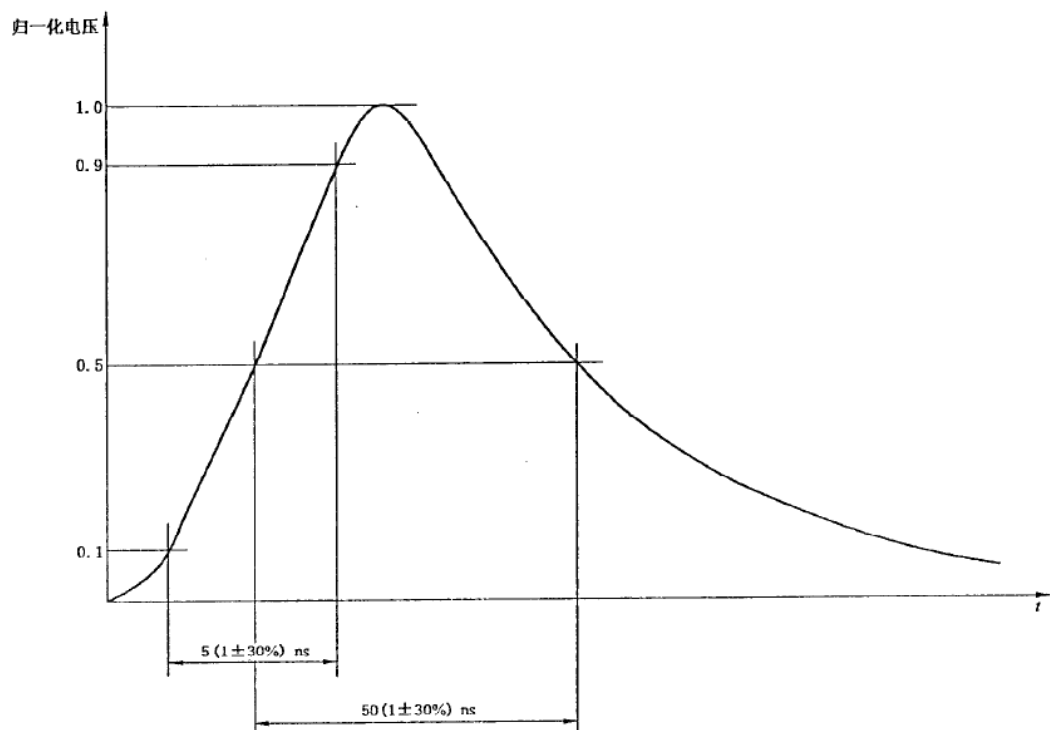
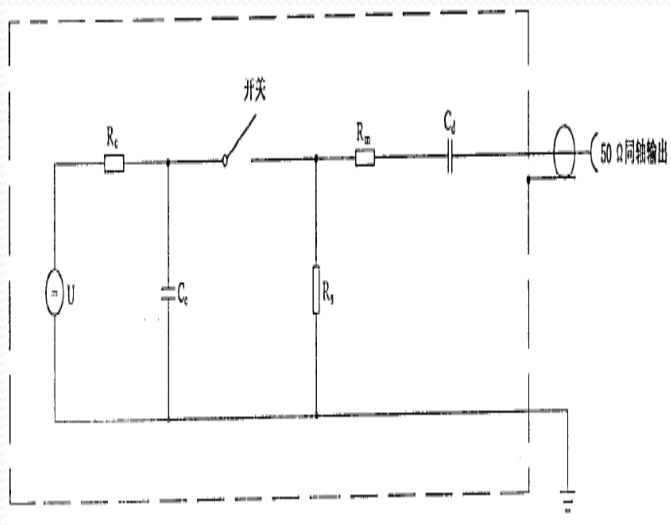


# EMC测试实质

## EFT/B测试

### EFT/B发生器的基本原理图

#### 单个脉冲波形

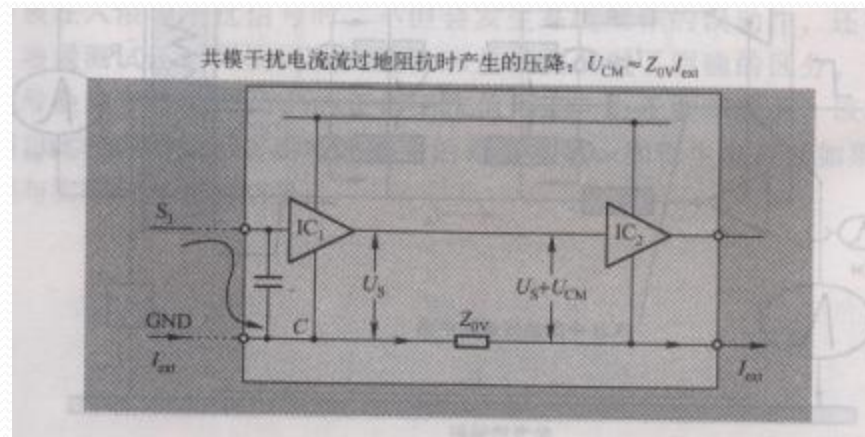
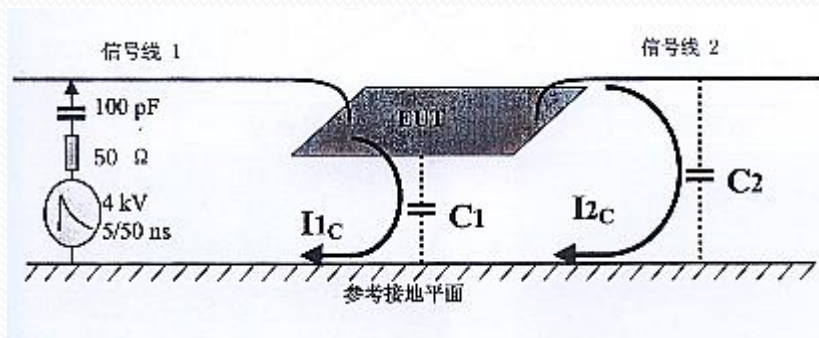




# EMC测试实质

# EFT/B测试

## EFT测试实质：共模电流注入，共模电压通过共模电流转化为差模电压



# PCB的接地设计

---

接地与浮地

单点接地和多点接地

接地点的选择

浮地产品的EMC设计

PCB之间的互连

# PCB的接地设计

## 接地与浮地

### 接地

“地”：逻辑电压参考点、机壳地、真正的大地。

对系统和结构，接地是指连接电路的金属外壳或机架。

浮地：产品中没有专门的地线在电气上和大地（参考接地板）相连。

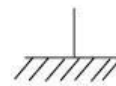
当讨论接地电流时，必须清楚的基本概念：

电流流经有限的阻抗，就会产生一定的电压降；

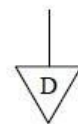
电流总是要返回其源头，回路可能很多，每条回路上的电流大小与该路径的阻抗有关。



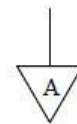
电路『地』



機殼『地』



數位『地』

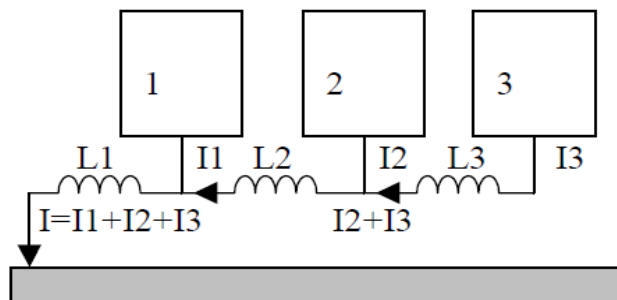


類比『地』

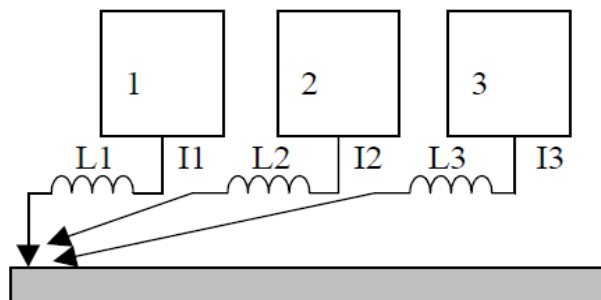
典型的接地符號

# PCB的接地设计

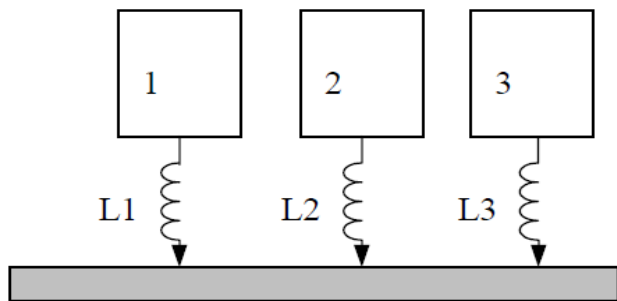
## 单点接地和多点接地（传统接地分析理论）



(a) series connection



(b) parallel connection



(c) multipoint grounding connection

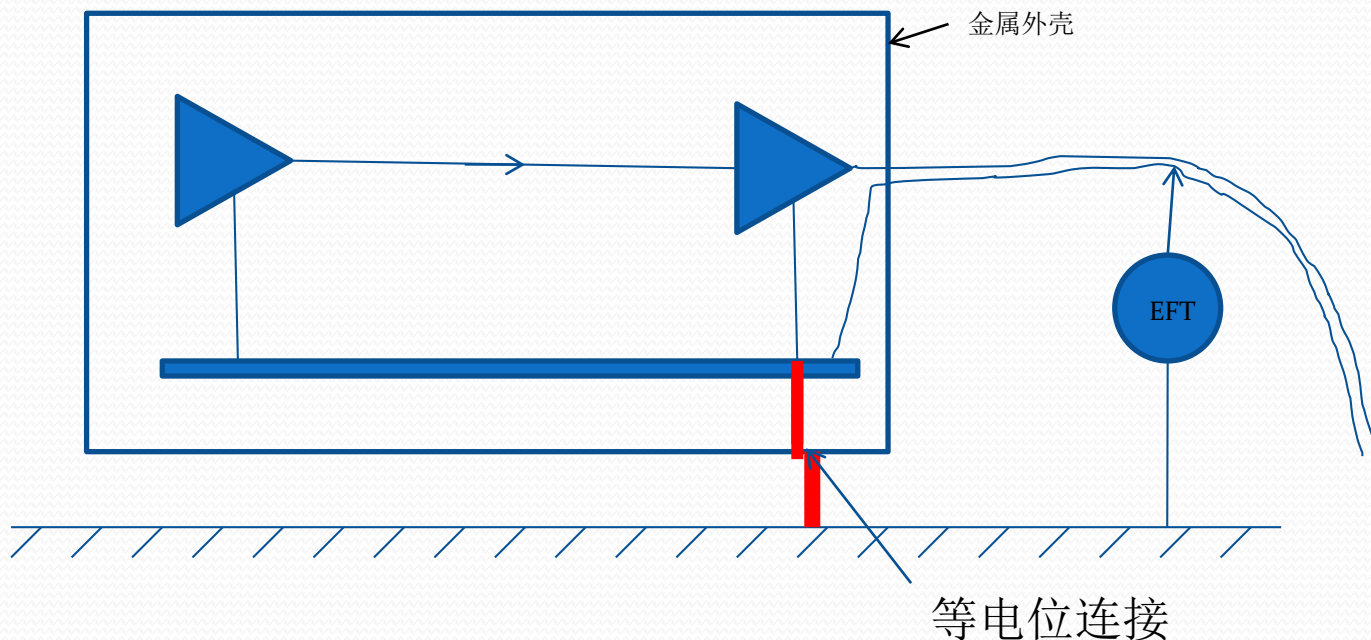
- 传统接地分析理论是建立的双层板上的；对于多层板（有地平面），考虑到引线电感，都是就近打GND via到地平面。
- 传统接地理论不能很好的指导产品的系统结构设计。

# PCB的接地设计

## 接地点的选择

对于接地产品（包括工作地直接接地和通过Y电容接地）来说，接地点对共模电流的路径起着重要作用

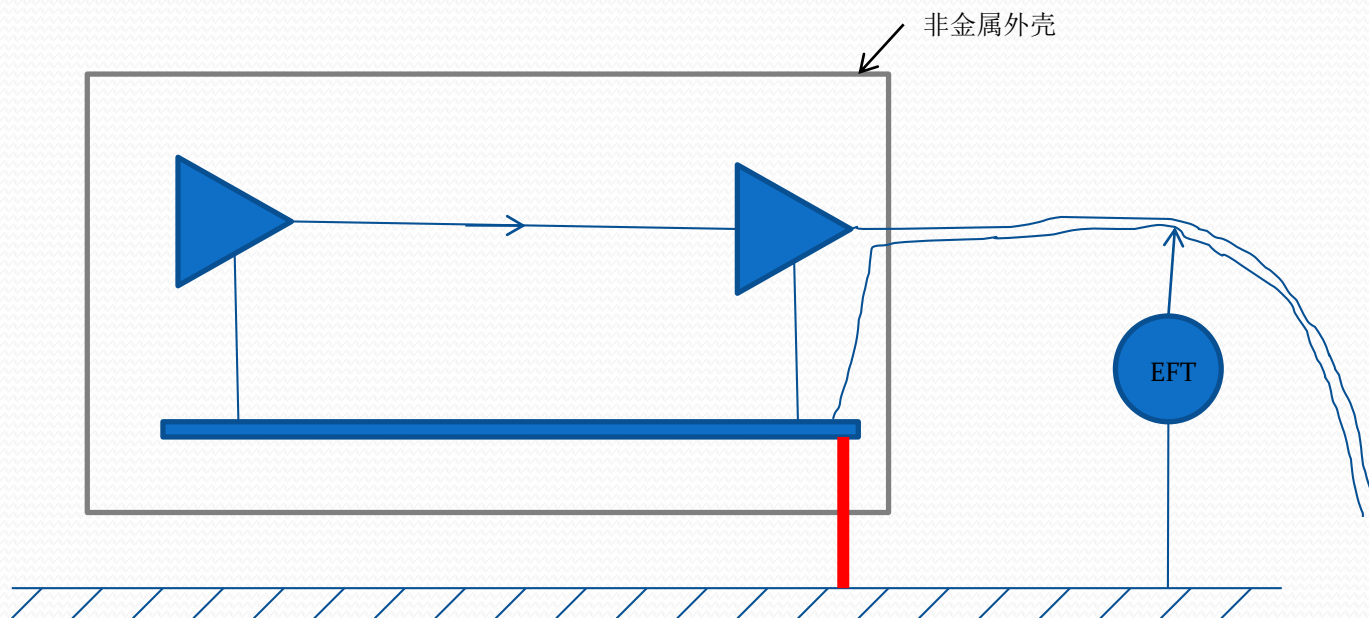
金属外壳接地产品：



# PCB的接地设计

接地点的选择

非金属外壳接地产品

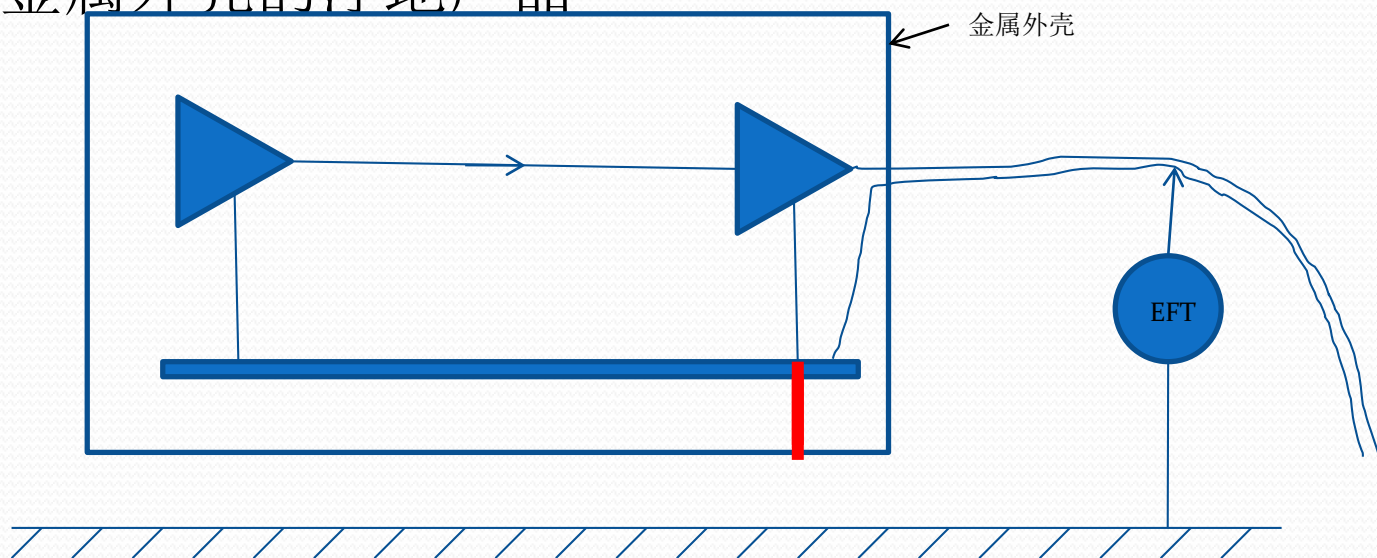


# PCB的接地设计

## 浮地产品的EMC设计

对于浮地产品来说，共模电流的路径通常由产品中各个部分（电缆、各部分电路）对地的寄生电容，及各个部分电路之间的寄生电容决定

### 金属外壳的浮地产品

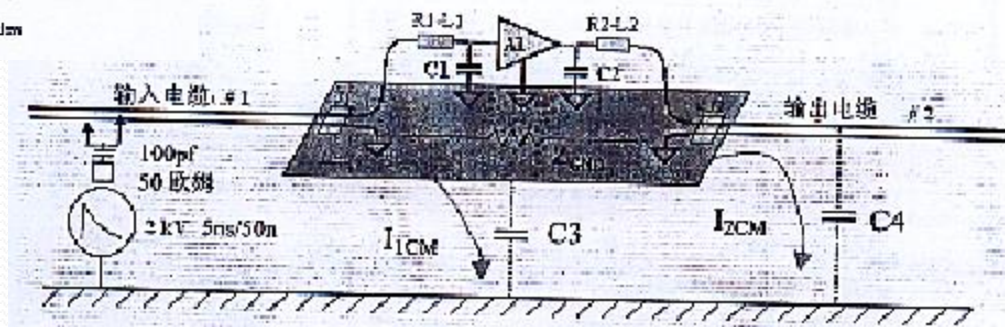
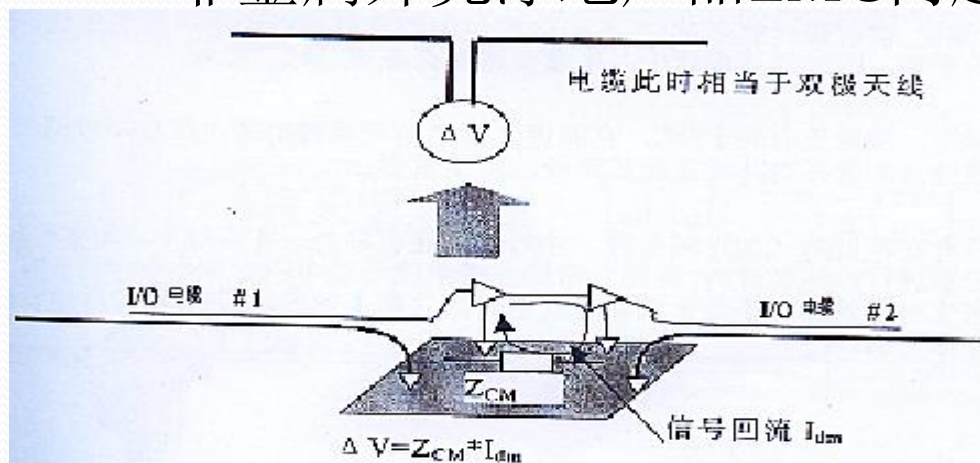




# PCB的接地设计

## 浮地产品的EMC设计

### 非金属外壳浮地产品EMC问题分析



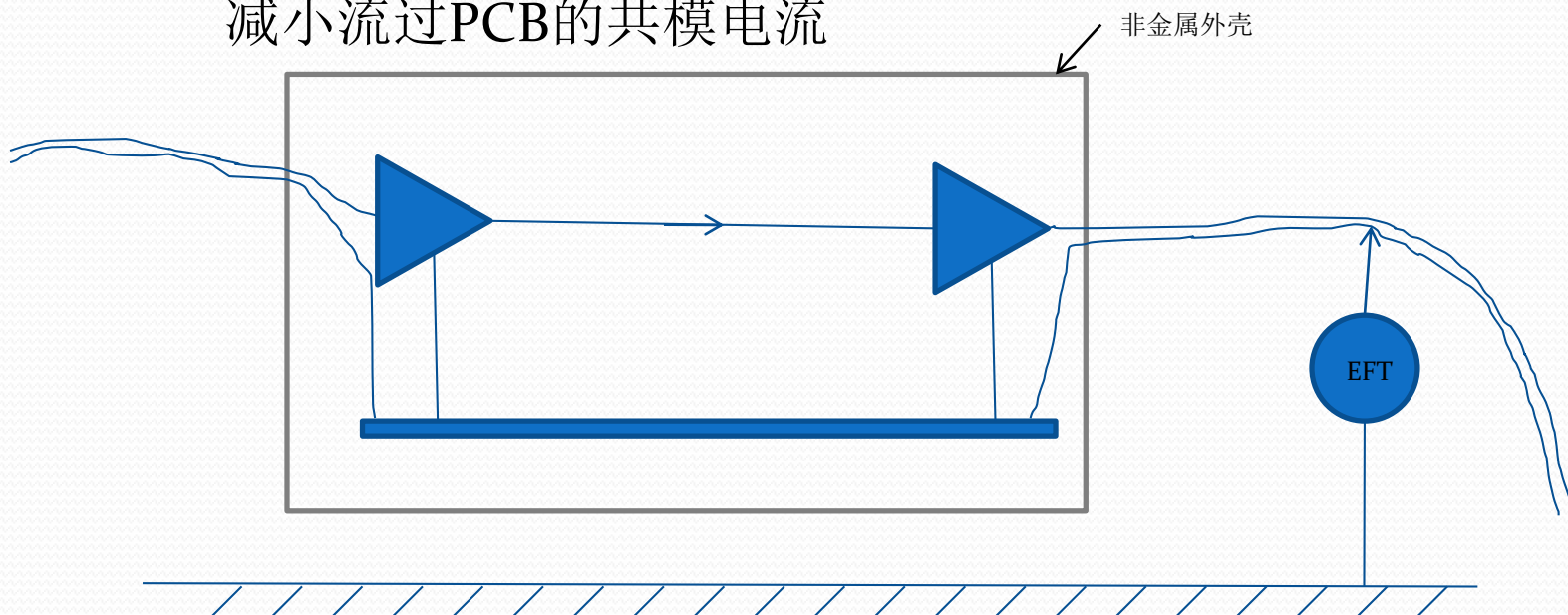
# PCB的接地设计

## 浮地产品的EMC设计

### 非金属外壳浮地产品的EMC设计

在结构允许的情况下，把电缆安排在同一侧；

电缆无法在同一侧时，在PCB下加金属板旁路共模电流，以减小流过PCB的共模电流



# PCB的接地设计

## PCB之间的互连

互连产品中，互连器中的信号之间的串扰和互连地“0V”是EMC的设计重点。

如果地针较少，那么信号回路加大，产生较大的差模辐射；

如果不能保证每一个信号线旁有有以地针，那么不同信号间的串扰将会加剧；

如果地针较少，其地针引起的总体等效寄生电感也较大，导致在PCB的工作地之间有较大的电压差，引起电流驱动模式的共模辐射。

增加连接器的地针或电缆的地线，可以降低PCB工作地间的压降和减少信号之间的串扰。

# PCB的接地设计

## PCB之间的互连

### 产品内部互连设计

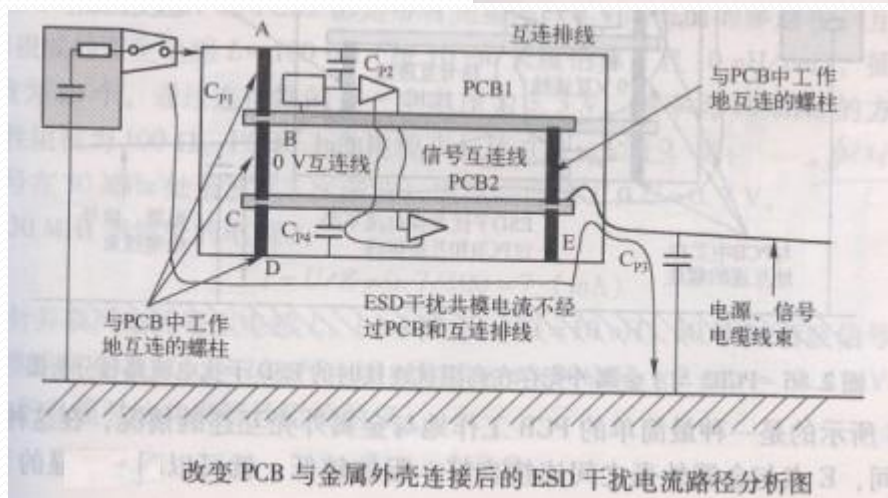
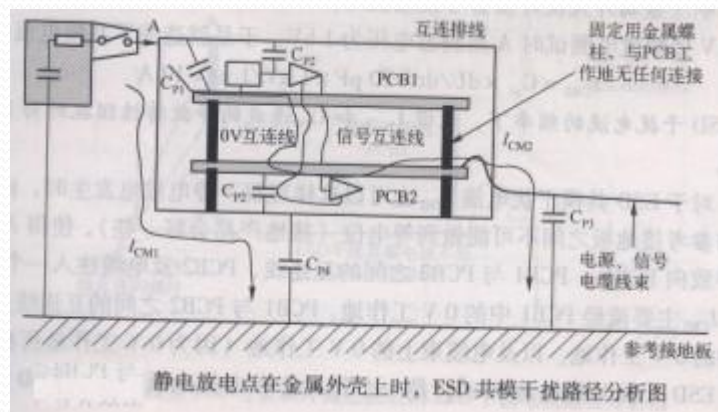
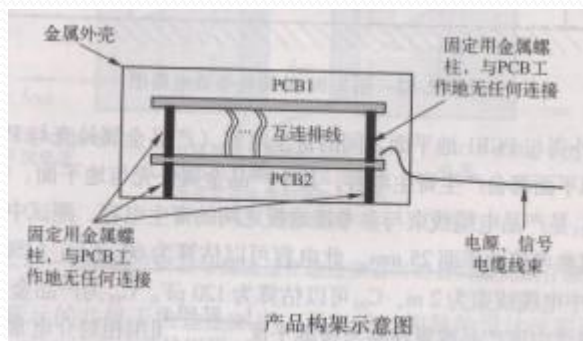
有共模电流流经互连连接器或互连电缆时，建议采用金属外壳的互连连接器，电缆采用屏蔽电缆，并将互连中的地线与金属外壳在PCB的信号输入/输出端直接连接；

如果采用非金属外壳连接器和非屏蔽互连电缆，建议采用一块额外的金属板接在互连的两端，将互连中的地线与金属板在PCB的信号输入/输出端直接连接；

以上两点无法实现时，必须对所有的互连信号进行滤波处理。

# PCB的接地设计

金属外壳与工作地连接是否会导致外部干扰进入PCB



# PCB内部EMC设计

---

PCB的耦合路径

回流路径及其分布

PCB中工作地平面的设计

PCB中信号线之间的串扰

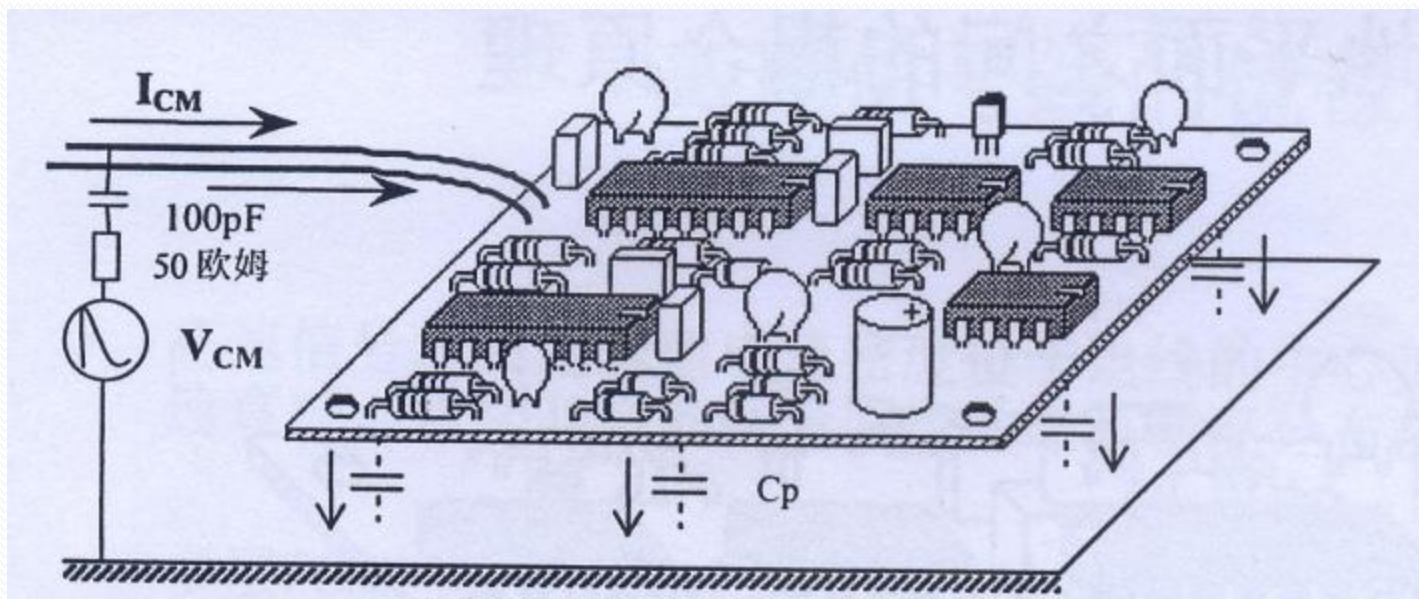
数模混合电路设计



# PCB内部EMC设计

PCB的耦合路径

PCB与参考地平面的耦合

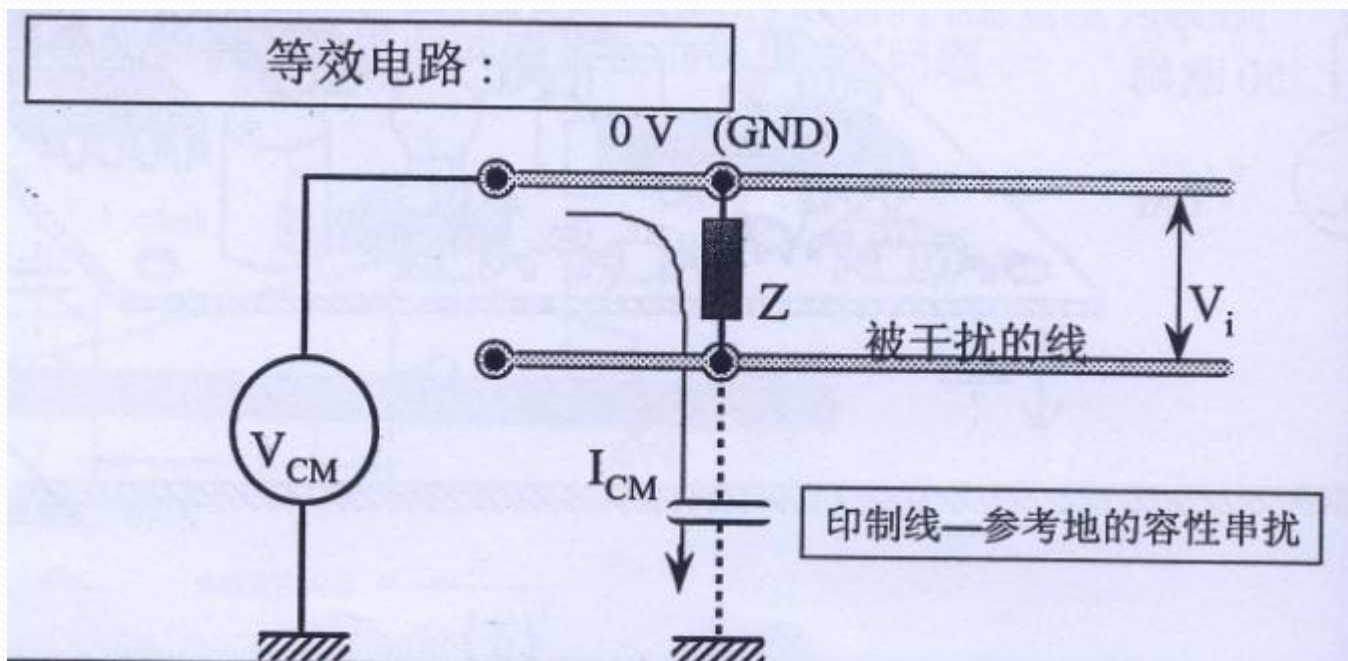




# PCB内部EMC设计

## PCB的耦合路径

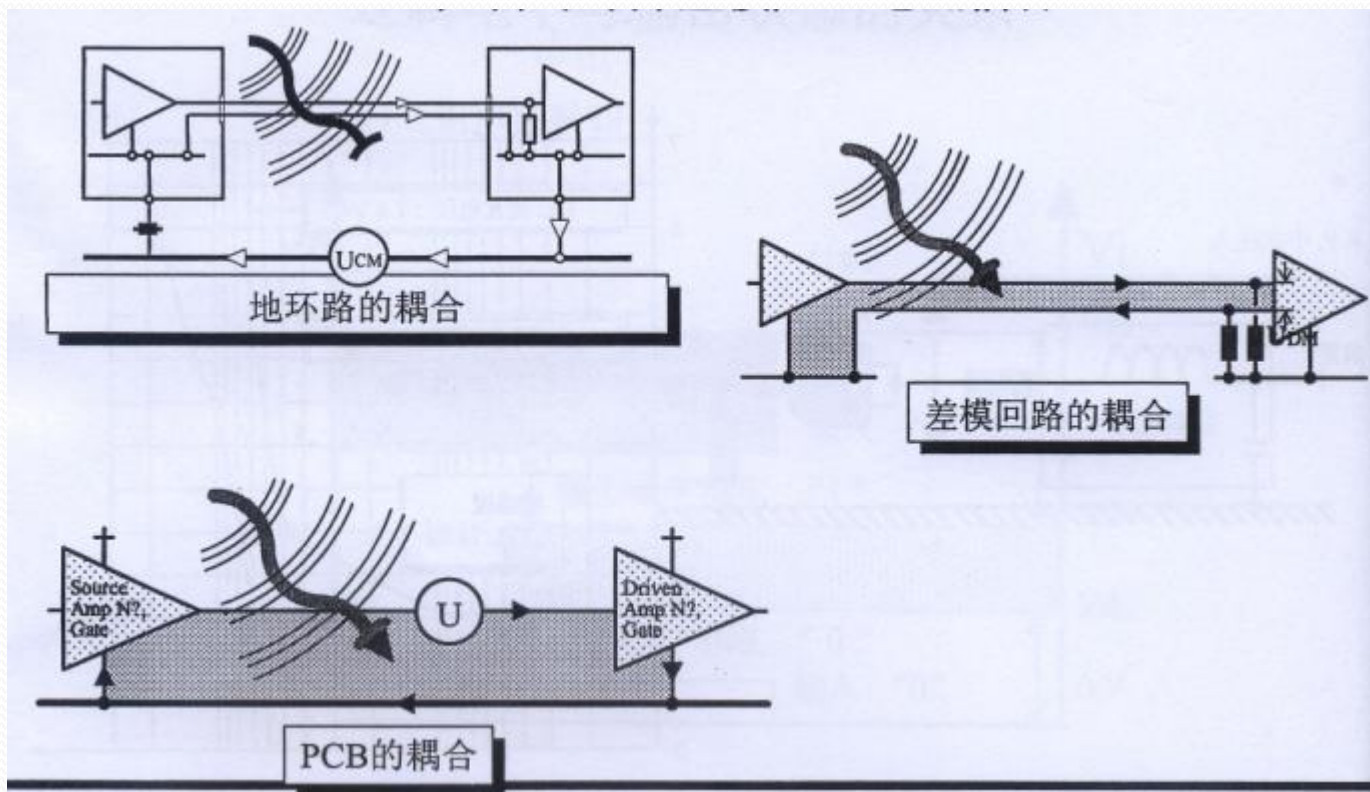
### 印制线与参考地平面的耦合



# PCB内部EMC设计

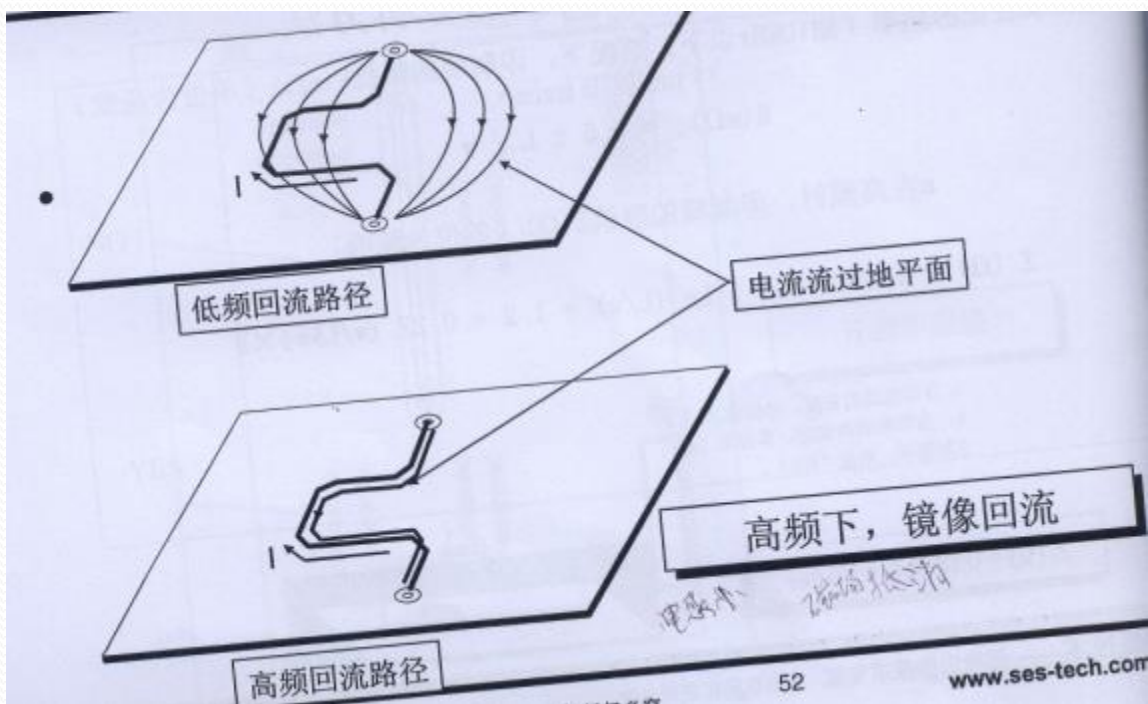
PCB的耦合路径

PCB与外部辐射的耦合



# PCB内部EMC设计

## 回流路径及其分布 电流回流路径



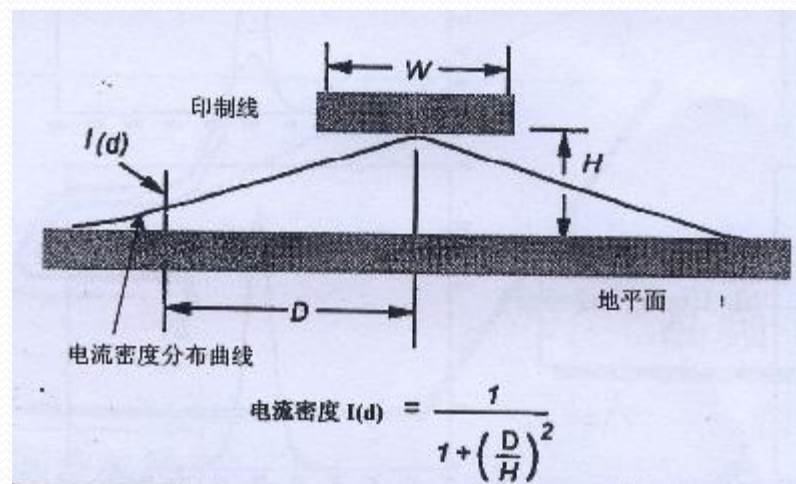
# PCB内部EMC设计

## 回流路径及其分布

### 镜像回流的分布(10H原则)

镜像平面中高速信号线回流的电流密度从信号线中心正下方方向两边快速衰减，通常90%的信号回流的电流密度分布在10倍的H范围内，这个称为高速信号镜像回流有效面积。

高速信号线在地平面对应的10H范围内任何的过孔或裂缝都会影响镜像平面的完整性。



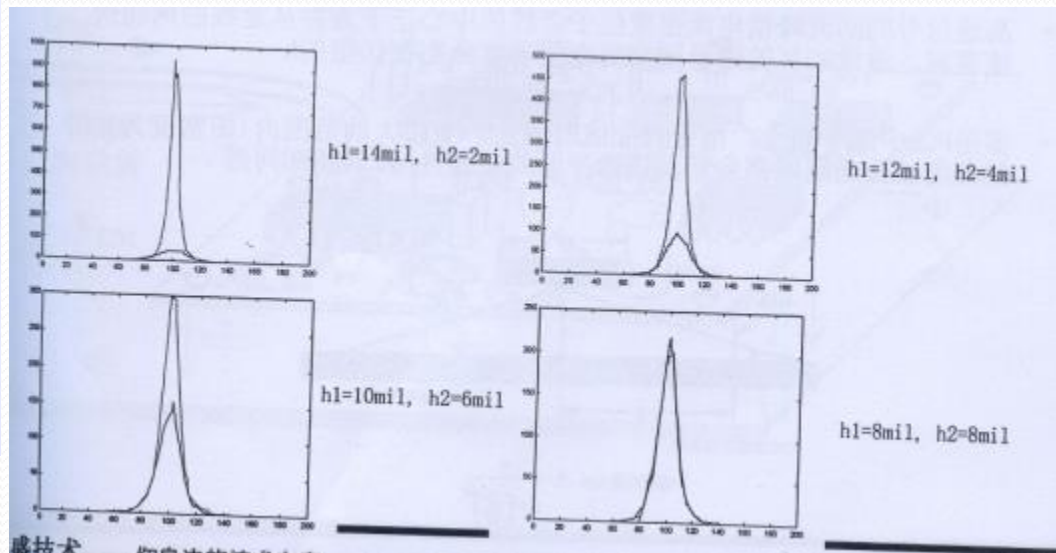
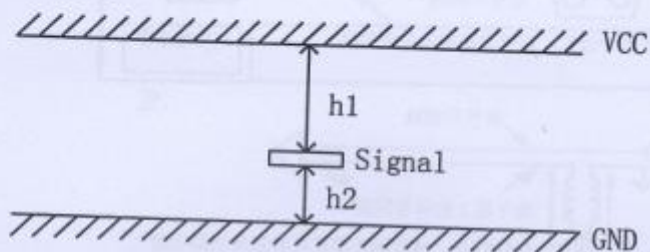
# PCB内部EMC设计

## 回流路径及其分布

### 多种回流路径上的电流分布

- 仿真如下四种情况：
- (1)  $h1=14\text{mil}$ ,  $h2=2\text{mil}$
- (2)  $h1=12\text{mil}$ ,  $h2=4\text{mil}$
- (3)  $h1=10\text{mil}$ ,  $h2=6\text{mil}$
- (4)  $h1=8\text{mil}$ , 

## 8mil





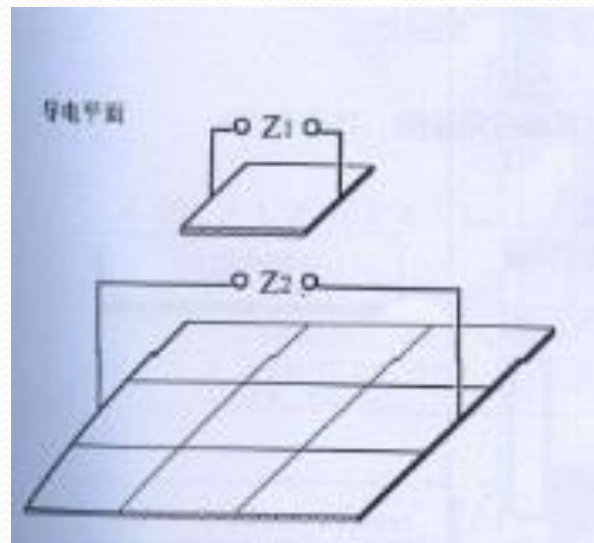
# PCB内部EMC设计

## PCB中工作地平面的设计

### 地平面阻抗

假设一个面积为 $L*L$ 的正方形金属平面，其两条对边中点之间的阻抗为 $Z_1$ ；另一个边长为 $N*L$ 的同厚度的正方形金属平面，其两条对边中点之间的阻抗为 $Z_2$ ，则有 $Z_1=Z_2$ 。

同一材料、同一厚度的任意正方形的金属平面的阻抗是一样的。  
金属平面的阻抗取决于长宽比和其材料。



# PCB内部EMC设计

## PCB中工作地平面的设计

地平面阻抗（正方形金属平面）

低频下阻抗  $Z = \frac{17}{\sigma_r \cdot t_{mm}}$

高频下阻抗  $z = 370 \cdot \sqrt{\frac{f \cdot \mu_r}{\sigma_r}}$

Z的单位为 $\mu\Omega$ ;

金属板厚度 $t_{mm}$ ，单位为mm;

频率f单位为MHz

$\mu_r$ 为介质相对磁导率

$\sigma_r$ 为介质相对电导率

对于常用作PCB中导电材料的铜箔， $\mu_r = \sigma_r = 1$ ，则

DC或低频下  $Z = \frac{17}{t_{mm}}$

高频下

$$Z = 370 \cdot \sqrt{f}$$



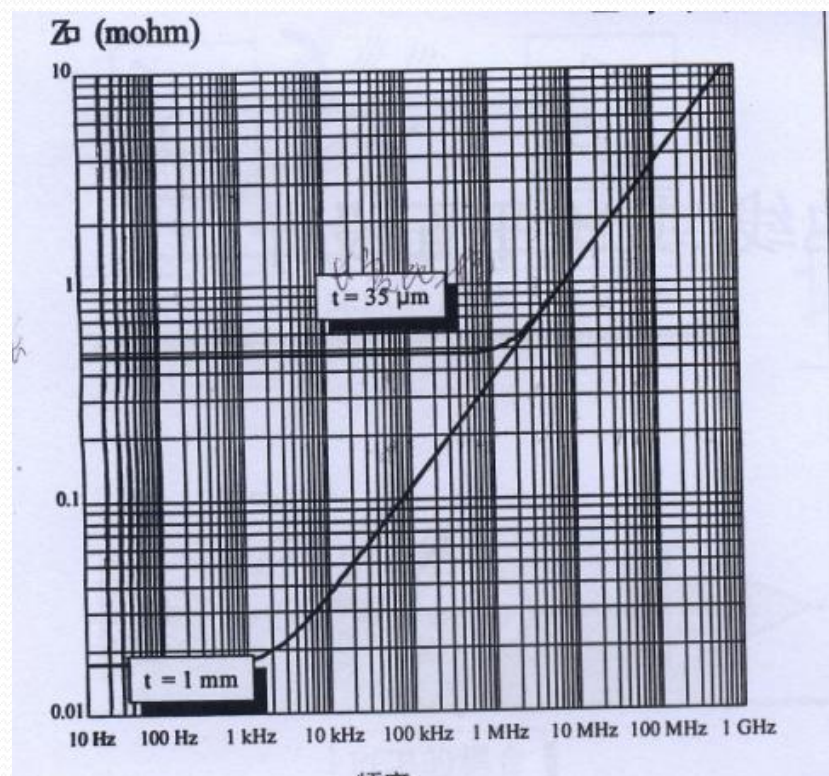
# PCB内部EMC设计

## PCB中工作地平面的设计

### 地平面阻抗

#### 正方形铜箔的阻抗与频率的关系

PCB中厚度为 $35\mu\text{m}$ 的地平面， $f=100\text{MHz}$ ， $Z=3.7\text{mohm}$



# PCB内部EMC设计

## PCB中工作地平面的设计

### 过孔、裂缝、开槽对地平面阻抗的影响

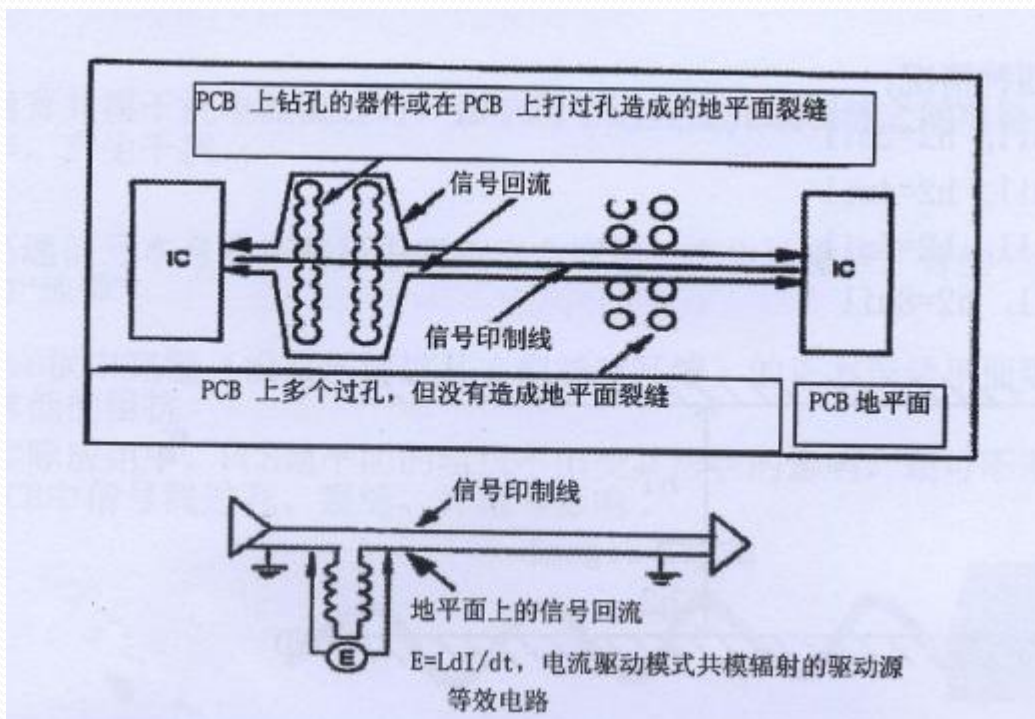
过孔对EMC产生不利因素有两方面：

- (1)过孔串联在信号回路时，由于过孔自身的寄生电容和电感，会使信号发生畸变；
- (2)由于信号的过孔要穿透PCB中的地层和电源层，导致地平面的阻抗随着频率的增加而迅速上升；
- (3)裂缝或开槽增大共模电流路径中的阻抗。

# PCB内部EMC设计

## PCB中工作地平面的设计

过孔、裂缝、开槽对地平面阻抗的影响  
密集过孔造成信号回流破坏

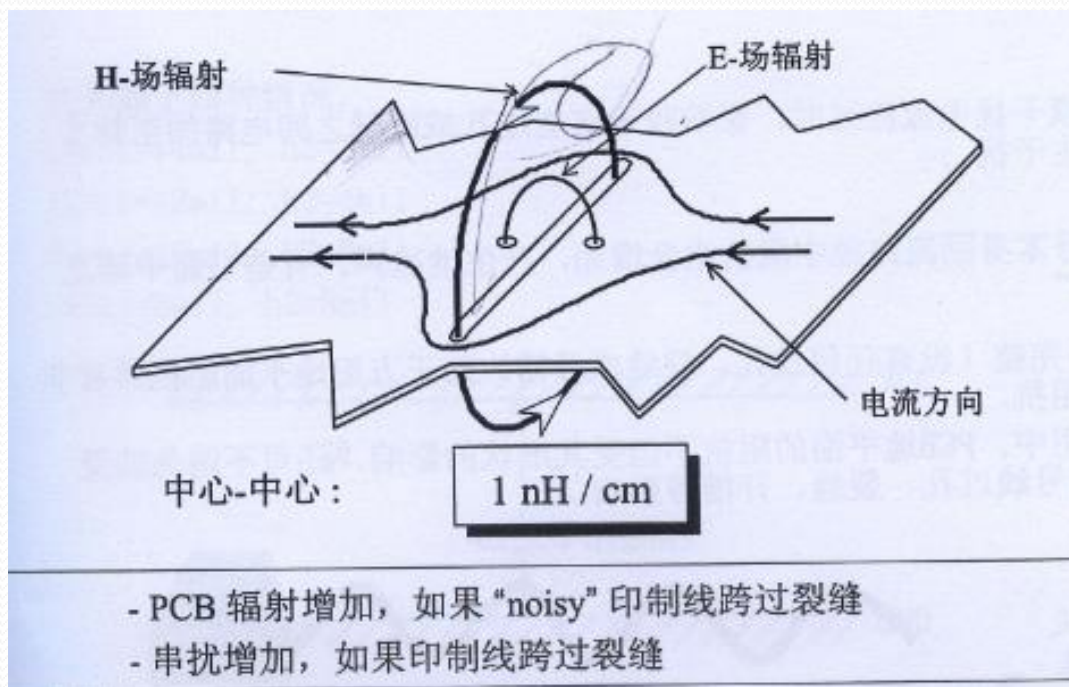


# PCB内部EMC设计

## PCB中工作地平面的设计

过孔、裂缝、开槽对地平面阻抗的影响

裂缝增大地平面共模干扰电流路径中的阻抗



# PCB内部EMC设计

---

## PCB中工作地平面的设计

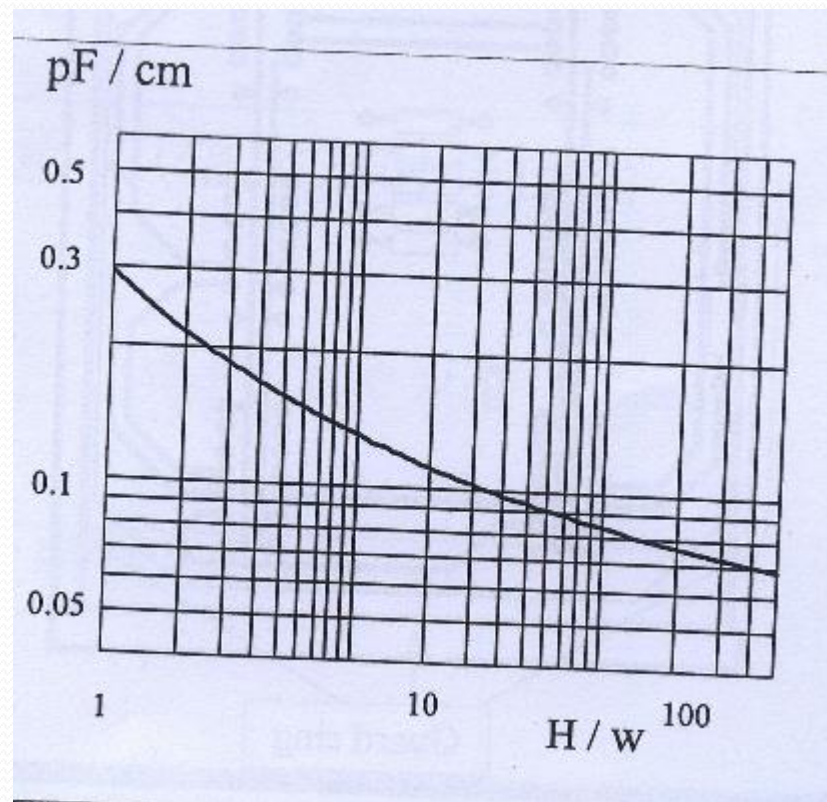
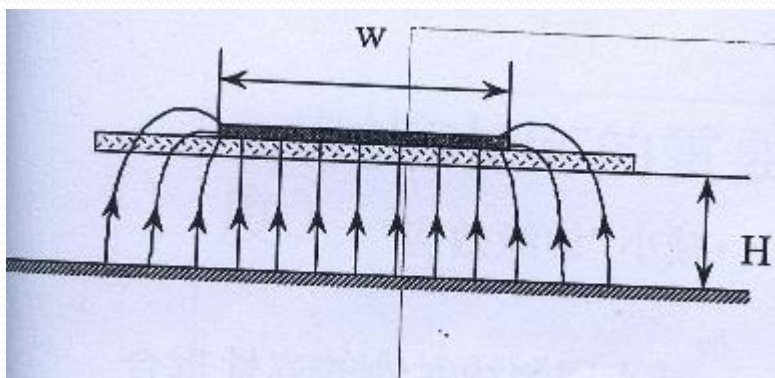
### PCB中过孔的设计技巧

- PCB上尽量不要使用不必要的过孔；
- 严禁多个过孔造成地平面裂缝或开槽；
- 电源和地的管脚要就近打过孔，过孔与管脚间的引线尽量短；
- 信号换层的过孔附近放置一些接地过孔；
- 晶体振荡器下面不能有信号过孔。



# PCB内部EMC设计

PCB中工作地平面的设计  
边缘效应  
板边缘的印制线寄生电容



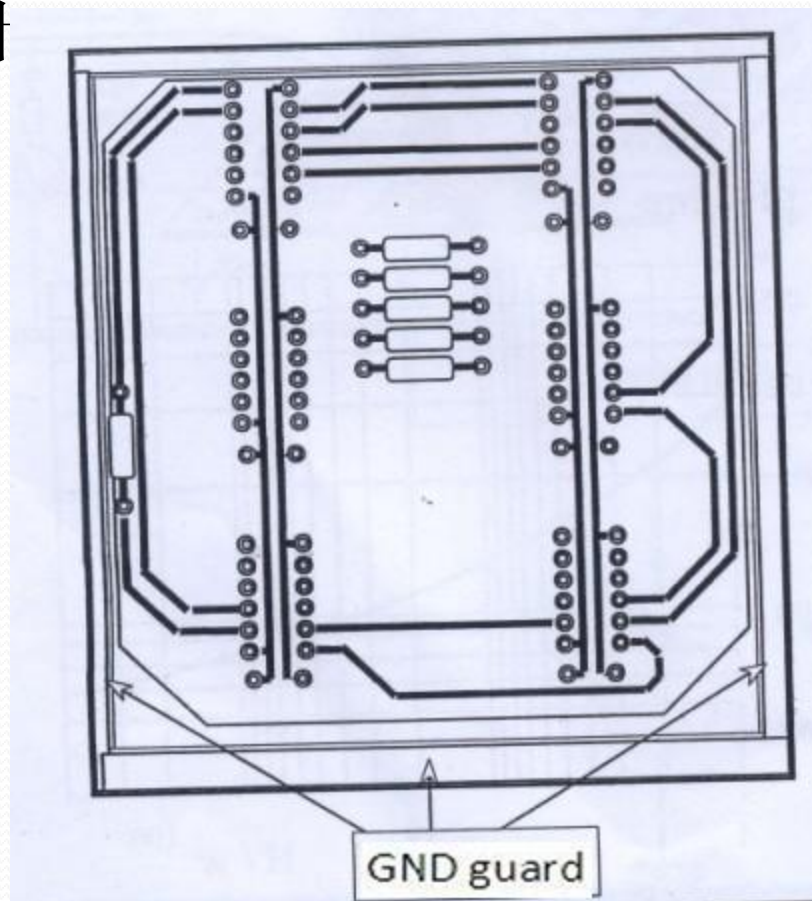
# PCB内部EMC设计

## PCB中工作地平面的设计

### 边缘效应

#### 边缘效应的应对

- 1.杜绝高速信号、敏感信号线布置在PCB边缘;
- 2.包地处理,可以降低板边缘的印制线对接地参考平面或金属外壳的寄生电容。





# PCB内部EMC设计

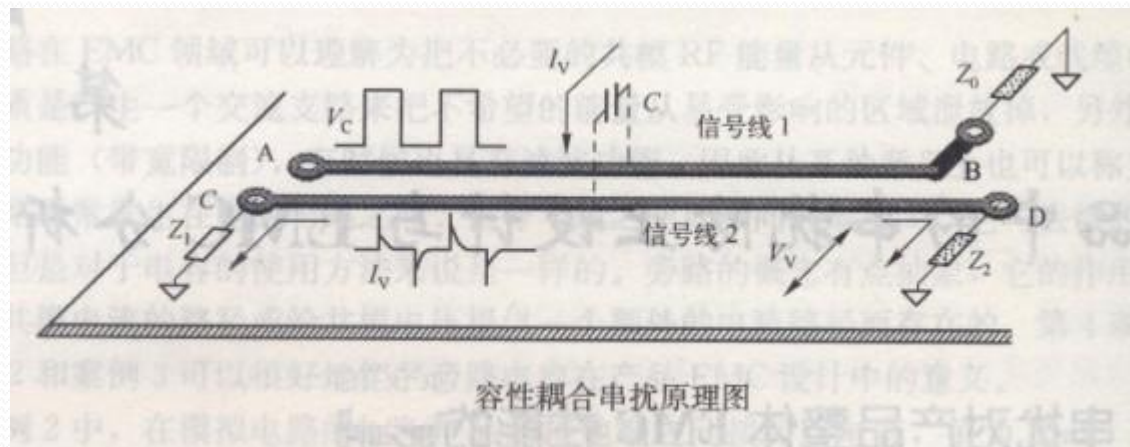
## PCB中信号线之间的串扰

### 串扰的产生

根本原因：信号变化引起周边的电磁场变化，信号线之间的寄生电容和寄生电感成为耦合路径。

### 容性耦合

$$I_v = C \cdot \frac{\Delta V_C}{\Delta t} = C \cdot \omega \cdot V_C$$



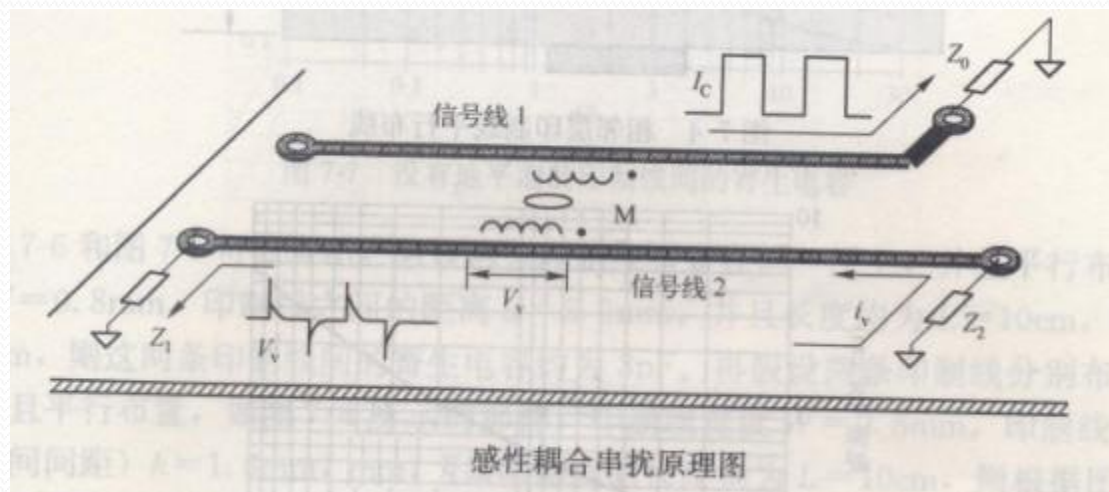
# PCB内部EMC设计

PCB中信号线之间的串扰

串扰的产生

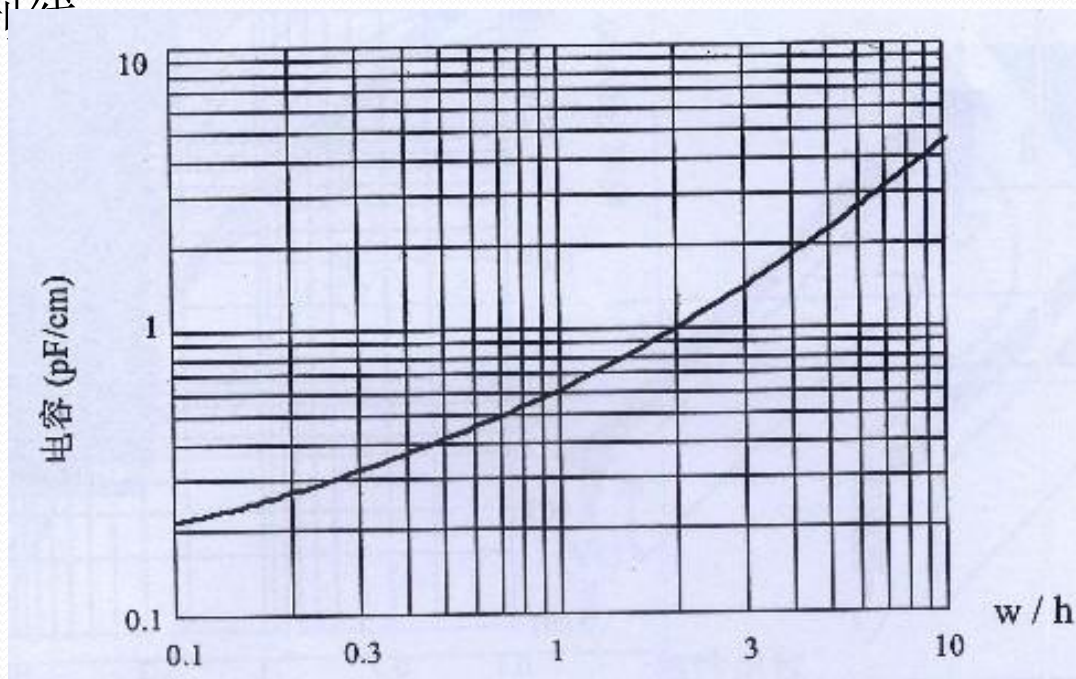
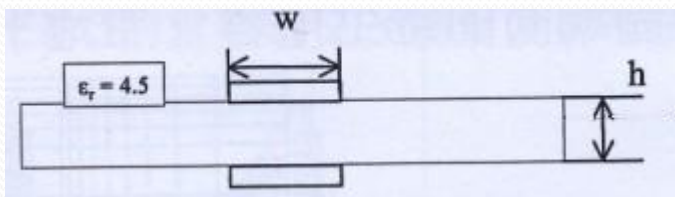
感性耦合

$$V_v = M \cdot \frac{\Delta I_C}{\Delta t} = M \cdot \omega \cdot I_C$$



# PCB内部EMC设计

PCB中信号线之间的串扰  
印制线间的寄生电容分析  
相邻层上下层的印制线

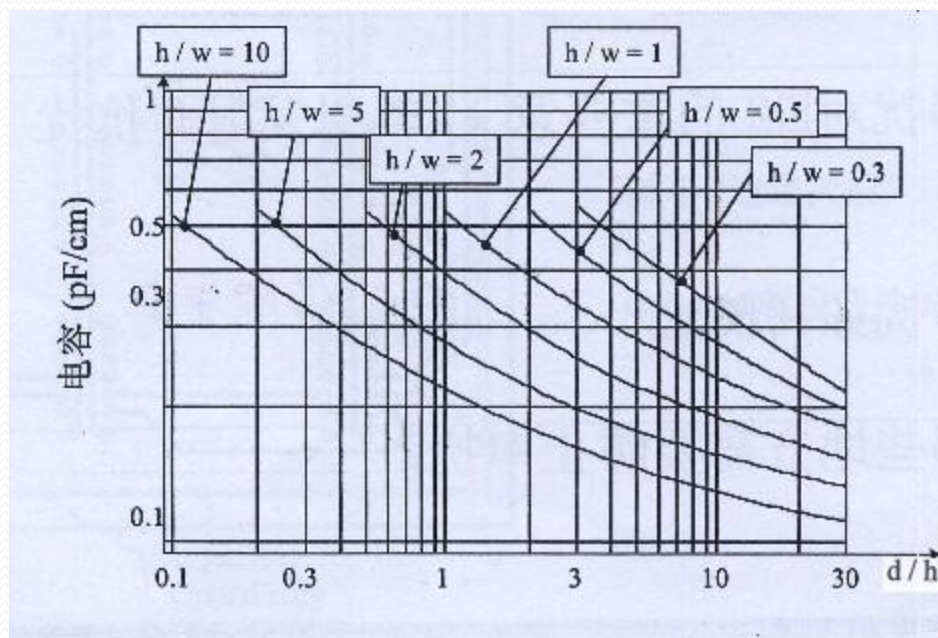
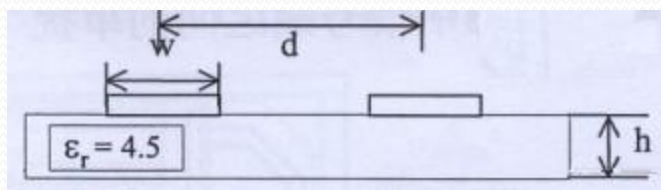


# PCB内部EMC设计

PCB中信号线之间的串扰

印制线间的寄生电容分析

没有参考地平面的同层印制线

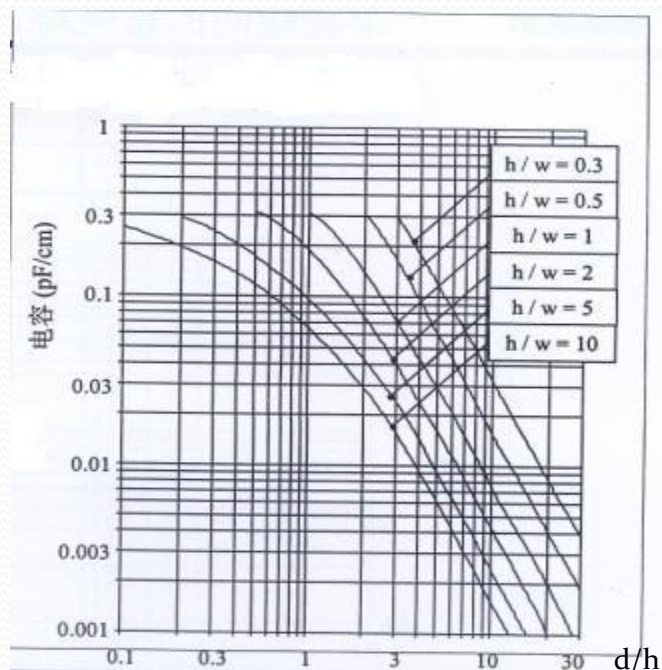
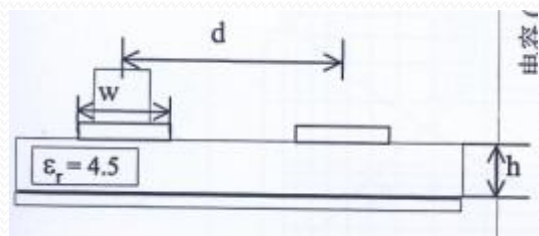


# PCB内部EMC设计

PCB中信号线之间的串扰

印制线间的寄生电容分析

带一层地平面的印制线间的寄生电容



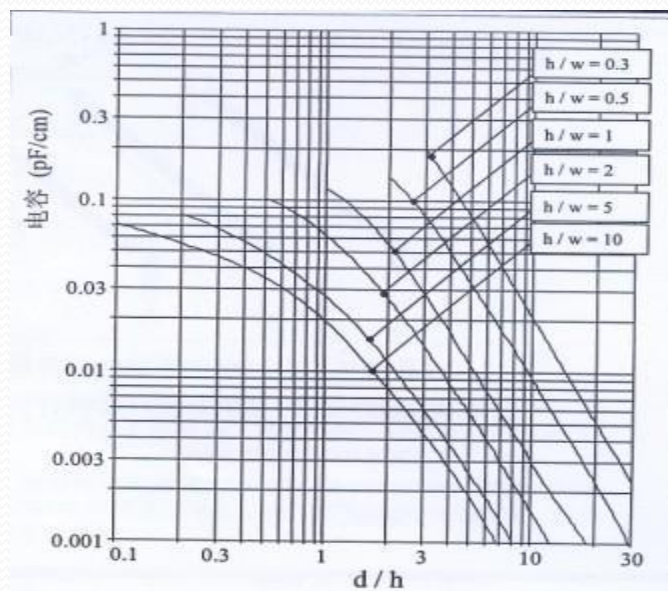
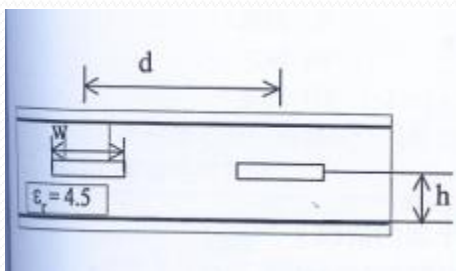


# PCB内部EMC设计

PCB中信号线之间的串扰

印制线间的寄生电容分析

带两层地平面的印制线间的寄生电容



# PCB内部EMC设计

## PCB中信号线之间的串扰

### 那些信号要考虑串扰问题

敏感的内部电路（如模拟电路、复位电路、高输入阻抗电路、小信号电路）和被外界干扰注入的“脏”的信号之间；

内部电路噪声电路（如时钟信号电路、高速信号、高 $dI/dt$ 和 $dV/dt$ 电路等）与其他信号线之间。



# PCB内部EMC设计

## PCB中信号线之间的串扰

### 防止串扰的设计

加大平行信号线之间的距离（ $3W$ 原则， $10H$ 原则）；

减小平行布线的长度；

将信号线参考地平面；

减小信号线与参考地平面间的距离；

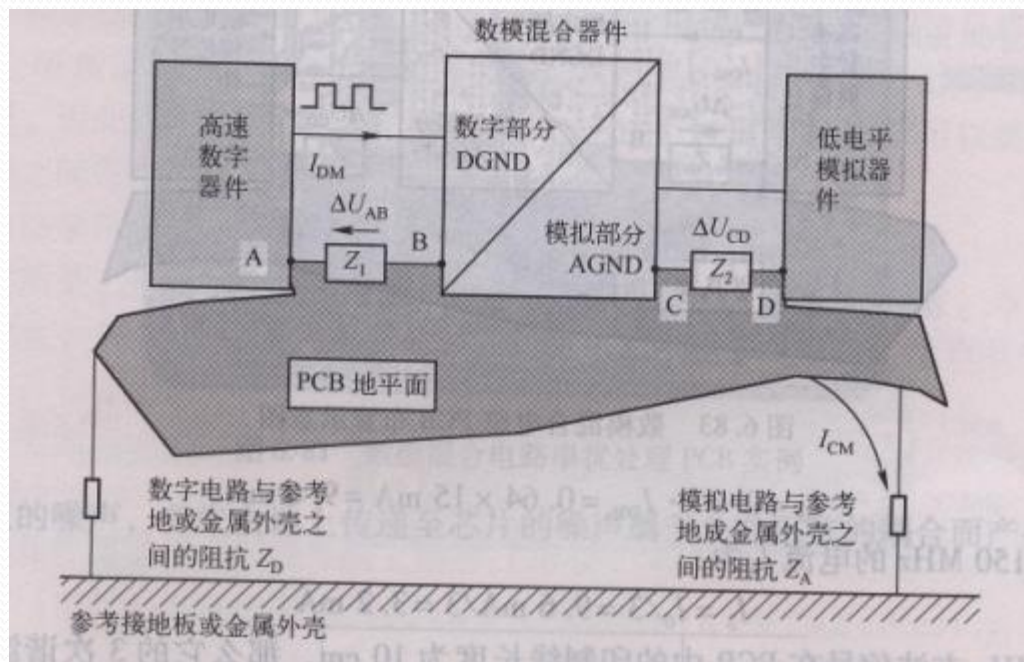
在信号线之间走地线（包地处理）。

# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数字电路噪声干扰模拟电路的原理分析

何种情况下会数字共模噪声干扰流经模拟区？





# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数模混合电路的PCB布局与布线

电源分开，数模电源之间加滤波，电源平面分割；

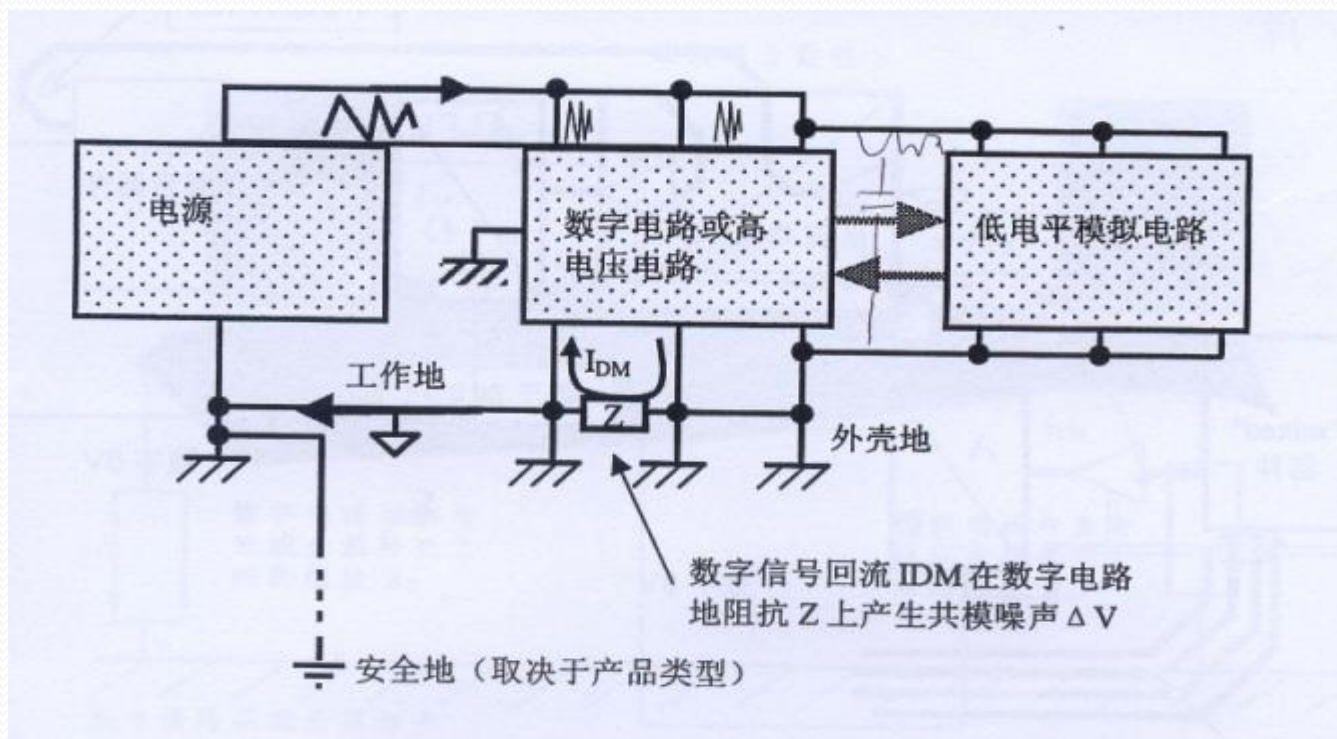
分开器件和信号，保证数字器件在一个区域，模拟器件和信号在另一个区域，其间在PCB的Top和Bottom层有地线隔离；

借助金属外壳降低数字电路的共模噪声，并旁路数字地上共模噪声产生流向模拟电路的共模电流；

# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数模混合电路的PCB布局与布线



# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数字地与模拟地的处理

分地的意义：改变共模电流路径；

何时可以分地：分地可以让EMI共模电流避开敏感电路，并且外部共模干扰电流不流经分割区；

何时不可以分地：分地也无法避免EMI共模电流和外部干扰电流流经敏感电路或分割区。

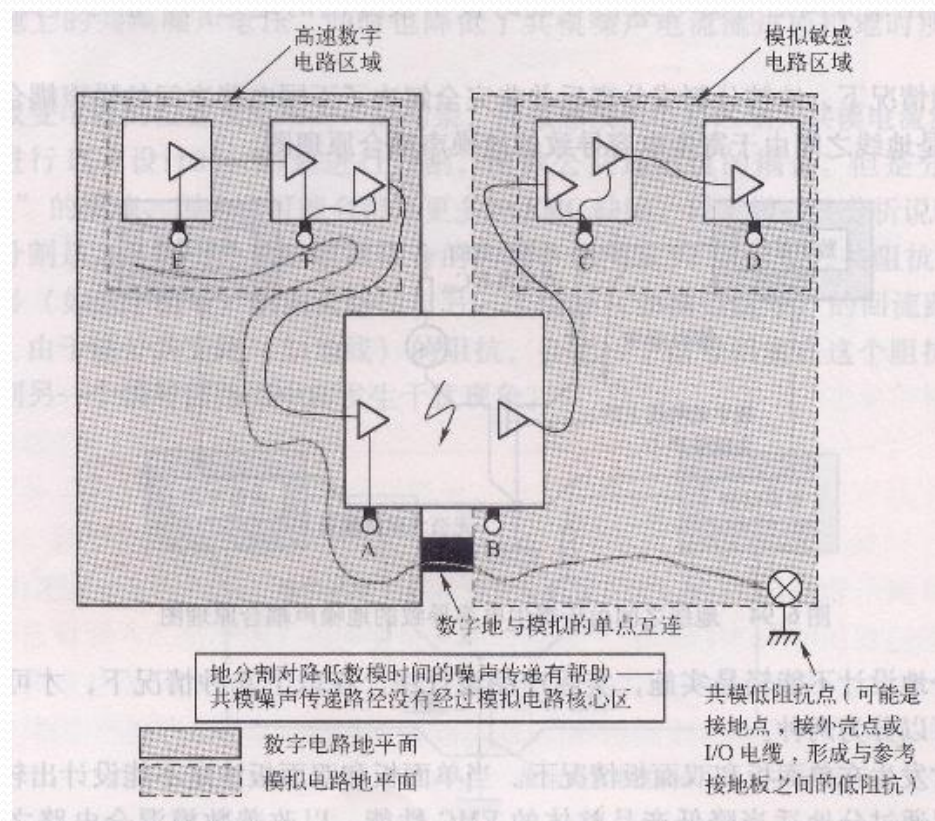
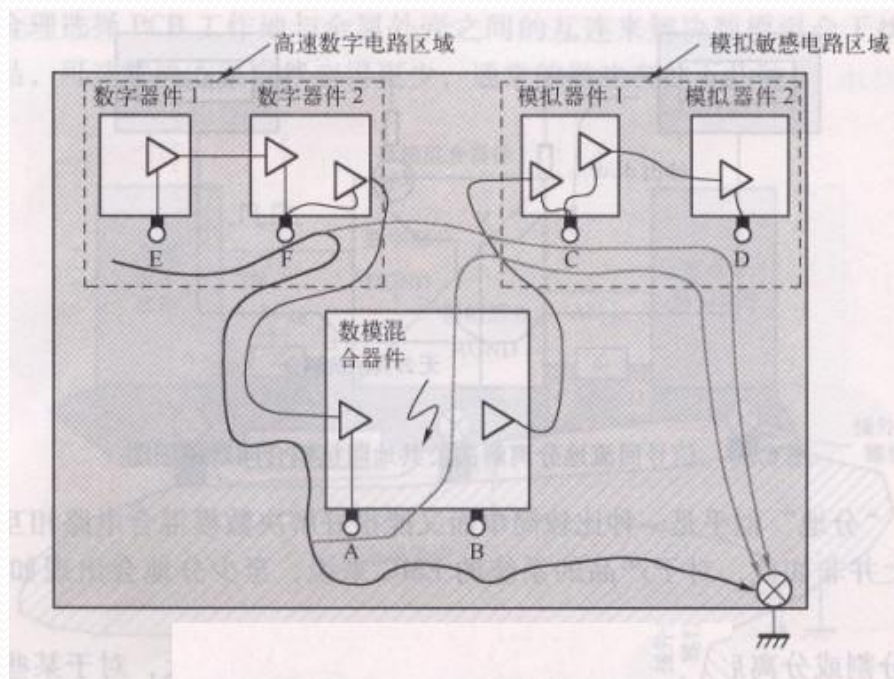


# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数字地与模拟地的处理

#### 地分割的分析



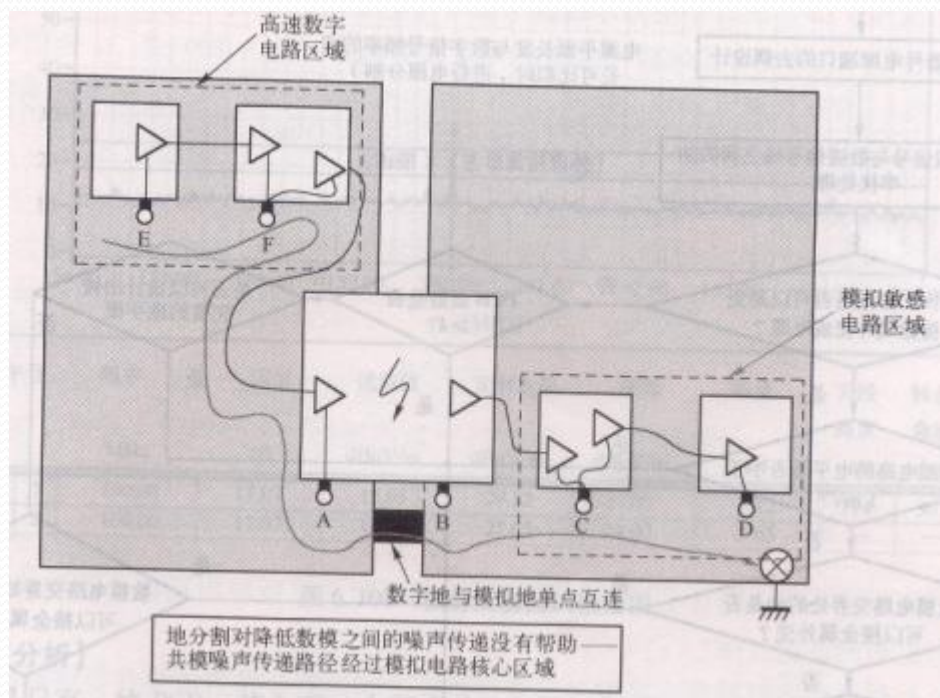


# PCB内部EMC设计

数字与模拟混合电路的设计

数字地与模拟地的处理

地分割的分析



# PCB内部EMC设计

## 数字与模拟混合电路的设计

### 数模地分割带来的EMC风险

地分割，导致地平面长宽比加大，地平面阻抗增大，这意味着其他信号的回流产生更大的共模噪声电压，同时也降低了电路对外部共模噪声的抗干扰能力；

地分割，容易导致信号线跨分割区，信号环路面积增大；

高频下，地分割不是完全意思上的隔离（寄生电容导致地噪声耦合）。

# EMC去耦分析

---

电容的分析

EMC去耦设计

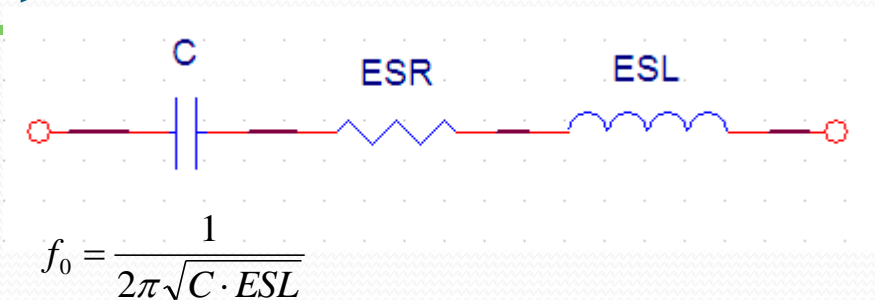
# EMC去耦设计

电容的分析

高频等效电路

自谐振频率

电容自谐振频率表

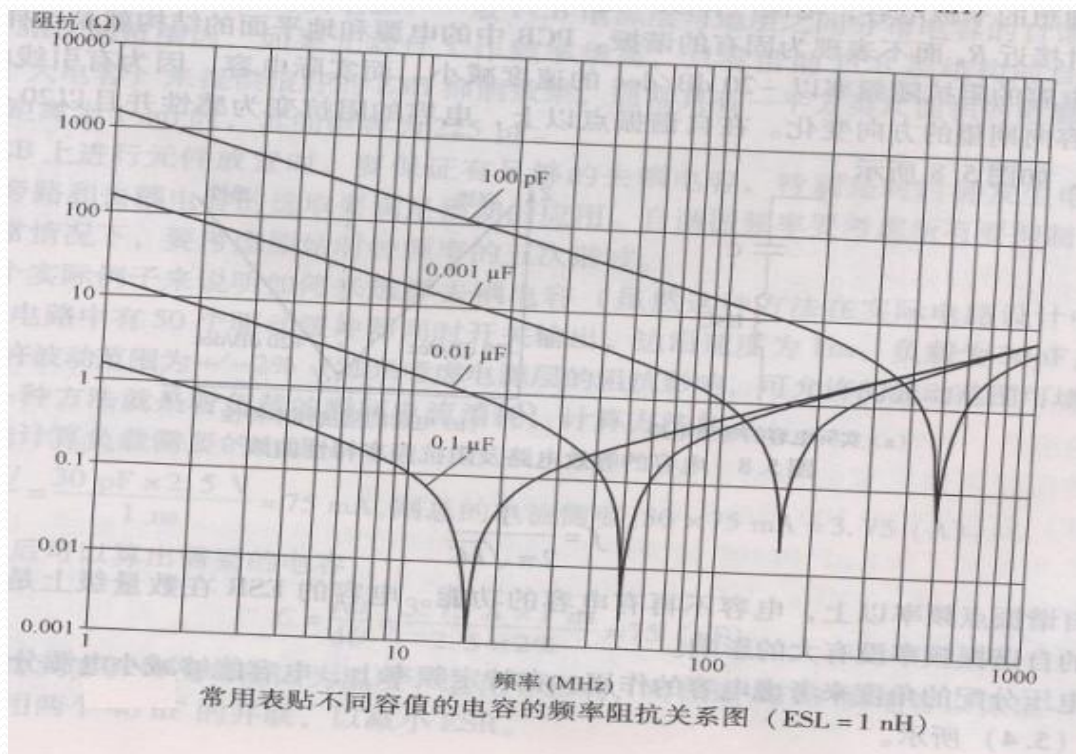


电容值	DIP(0.25inch)	SMT(0805)
1.0 $\mu$ F	2.6 MHz	5 MHz
0.1 $\mu$ F	8.2 MHz	16 MHz
0.01 $\mu$ F	26 MHz	50 MHz
1000 pF	82 MHz	156 MHz
500 pF	116MHz	225 MHz
100 pF	260 MHz	503 MHz
10 pF	821 MHz	1.6 GHz

# EMC去耦设计

## 电容的分析

常用表贴不同容值的电容频率阻抗关系



# EMC去耦设计

## EMC去耦设计

选择合适的数量和容值的去耦电容（工作主频20MHz以下建议用0.1 $\mu$ F，20MHz以下建议用0.01 $\mu$ F）；

选择ESR、ESL小的去耦电容；

缩短去耦电容的引线，以减小引线电感、电阻；

多个同容值的电容并联，以减小ESR；

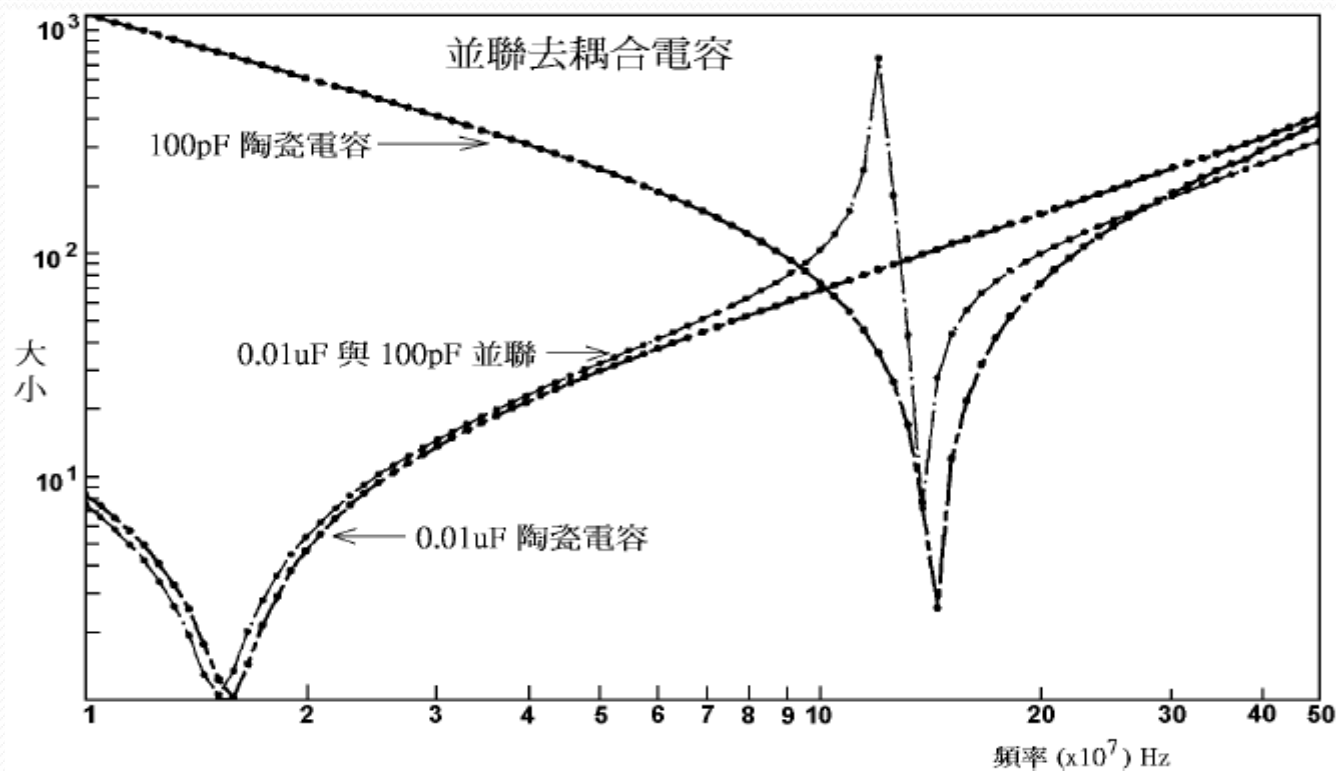
不同容值的电容并联，以提供更宽的抑制带宽；

适当放置去耦电容。

# EMC去耦设计

## EMC去耦设计

### 并联电容器之谐振





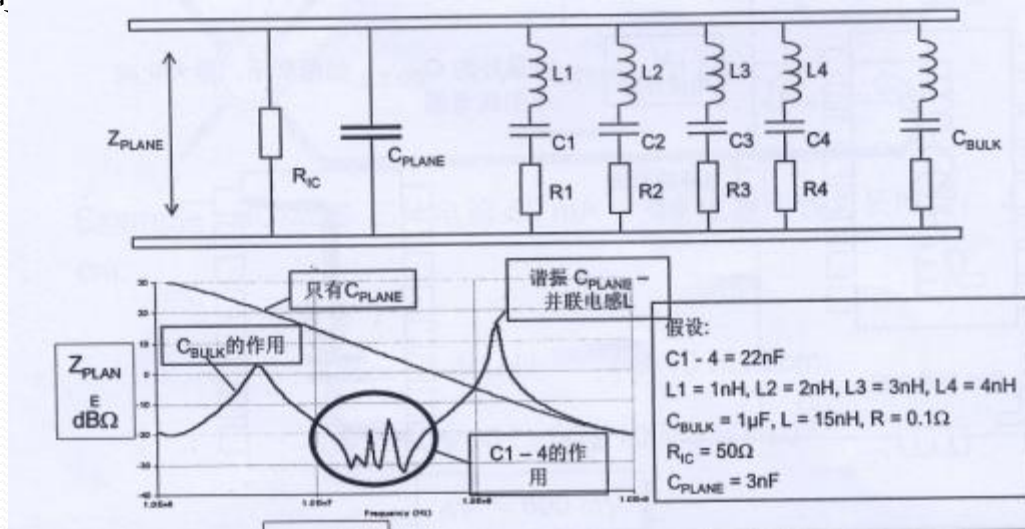
# EMC去耦设计

## EMC去耦设计

### 电源与地平面的之间的电容

电源与地平面之间等效引脚电感很小且没有等效串联电阻，所以用其作去耦电容一般可有较高的抑制带宽。

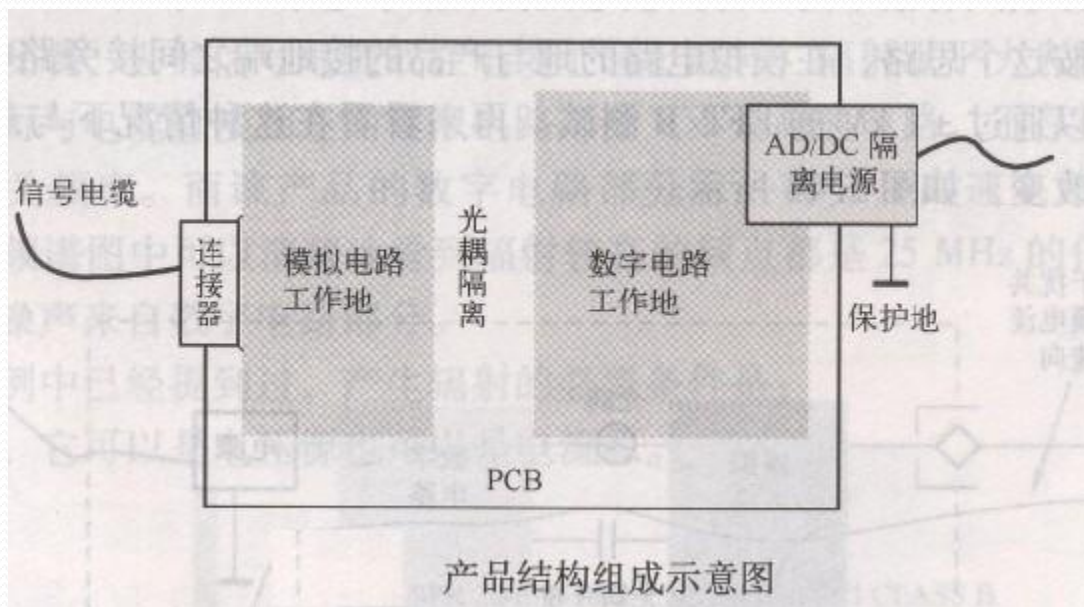
中间为FR-4介质的，距离为0.01inch时，其电容值为100pF/in<sup>2</sup>；



# 旁路电容案例分析

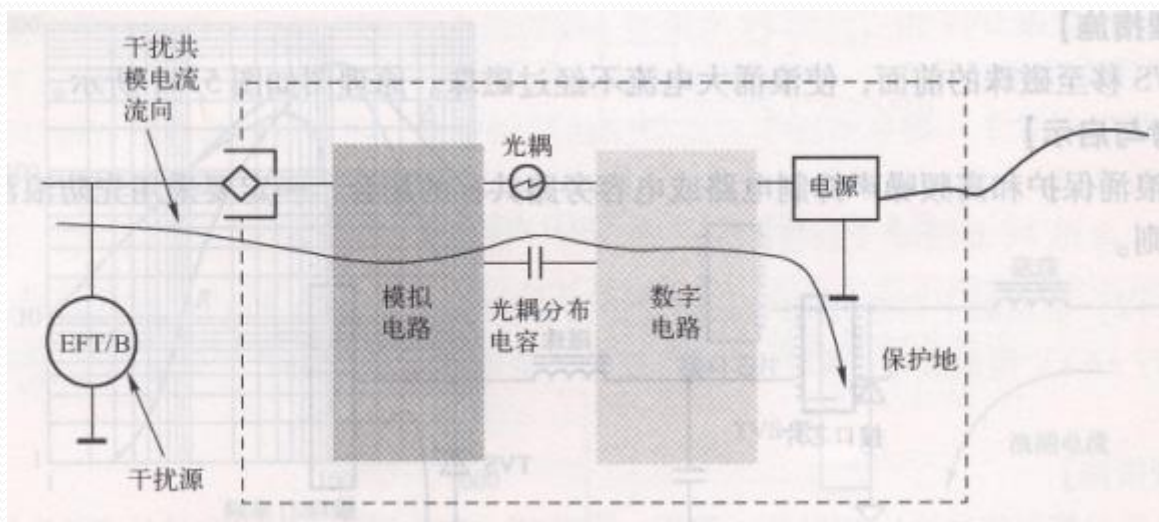
## 现象描述：

该产品只有一块PCB板，塑料外壳，电源端有专门的接地端子。PCB分为模拟部分和数字部分，其间用光电耦合器隔离。数字电路有一部分是高速电路，其时钟频率为25MHz。电源电缆长度为3m，信号端口也要求进行EFT/B试验，等级为±1KV。信号电缆在±500V试验时就电路正常，经分析，是数字电路工作不正常。



# 旁路电容案例分析

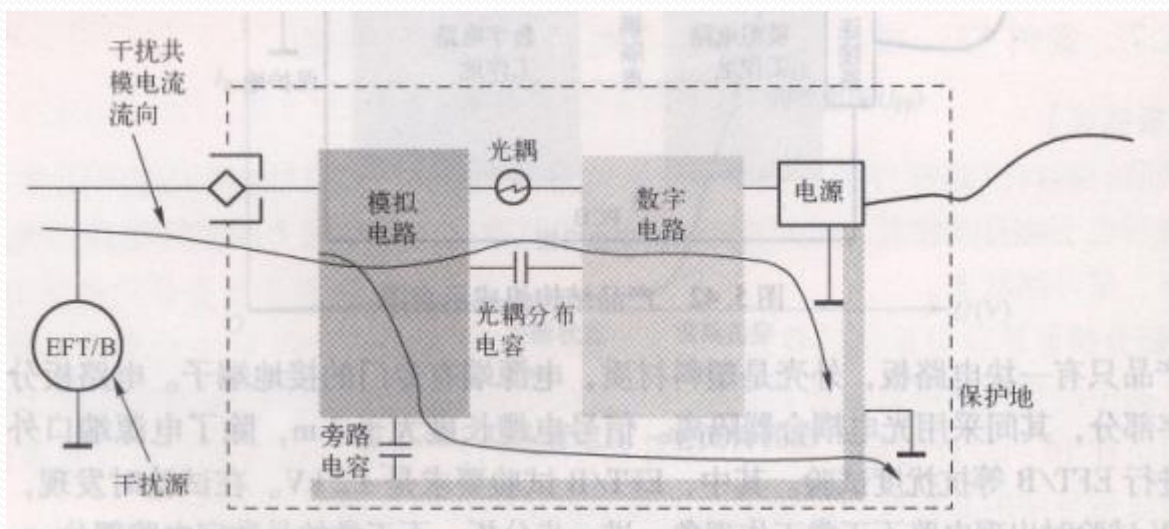
## 原因分析



# 旁路电容案例分析

改善对策

在模拟电流与保护地之间接一 $10\text{nF}$ 的旁路电容





---

The End

Thank You