

PCB 中防止共阻抗干扰的地线设计

张玉民

(北京工业职业技术学院, 北京 100042)

摘要: 电子电路中, 共阻抗干扰对电路的正常工作带来很大影响。在 PCB 电路设计中, 尤其在高频电路的 PCB 设计中, 必须防止地线的共阻抗所带来的影响。通过对共阻抗干扰形式的分析, 详细介绍一点接地在电子电路中, 特别是在高频电路中对共阻抗干扰的抑制作用, 以及采用一点接地防止共阻抗应注意的问题。同时对 PCB 板内地线布局的主要形式和要求进行了简要阐述。

关键词: PCB; 共阻抗; 干扰; 地线; 方法

中图分类号: TN702

文献标识码: B

文章编号: 1671- 6558(2006) 02- 88- 05

A Line Design of Preventing the Totally Resistance Interference in PCB

Zhang Yumin

(Beijing Vocational & Technical Institute of Industry, Beijing 100042, China)

Abstract: Inside the electronics electric circuit, the totally resistance interference influences the normal work of the electric circuit greatly. In PCB electric circuit design, particularly in the PCB design of the high frequency electric circuit, it is necessary to prevent the influence of totally resistance of grounding line. The article analyzes interference form of the totally resistance, introduces the restraint function of a grounding to the totally resistance interference in electronics electric circuit, especially in high frequency electric circuit, and problems that prevent the totally resistance by a grounding. At the same time it illustrates the main form and request of grounding line in PCB plank.

Key words: PCB; Totally resistance; Interference; A grounding line; Method

0 前言

在电子电路中, 多数元器件都要通过地线形成回路, 线设计合理与否, 直接影响电路的工作。尽可能地降低由于地线设计不合理产生对信号传输的干扰。

在电路图中, 接地常用符号来表示, 表示电路中的零电位, 并用来作为电路的其他各点的公共参考点。电路的各点电压、电流和信号电平的大小均是以地线作为基准电压来表示的。在阅读电路图和理解电路工作状态时, 常把地线和各接地点之间视为无电位差的零电位点。而在实际电路工作中, 由于地线的阻抗(电阻、电感)的存在, 会产生一定的电

位差。这些电位差的存在, 必然对电路的工作带来影响。在 PCB 设计中必须注意和消除地线阻抗的影响。

1 地线对电路产生干扰的形式

1. 1 全电流共阻抗干扰

如图 1 中, 电路 1 和 电路 2 通过公用地线 AB 与电源形成回路。线段 AB 可等效为一个电阻和电感的串联回路, 因而形成共阻抗效应。在工作时, 电路 1、2 的电流变动, 将引起 A 点电位变化, 使电路 1、2 相互产生干扰。如电路 2 有输出至电路 3, 干扰也将窜入电路 3 中, 因此形成全电流共阻抗干扰。

例如有一段长为 10cm, 宽为 1.5cm 的印制导

线,其铜箔厚度为 50 微米,导线电阻为

$$R = \frac{1}{S}$$

若 $\rho = 0.02$, 则 R 约为 0.026 。当电路 1 工作在低频时,电路的交变电流为 1A, 则在这段印制导线上约产生 0.026V 的交变电压降而作用在电路 2 上。在高频时,地线的共阻抗干扰,主要以导线的电感为主。当一段导线长度远大于其宽度时,导线的

自感量可按 0.8 微亨 / 米计算。同样一段长 10cm 的导线,当其通过的工作频率为 30MHz 时,此段导线所呈现的感抗 $RL= 2 \pi f L = 16 \Omega$ 。可见在频率升高时,导线的感抗将比导线本身的电阻要大几个数量级。即使导线中流过很小的高频电流,如为 10mA,在导线上将产生 0.16V 的高频电压。因而,对于高频电路,在制作 PCB 时,印制导线要尽可能短,以减少导线感抗对电路带来的损耗与干扰。

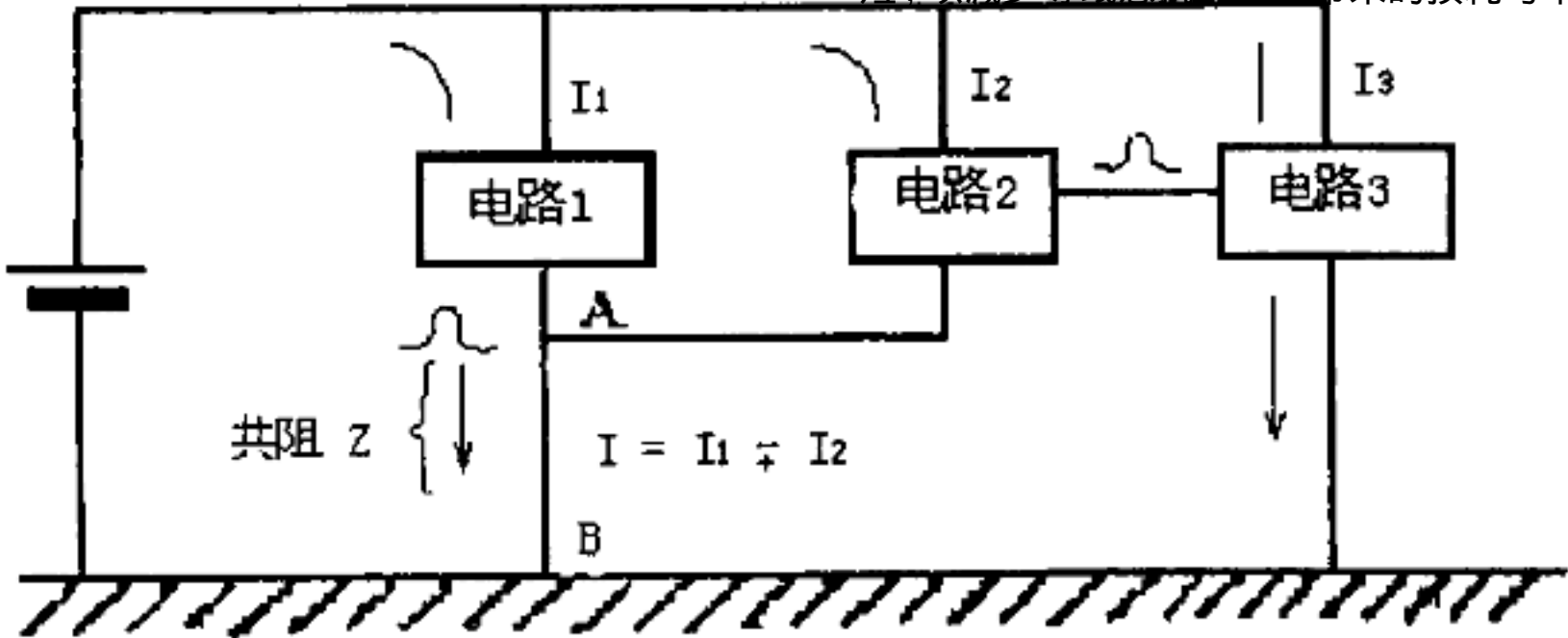


图 1 地线共阻抗干扰

1.2 局部电流共阻抗干扰

如图 2 所示,当印制板采用环形地线,各接地元件按就近分散接地。这样末级的交流信号一部分通过地线 AD 形成回路,在导线 AD 上产生交流压降。

由于前级的晶体管发射极和基极与末级共用导线 BC,在导线 BC 上产生共阻抗干扰。这种干扰是以局部电流的形式在公共地线上产生耦合,形成局部电流共阻抗干扰。

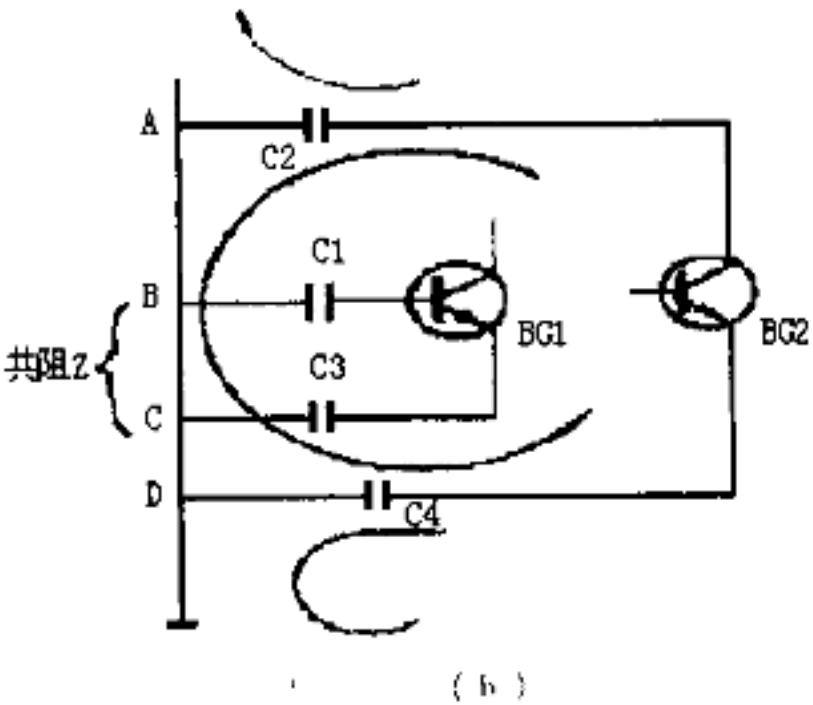
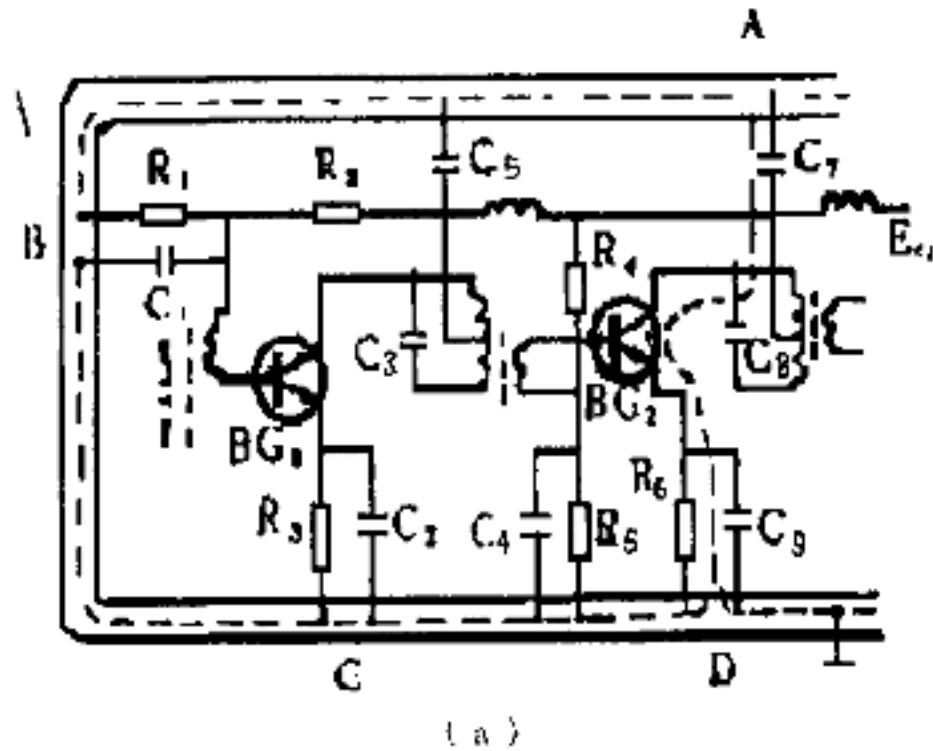


图 2 另一种共阻抗干扰

全电流共阻抗干扰主要存在于级与级之间。局部电流共阻抗干扰则是指部分和个别元件与导线的接地点不良而对其他电路引起的干扰。

2 防止共阻抗干扰的方法

各级内部接地。各级内部接地是防止局部电流共阻抗干扰的主要方法。即有效地防止了本级的交流信号通过各接地元件而逸出至本级以外的电路

中去,或其他电路的交流信号,通过本级的各接地元件而检拾进来。

无论对于低频、中频、还是高频各级电路,防止局部电流的共阻抗干扰,唯一有效的方法是采用一点接地。

一点接地的形式如图 3 所示。图中将各级内部的接地元件,即本级电路的发射极基极和集电极的所有接地元件,均安排在一个接地点上与地线相接。

这样,就能有效地防止交流信号通过接地元件的发

散和接收,使接地纯净。

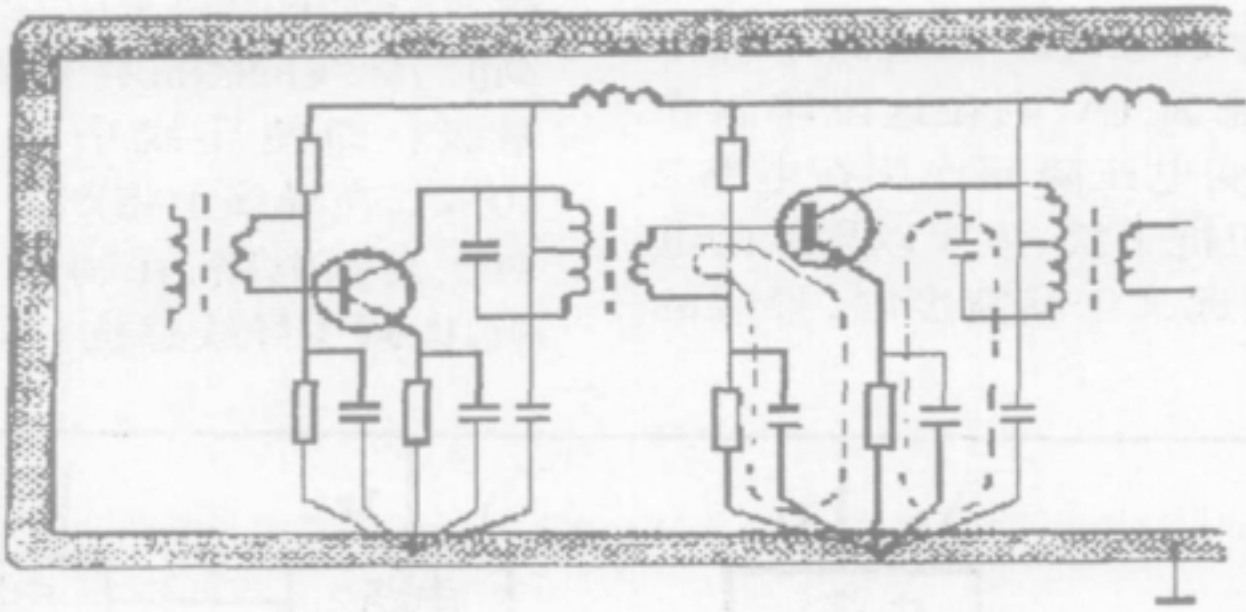
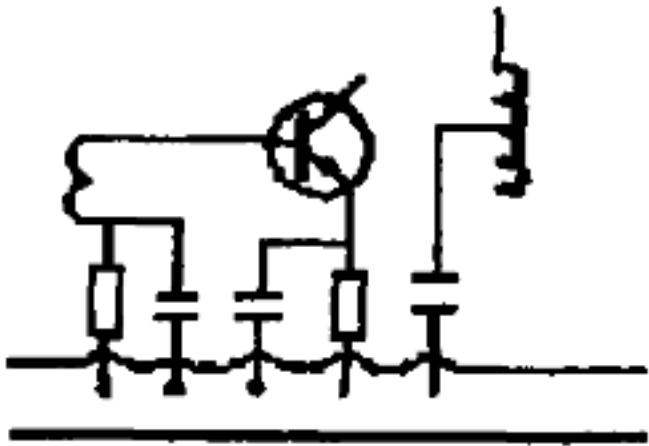


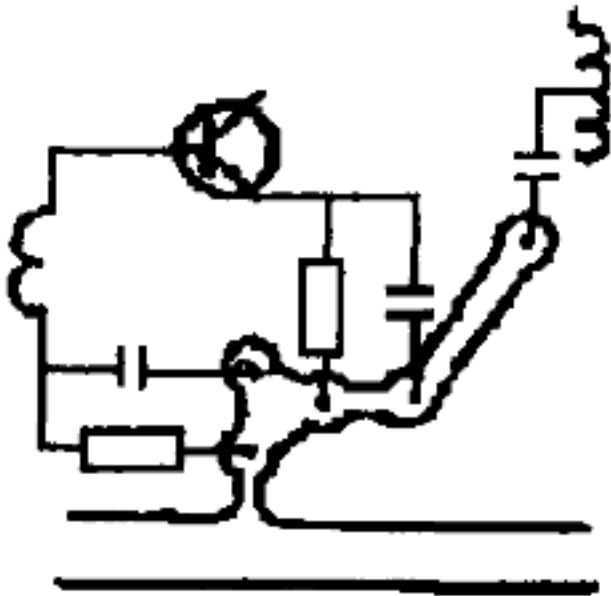
图 3 一点接地

在实际电路中,各级的接地元件较多,不可能将这些元件同时穿入一个穿线孔内,而是将本级接地元件尽可能就近安排在公共地线的一段或一个区域

内,如图 4a 所示。有时遇到元件体积限制或排列上的原因,就近安排有困难时,可采用图 4b 所示的接地形式,同样可达到一点接地的效果。



a 就近接地



b 分支接地

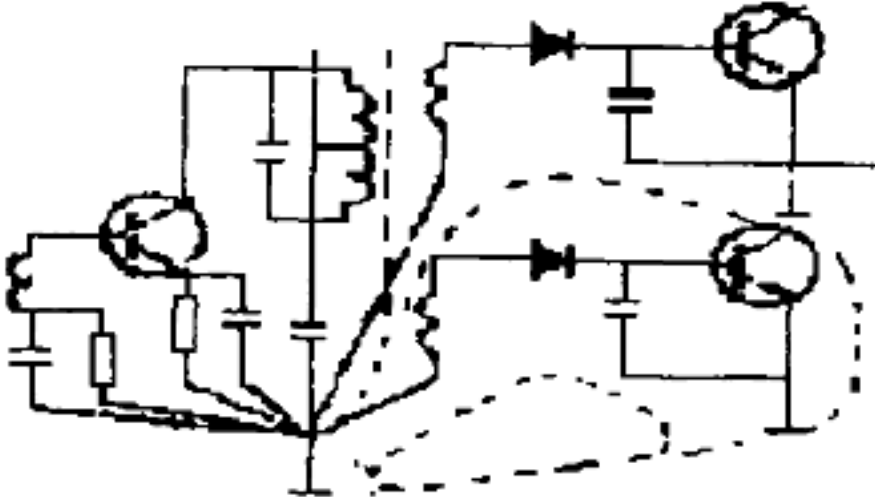
图 4 排版中的一点接地

3 一点接地应注意的问题

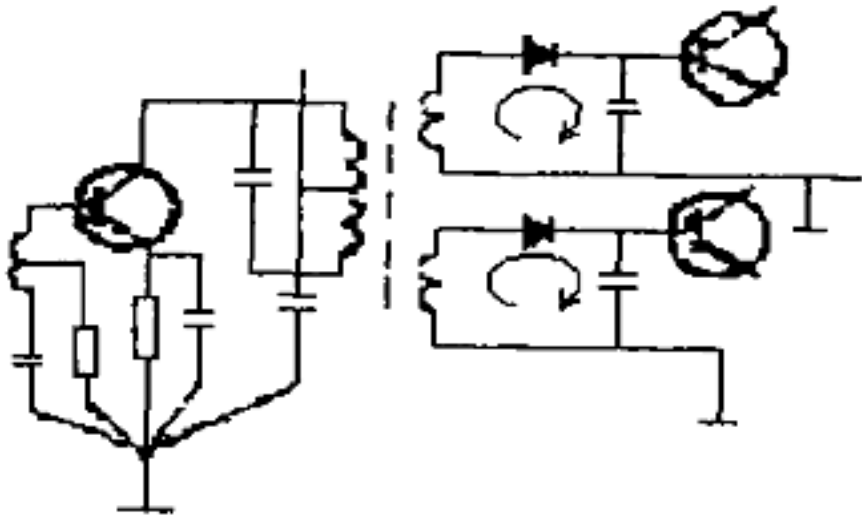
3.1 本级接地元件的范围

本级接地元件的范围是指与本级晶体管直接连

接,或是通过电容耦合的元件。由电感耦合的次级及元件不属于本级。如图 5a、图 5b 所示。



a 不合理



b 合理

图 5 分组检波器的一点接地

3.2 采用接地分支作一点接地

在元件不多、体积不大时,一点接地的布局比较

好处理；在元件较多，且体积较大时可采用较长的接地分支。在排版中也可以沿印制版周围布设，但不应使其他级的元件接入此接地分支上，接地分支的远端不应再和其他地线相接。

3.3 一点接地也包括本级的板外元件在内

一点接地除了本级的板内元件外，还包括与本级直接或通过电容耦合的板外元件。这一点在 PCB 设计中常被忽略，而造成局部电流的共阻抗干扰。

3.4 高频电路的一点接地

高频电路的地线一般采用大面积覆盖接地，但这并不意味着各级内部元件的接地可以分散接地。

4 板内地线布局

印制板内地线是用来连接电路各级或各部分之间的接地的。板内地线布局，主要应防止各级和各部分之间的全电流共阻抗干扰。

4.1 板内地线布局的要求

当板内的电路数量较多，地线的布局必须做到下列几点：

各部分的地线必须分开。

为消除或尽量减少各部分的公共地线段，总地线的引出点必须合理。

为防止各部分通过总地线的公共引出线而产生共阻抗干扰，在必要时可将某些部分的电路的地线单独引出。如图 6a、图 6b、图 6c 三种板内地线布局。

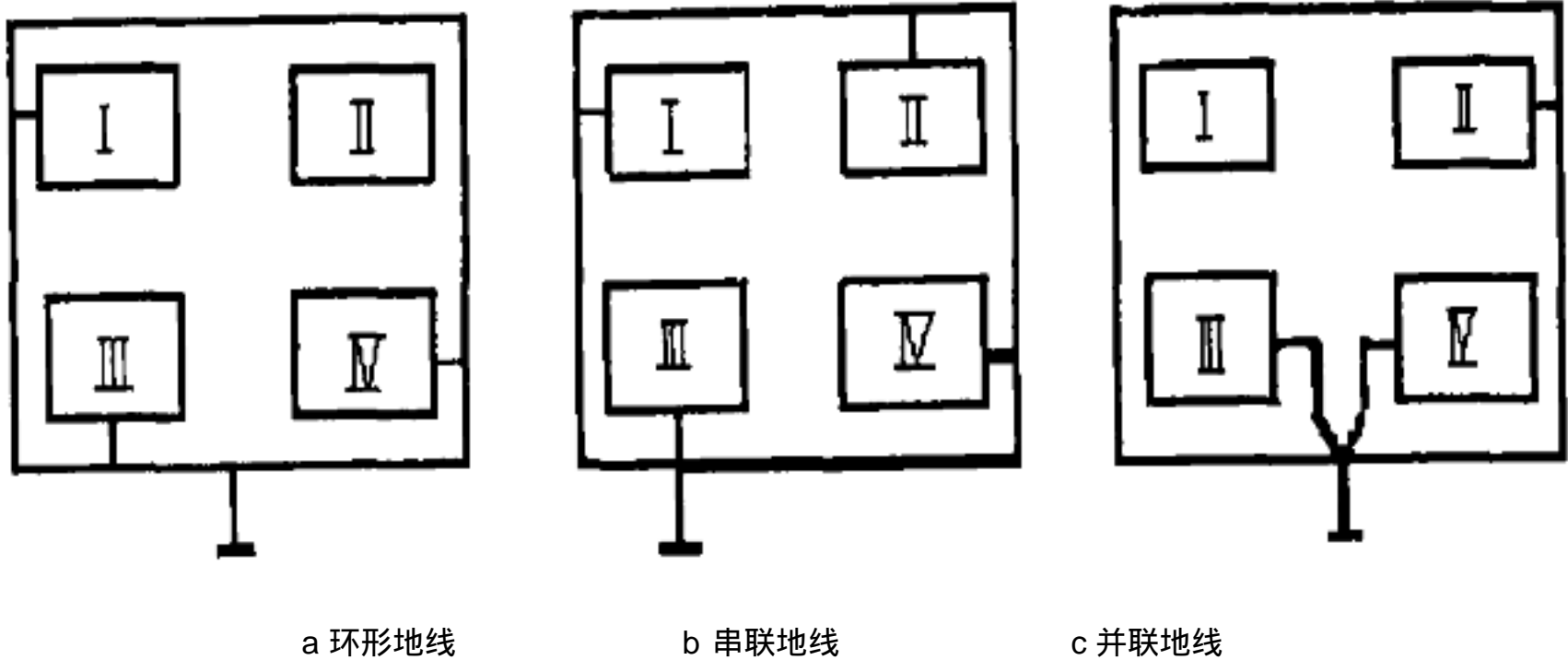


图 6 板内的三种地线布局

4.2 板内地线布局的形式

并联分路式。如图 7 所示。这是采用并联分路式接地方式。板内的总地在印制板的右下角。对于

板内的总地引出点，应根据板内地线布局统一考虑，要尽可能使总地选择在与各部分地线较近的点上，同时也要考虑使总地引至电源之间的地线较短。

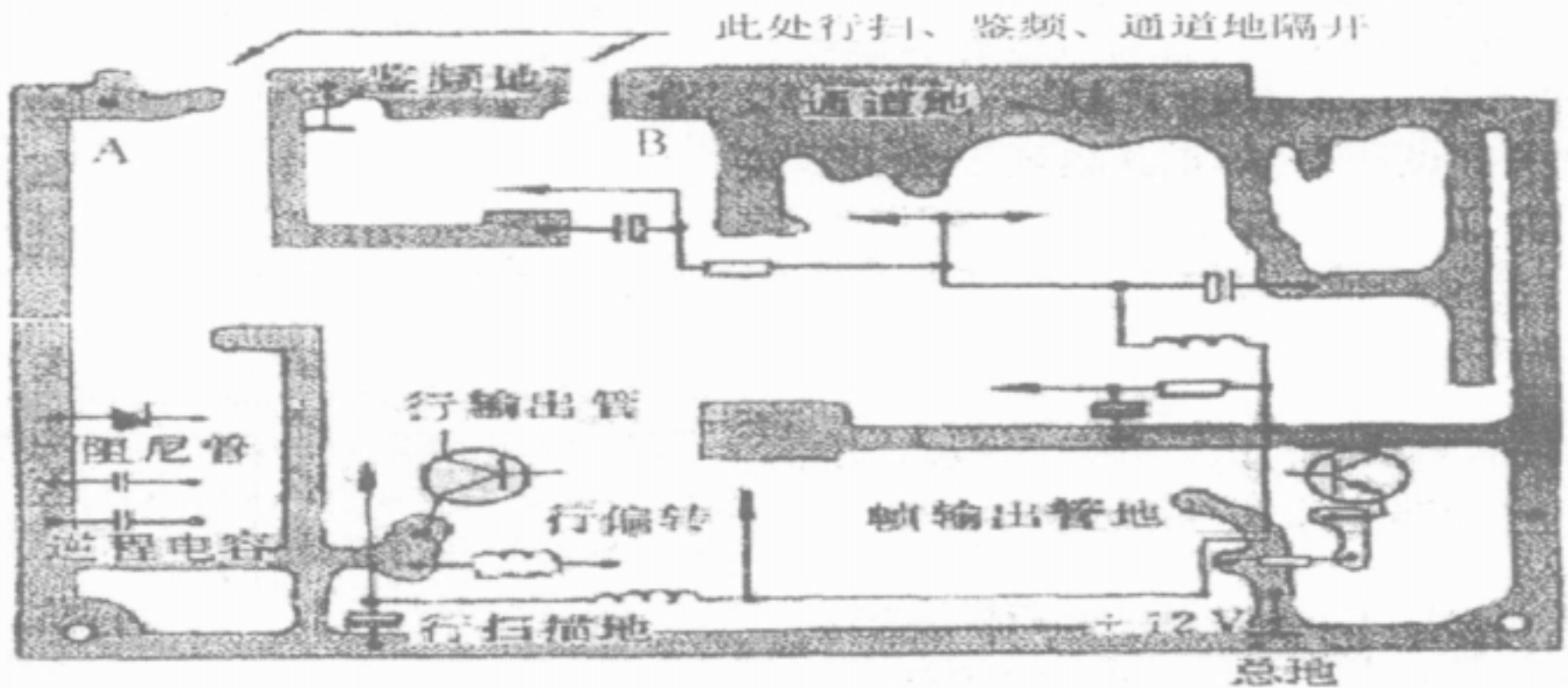


图 7 板内的并联分路接地

在数字电路中，由于大量的触发器和门电路对干扰信号很敏感，各电路在开关状态时，会产生一定

的脉冲干扰，使触发器和门电路产生误触发。这将直接影响电路工作的稳定，其可以按级、按工作状态或按一个集成块设计地线。

汇流条式 汇流条是条形对称传输线。由于其本身的厚度和宽度增加而使直流电阻下降，更主要的由于这种对称传输方式比单线传输具有良好的低阻抗特性，同时克服了单线传输时的电感分量对电路的影响。

大面积覆盖接地 在电路的工作频率较高和高

速开关的数字电路中，地线不能采用条形分布，宜采用大面积覆盖的接地方式。

大面积覆盖地线（如图 8 所示）是当板内导线较多时，为避免接地受导线切断而影响接地效果，而采用双面印制版，其中一面为接地用。采用大面积接地，要防止各接地元件的局部电流耦合而造成共阻抗干扰。因而对各级元件布设要尽量以本级的晶体管、集成块为中心，元件按级集中，并在本级元件的中心部位设立接地区域。

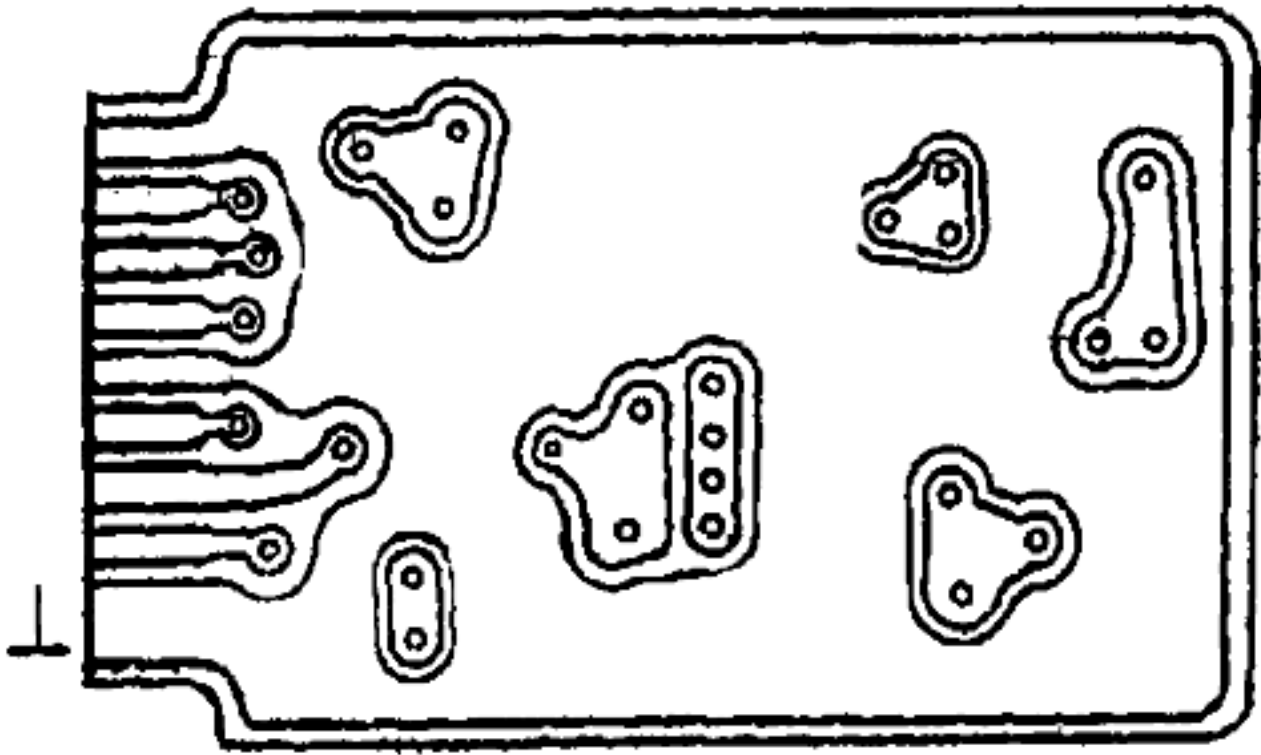


图 8 大面种覆盖地线

一字形地线。当板内的级数不多时，可以采用一字形地线。各级电路可按先后顺序排列，每级电路的接地元件要相近接在地线上。板上地的引出点应放置在末级附近，如有引出至板外的输入、输出的要分开。

5 结束语

总之，在 PCB 电路设计中，尤其在高频电路中必须重视共阻抗干扰的影响。只有通过良好的地线设计，合理的布局结构，才能保证电子电路工作稳定。以上对 PCB 电路设计中，防止共阻抗干扰的一

些方法和对策作了系统总结，供 PCB 电路设计人员参考。

参考文献：

[1] 郑诗卫. 印制电路板排版设计 [M]. 北京: 科学技术文献出版社, 2002

[2] 林全培, 梁志利, 陈培良. 现代印制电路先进技术 [M]. 北京: 中国印制电路行业学会, 2004

[3] 林丰源. 最新印刷制版工艺实用技术手册 [M]. 北京: 银声音像出版社, 2004

(责任编辑：王 巍)

(上接第 72 页)

学习掌握最新的通信知识和技术，增强专业素养，适应将来工作岗位，提高就业竞争力。

参考文献：

[1] 张中荃. 接入网技术 [M]. 北京: 人民邮电出版社, 2003

[2] 华为技术有限公司. 产品 [EB/OL]. <http://www.huawei.com/cn/products/index.do>, 2005- 12

[3] 王朝庄. 高职教育改革与发展应解决的五个基本问题 [J]. 教育与职业, 2005, (35)

[4] 杨卫东. 网络系统集成与工程设计 [M]. 北京: 科学出版社, 2005, (10)

(责任编辑：王 巍)