

浙江大学

本科实验报告

课程名称:	计算机逻辑设计基础
姓 名:	王晓宇
学 院:	竺可桢学院
专 业:	计算机
邮 箱:	1657946908@qq.com
QQ 号:	1657946908
电 话:	19550222634
指导教师:	洪奇军
报告日期:	2023 年 10 月 26 日

浙江大学实验报告

课程名称： 计算机逻辑设计基础 实验类型： 综合

实验项目名称： 七段数码管显示译码器设计与应用

学生姓名： 王晓宇 学号： 3220104364 同组学生姓名：

实验地点： 紫金港东四 509 室 实验日期： 2023 年 10 月 26 日

一、操作方法与实验步骤

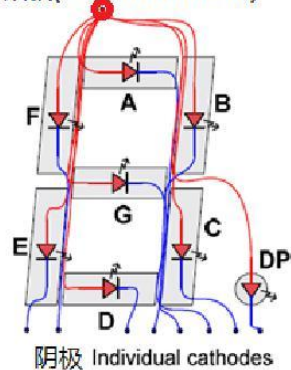
（一）七段数码管简介

七段数码管一共由 a~g 七个数码管组成，再加上一个小数点。

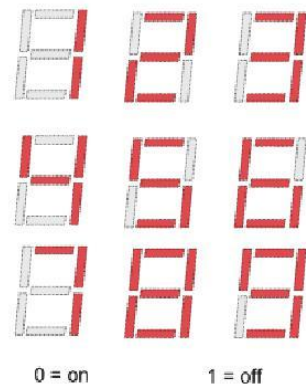
值得注意的是，当输入信号为 0 时，对应数码管亮；输入信号为 1 时，对应数码管灭。

与我们的一般习惯相反，因为输入信号是从阴极输入的。

阳极(Common anode)



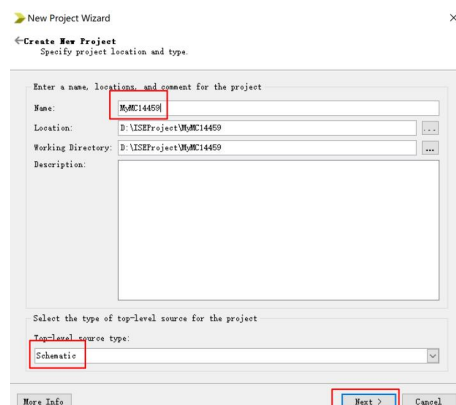
X	a	b	c	d	e	f	g
0	0	0	0	0	0	0	1
1	1	0	0	1	1	1	1
2	0	0	1	0	0	1	0
3	0	0	0	0	1	1	0
4	1	0	0	1	1	0	0
5	0	1	0	0	1	0	0
6	0	1	0	0	0	0	0
7	0	0	0	1	1	1	1
8	0	0	0	0	0	0	0
9	0	0	0	1	0	0	0
A	0	0	0	1	0	0	0
B	1	1	0	0	0	0	0
C	0	1	1	0	0	0	1
D	1	0	0	0	0	1	0
E	0	1	1	0	0	0	0
F	0	1	1	1	0	0	0



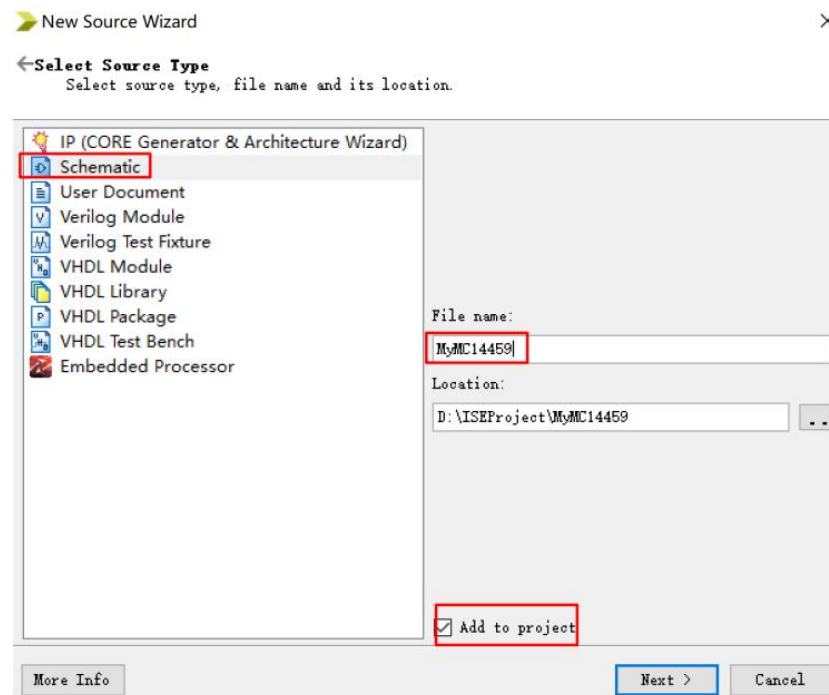
（二）原理图设计实现 MyMC14495 模块

利用该模块，能把输入的 4 位二进制数的信号转换为对应的数码管亮暗的信号输出。

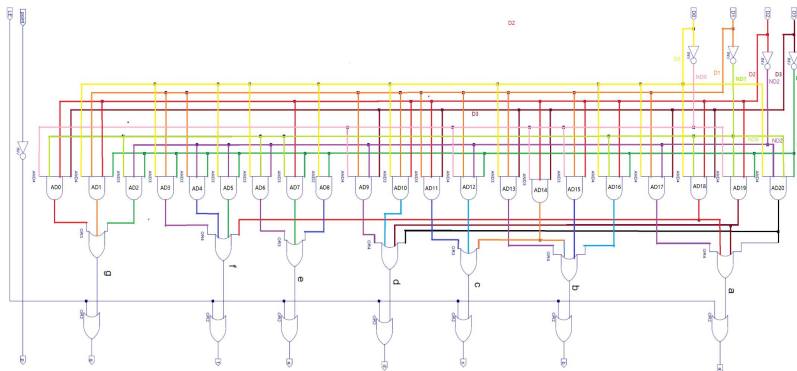
(1)新建工程，名称为“MyMC14459”，类型为“Schematic”



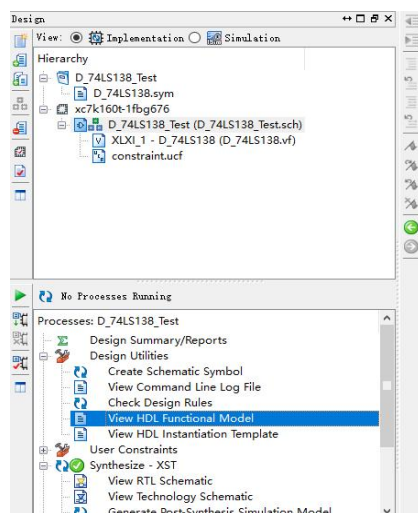
(2)新建名为“MyMC14459”的源文件



(3)在源文件中绘制逻辑电路图

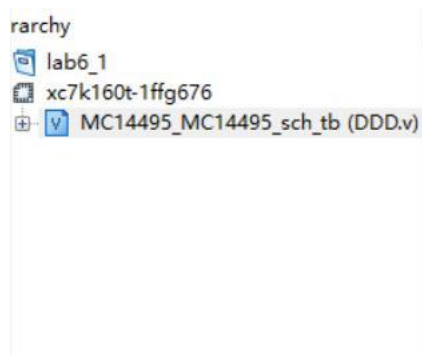


(4)双击“Synthesize-XST”和“Desing Utilities”-“Check Design Rules”电路图是否有错误，通过测试后，双击“ Desing Utilities”查看代码。



1.3 进行仿真

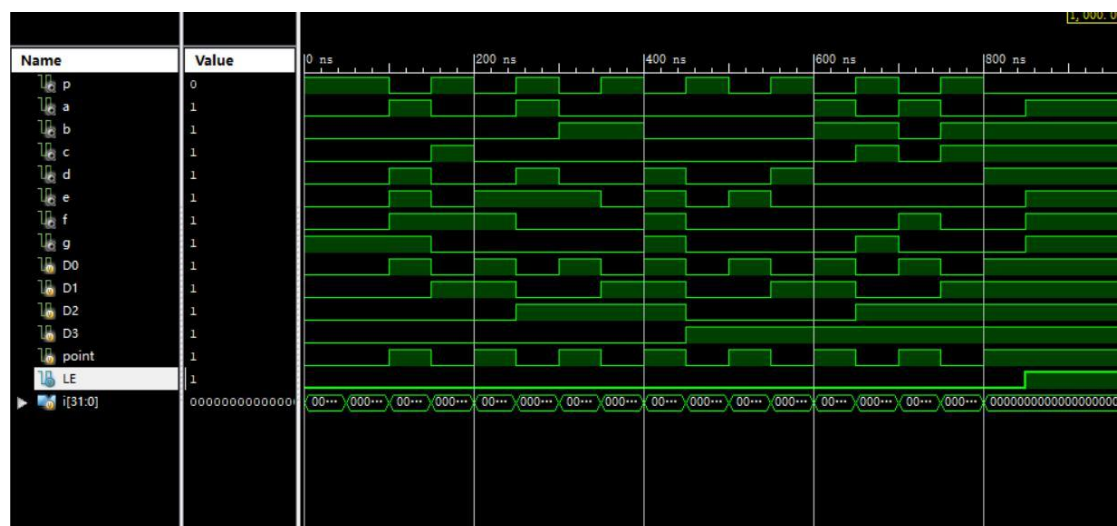
1.3.1 创建 Verilog Test Fixture 文件



1.3.2 输入激励代码

```
integer i;
initial begin
    D3 = 0;
    D2 = 0;
    D1 = 0;
    D0 = 0;
    LE = 0;
    point = 0;
    for (i=0; i<=15;i=i+1) begin
        #50;
        {D3,D2,D1,D0}=i;
        point = i;
    end
    #50;
    LE = 1;
end
```

1.3.3 进行仿真激励



1.4 获取.sym 与.vf 文件

```
timescale 1ns / 1ps

module MyMC14495_MyMC14495_sch_tb();

// Inputs
reg D3;
reg D2;
reg D0;
reg D1;
reg LE;
reg point;

// Output
wire a;
wire b;
wire c;
wire d;
wire e;
wire f;
wire g;
wire p;

// Instantiate the UUT
MyMC14495 UUT (
    .D3(D3),
    .D2(D2),
    .D0(D0),
    .a(a),
    .b(b),
    .c(c),
    .d(d),
    .e(e),
    .f(f),
    .D1(D1),
    .g(g),
    .LE(LE),
    .point(point),
    .p(p)
);

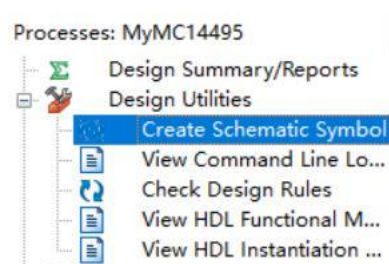
// Initialize Inputs
integer i;
initial begin
    D3 = 0;
    D2 = 0;
    D1 = 0;
    D0 = 0;
    LE = 0;
    point = 0;

    for(i = 0; i <= 15; i = i+1)begin
        #50;
        {D3,D2,D1,D0} = i;
        point = i;
    end
end

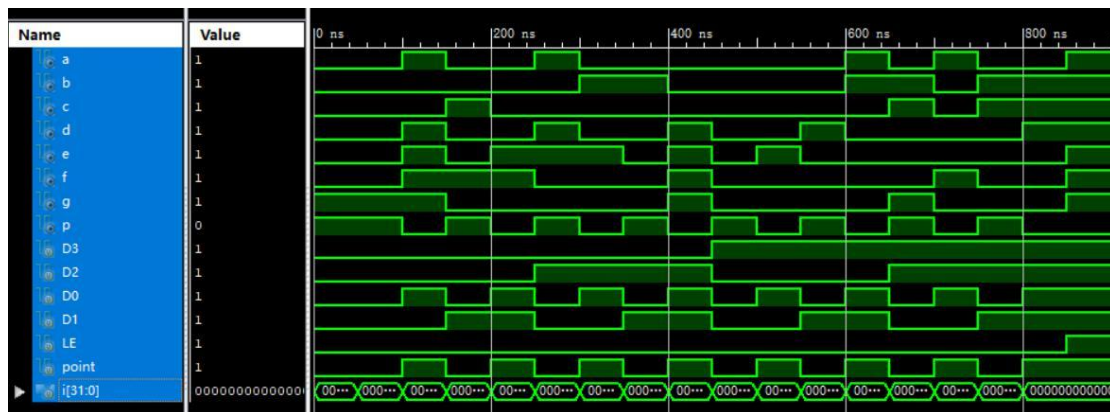
#50
LE = 1;
end

endmodule
```

1.4.1 点击 Create Schematic Symbol 与 View HDL Functional Model, 分别创建.sym 与.vf 文件

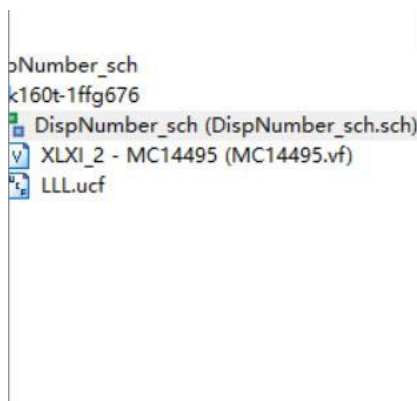


1.5 仿真激励

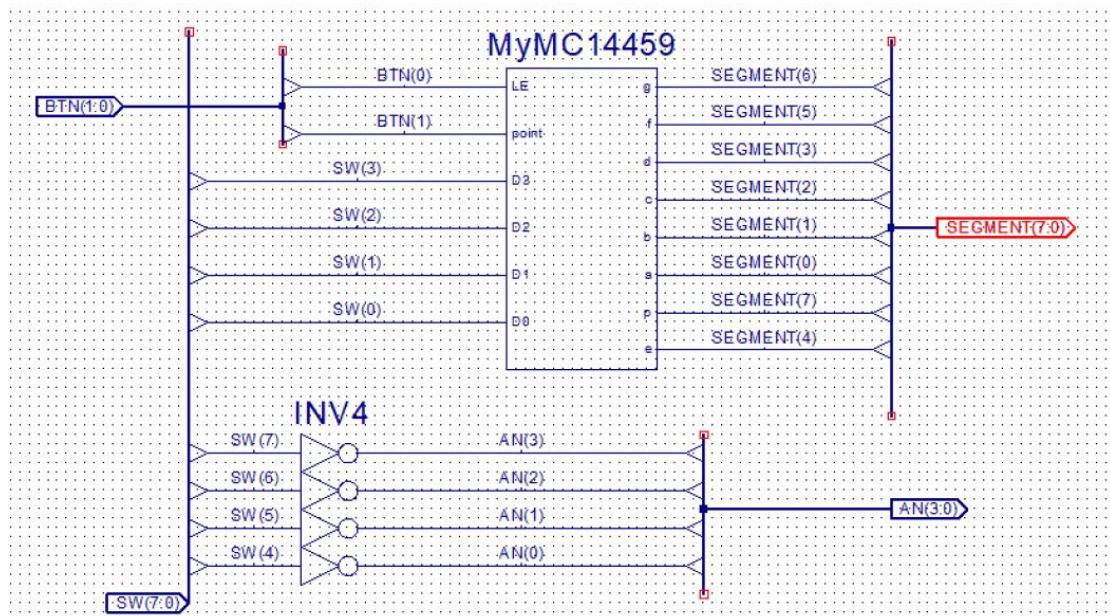


1.6 实现数码管显示

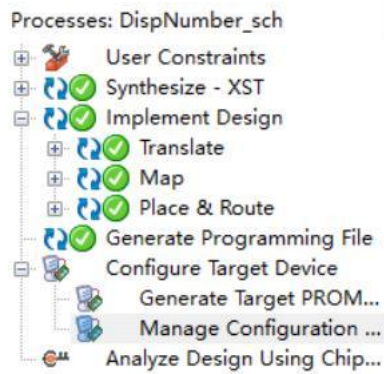
1.6.1 新建工程 DispNumber_sch; 新建 schematic 文件 DispNumber_sch; 复制 MyMC14495.sym 和.vf 到工程根目录



1.6.2 绘制逻辑电路图



1.6.3 在“Processes”窗口进行“Synthesize - XST”，“Implementation Design”，“Generate Programming File”，并点开“Config Target Device”，双击“Manage Configuration Project(iMPACT)”，下载到 sword 板等操作



1.7 引脚约束代码

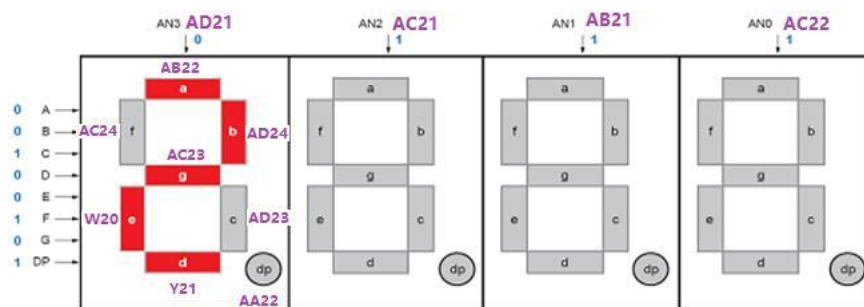
```
net "SW[5]" LOC = Y12 | IOSTANDARD = LVCMOS15;
net "SW[6]" LOC = AD11 | IOSTANDARD = LVCMOS15;
net "SW[7]" LOC = AD10 | IOSTANDARD = LVCMOS15;

net "BTN[0]" LOC = AF13 | IOSTANDARD = LVCMOS15;
net "BTN[1]" LOC = AF10 | IOSTANDARD = LVCMOS15;

net "SEGMENT[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;
net "SEGMENT[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;
net "SEGMENT[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;
net "SEGMENT[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;
net "SEGMENT[4]" LOC = W20 | IOSTANDARD = LVCMOS33;
net "SEGMENT[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;
net "SEGMENT[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;
net "SEGMENT[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;

net "AN[0]" LOC = AD21 | IOSTANDARD = LVCMOS33;
net "AN[1]" LOC = AC21 | IOSTANDARD = LVCMOS33;
net "AN[2]" LOC = AB21 | IOSTANDARD = LVCMOS33;
net "AN[3]" LOC = AC22 | IOSTANDARD = LVCMOS33;
```

MOS33 对应 sword 板上数码管的区域，MOS15 对应按钮区域。应注意四位七段数码管共用一套阴极，而不是每位数码管都有自己的阴极，这为下一个实验我们实现每位数码管独立显示数字做出铺垫。



7、生成 bit 文件，并下载到 sword 板上检验效果。

二、实验结果与分析

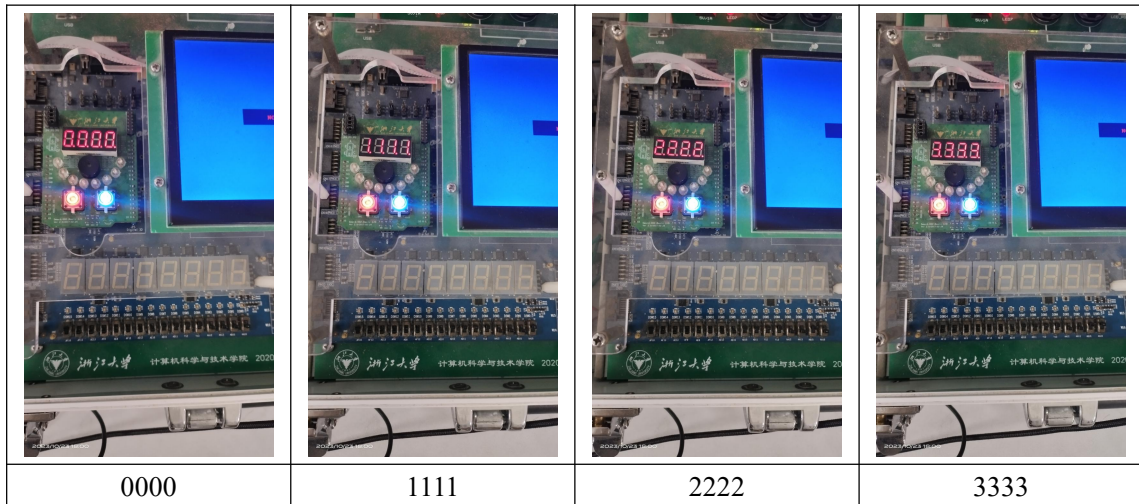
1、MyMC14495 的仿真激励

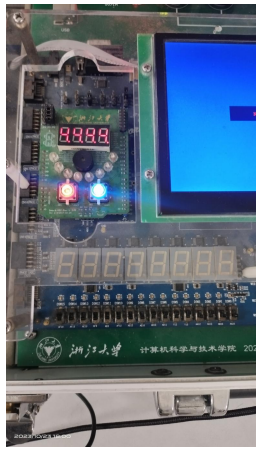
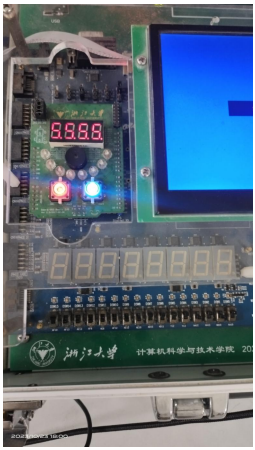
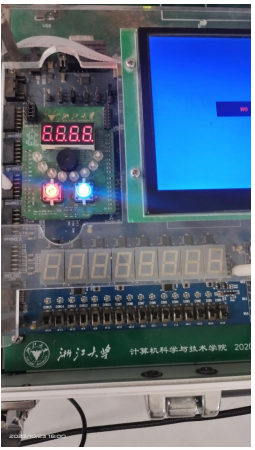
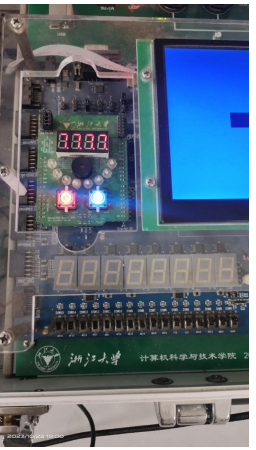

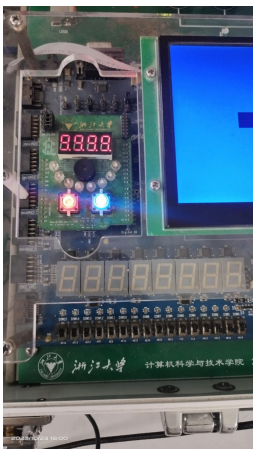
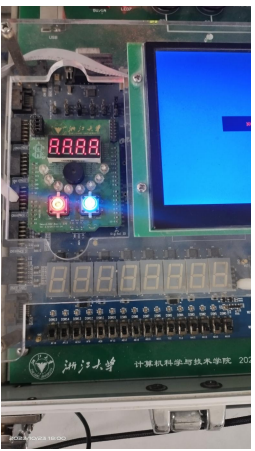

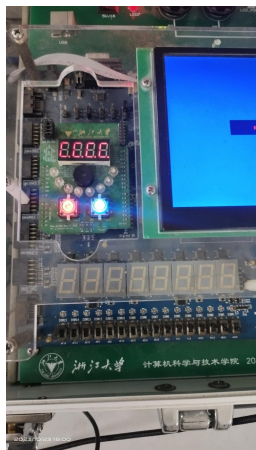
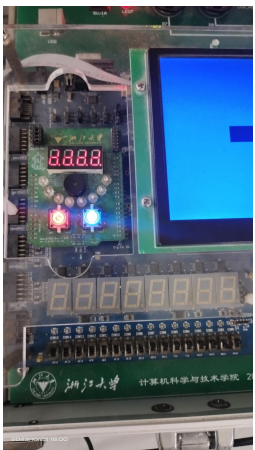
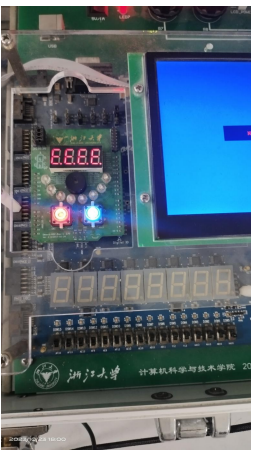
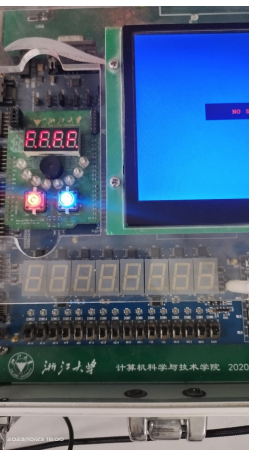


图中黄线对应的{D3,D2,D1,D0}的值为 0001，此时七段数码管应该显示数字 1，观察波形，只有 bc 为 0，即只有 b 和 c 对应的 LED 灯亮起，当只有 bc 亮起时，正是显示数字 1，与预期相符。同时注意到 P 与 point 的值相反，与预期相符。

2. 上板验证

以下是显示各个数字的实拍图，有按钮可以控制小数位、灯的亮灭（但是没有拍下来，只有全显的照片



			
4444	5555	6666	7777
			
8888	9999	AAAA	bbbb
			
CCCC	dddd	EEEE	FFFF

三、讨论、心得

这次图算是画的最累的一次了（，深刻体会到敲代码带来的简洁要比画图的复杂强太多，已经在准备苦学 Verilog 了。

这次实验好在小心画图一次过了，不然可能辉调试老半天才能弄对，七段数码管利用 MyMC14495 整合起来以便于直接使用元器件控制数码管这一元器件。这次的效果产生是直接输入一个信号去让其产生发光，这样的信号只能产生定信号输出，若想完成下节课的显示不同信号，则需要利用视觉暂留效果去不断利用时钟刷新其输入。