

浙江大学

本科实验报告

课程名称:	计算机逻辑设计基础
姓 名:	王晓宇
学 院:	竺可桢学院
专 业:	计算机
邮 箱:	1657946908@qq.com
QQ 号:	1657946908
电 话:	19550222634
指导教师:	洪奇军
报告日期:	2023 年 12 月 7 日

浙江大学实验报告

课程名称： 计算机逻辑设计基础 实验类型： 综合

实验项目名称： 计数器、定时器设计与应用

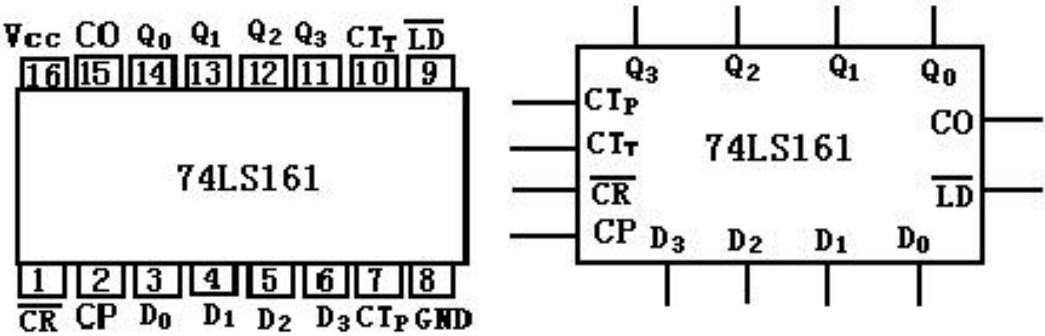
学生姓名： 王晓宇 学号： 3220104364 同组学生姓名：

实验地点： 紫金港东四 509 室 实验日期： 2023 年 12 月 7 日

一、操作方法与实验步骤

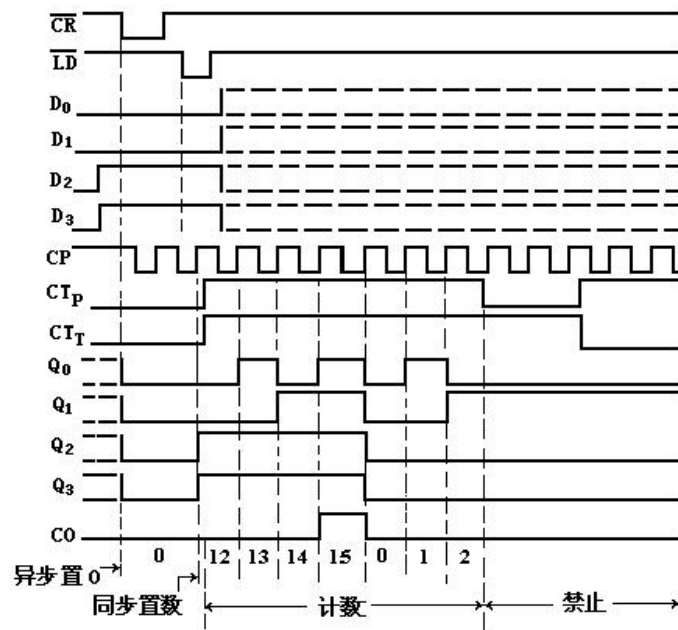
实验简介：

- 同步四位二进制计数器 74LS161
- 74LS161 是常用的四位二进制可预置的同步加法计数器
- 可灵活运用在各种数字电路，实现分频器等很多重要的功能
- 74LS161 功能描述：



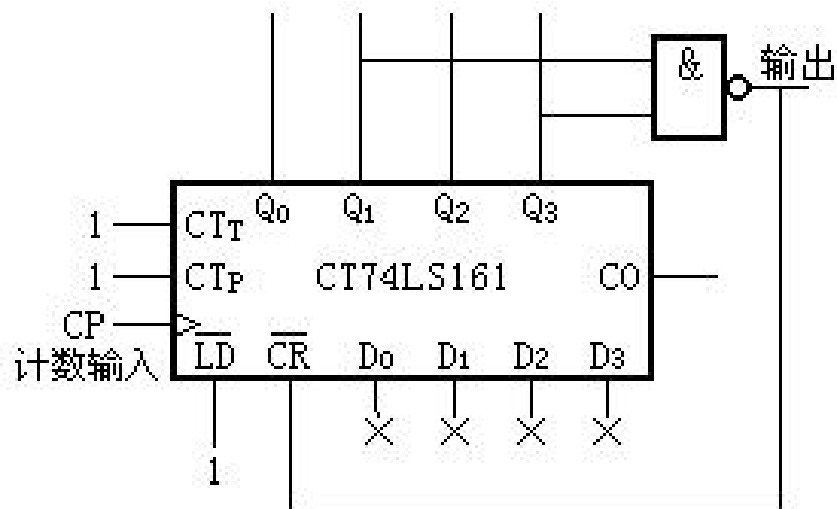
输 入					输 出			
\overline{CR}	\overline{LD}	CT_P	CT_T	CP	D_3	D_2	D_1	D_0
0	×	×	×	×	×	×	×	×
1	0	×	×	↑	d_3	d_2	d_1	d_0
1	1	0	1	×	×	×	×	×
1	1	×	0	×	×	×	×	×
1	1	1	1	↑	×	×	×	×

74LS161 时序图

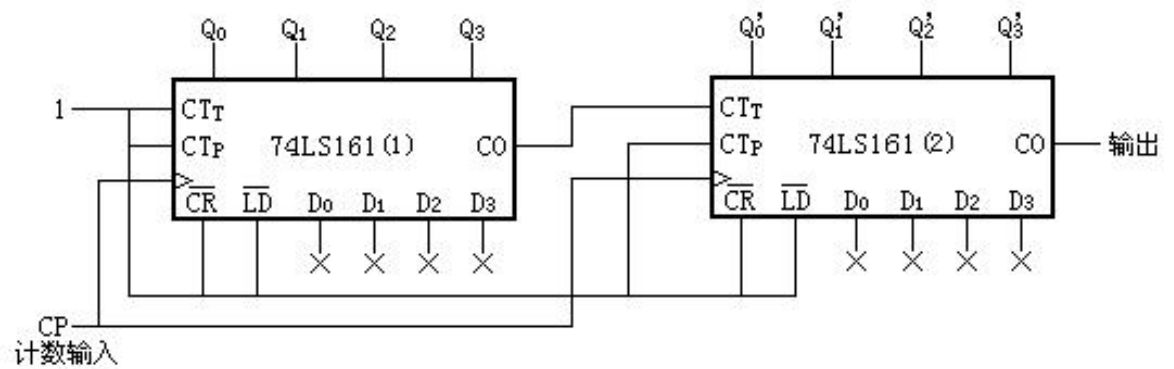


►时钟应用设计

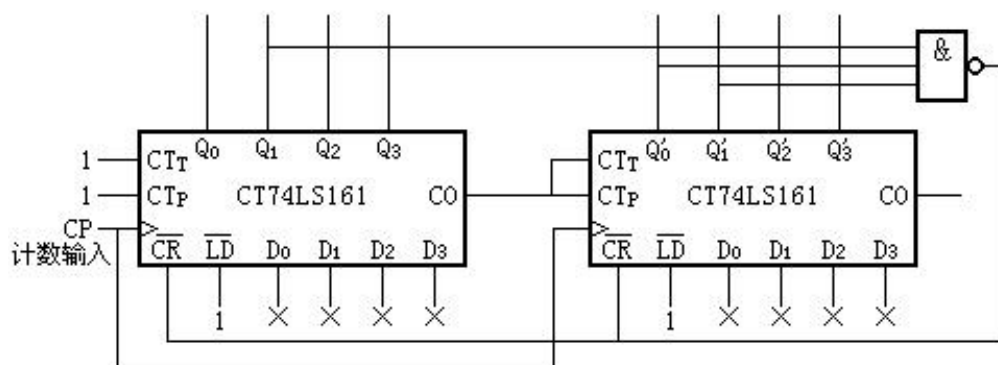
实现十进制计数器



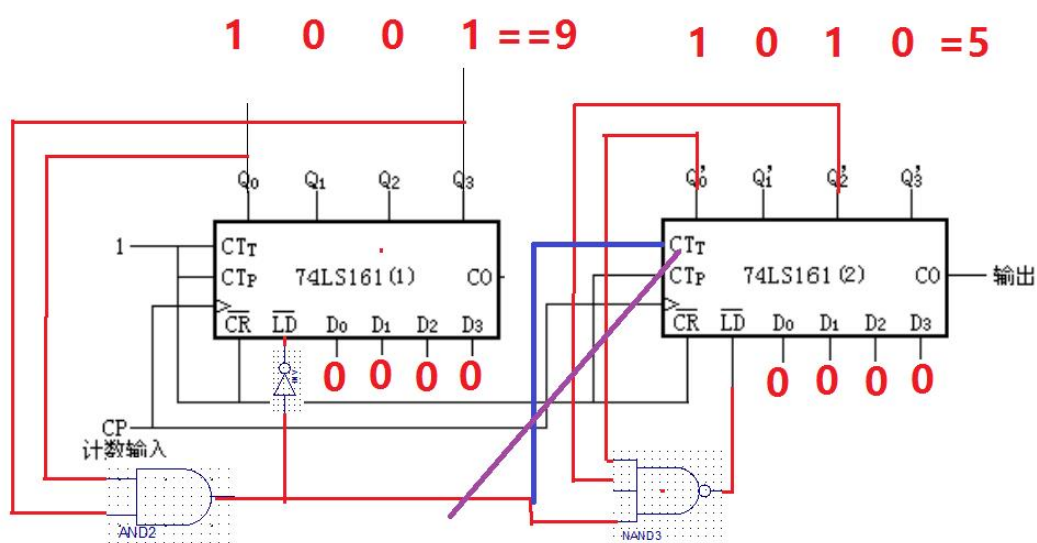
实现 16×16 进制计数器



实现 50 进制计数器（16 进制）



分钟 60 进制（十进制显示）



$CTT=1 \text{ displaynumber}[7:4]+1$

分钟60进制说明

任务 1：采用行为描述设计同步四位二进制计数器 74LS161

➤新建工程

工程名称用 My74LS161

Top Level Source Type 用 HDL

New Project Wizard

Create New Project

Specify project location and type.

Enter a name, locations, and comment for the project—

Name:

Location: ...

Working Directory: ...

Description:

Select the type of top-level source for the project—

Top-level source type:

[More Info](#) [Next >](#) [Cancel](#)

➤ 用行为描述设计

CR 是异步清零

LD 是同步置位

```

////////////////////////////////////
module My74LS161(
    CRBar, LDBar, CTP, CTT, CP, Q, C0, D
);
    input wire CRBar, LDBar, CTP, CTT, CP;
    input wire [3:0] D;
    output wire [3:0] Q;
    output wire C0;
    //wire CRBar, LDBar, CTP, CTT, CP;
    reg [3:0] D1;
    wire clk;
    assign clk = CRBar&LDBar&CTP&CTT;
    always@(posedge CP or negedge CRBar)begin

        if(~CRBar)begin
            D1[3:0] = 4'b0000;
        end
        else begin
            if(~LDBar)begin
                D1[3:0] = D[3:0];
            end
            else begin
                if(CTT&CTP)begin
                    D1[3:0] = D1[3:0]+4'b0001;
                end
            end
        end
    end
    assign Q[3:0] = D1[3:0];
    assign C0 = D1[3]&D1[2]&D1[1]&D1[0]&CTT;
endmodule

```

激励代码:

```
#50;
end
initial begin
    // Initialize Inputs
    CRBar = 0;
    LDBar = 0;
    CTP = 0;
    CTT = 0;
    D = 0;
    #100;
    CRBar = 1;
    LDBar = 1;
    CTP = 0;
    CTT = 0;
    D = 4'b1100;
    #100;
    #30 CRBar = 0;
    #20 CRBar = 1;
    #10 LDBar = 0;
    #30 CTT = 1;
    CTP = 1;
    #10 LDBar = 1;
    #510 ;
    CRBar = 0;
    #20 CRBar = 1;
    #500;

    // Add stimulus here

end
endmodule
```



任务 2: 基于 74LS161 设计时钟应用

➤新建工程

工程名称用 MyClock

Top Level Source Type 用 HDL

Create New Project

Specify project location and type.

Enter a name, locations, and comment for the project

Name:

Location: ...

Working Directory: ...

Description:

Select the type of top-level source for the project

Top-level source type:

➤用结构化描述设计

调用 My74LS161

调用分频模块，用 100ms 作为分的驱动时钟

调用显示模块

(设计一个数字钟，使用 60 进制和 24 进制计数器，实现 24 小时内时间的实时显示。)



```

//
////////////////////////////////////
module Top(
    input wire clk,
    //input wire SW,
    output wire [7:0] SEGMENT,
    output wire [3:0] AN,
    //output wire led,
    //output ledclk,
    //output ledsout,
    //output ledclrn,
    //output LEDEN,
    output wire seg_clk,
    output wire seg_clrn,
    output wire seg_sout,
    output wire SEG_PEN
);
    wire [15:0] displaynumber;
    wire clk_100ms;
    wire [31:0] div;
    wire COMIN;
    clk_100ms M1(.clk(clk),.clk_100ms(clk_100ms));
    My74LS161 M2(.CRBar(1'b1),.LDBar(~(displaynumber[3]&displaynumber[0])),.CTP(1'b1),.CTT(1'b1),.CP(clk_100ms),.Q(displaynumber[3:0]),.D(4'b0000));
    My74LS161 M3(.CRBar(1'b1),.LDBar(~(displaynumber[3]&displaynumber[0]&displaynumber[4]&displaynumber[6])),.CTP(1'b1),.CTT(displaynumber[3]&displaynum
    My74LS161 M4(.CRBar(1'b1),.LDBar(~((displaynumber[8]&displaynumber[11]&displaynumber[3]&displaynumber[0]&displaynumber[4]&displaynumber[6]))|(display
    My74LS161 M5(.CRBar(1'b1),.LDBar(~(displaynumber[3]&displaynumber[0]&displaynumber[4]&displaynumber[6]&displaynumber[8]&displaynumber[9]&displaynumb
    disp_num M9(.clk(clk),.HEXS(displaynumber),.LES(4'b0000),.points(4'b0100),.RST(1'b0),.AN(AN),.segment(SEGMENT));
    clkdiv M10(.clk(clk),.clkdiv(div),.rst(1'b0));
    Sseg_Dev m7(.clk(clk),.rst(1'b0),.Start(div[20]),.flash(1),.Hexs((12'b0,displaynumber[15:8],4'b0,displaynumber[7:0])),.point((8'b00100100)),.LES(8'b
endmodule

```

引脚文件：




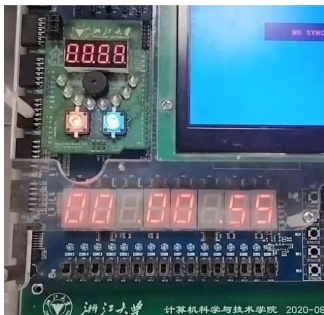
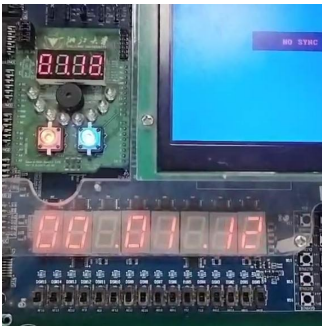

```

27 // NET"SW[10]"LOC=AF12 | IOSTANDARD=LVCOS15;
28 // NET"SW[11]"LOC=AE8 | IOSTANDARD=LVCOS15;
29 NET"clk"LOC = AC18 | IOSTANDARD=LVCOS18;
30 NET"SEGMENT[0]"LOC=AB22 | IOSTANDARD=LVCOS33;#a
31 NET"SEGMENT[1]"LOC=AD24 | IOSTANDARD=LVCOS33;#b
32 NET"SEGMENT[2]"LOC=AD23 | IOSTANDARD=LVCOS33;#c
33 NET"SEGMENT[3]"LOC=Y21 | IOSTANDARD=LVCOS33;#d
34 NET"SEGMENT[4]"LOC=W20 | IOSTANDARD=LVCOS33;#e
35 NET"SEGMENT[5]"LOC=AC24 | IOSTANDARD=LVCOS33;#f
36 NET"SEGMENT[6]"LOC=AC23 | IOSTANDARD=LVCOS33;#g
37 NET"SEGMENT[7]"LOC=AA22 | IOSTANDARD=LVCOS33;#point
38 NET"AN[0]"LOC=AD21 | IOSTANDARD=LVCOS33;
39 NET"AN[1]"LOC=AC21 | IOSTANDARD=LVCOS33;
40 NET"AN[2]"LOC=AB21 | IOSTANDARD=LVCOS33;
41 NET"AN[3]"LOC=AC22 | IOSTANDARD=LVCOS33;
42
43 NET"seg_clk" LOC = M24 | IOSTANDARD=LVCOS33;
44 NET"seg_clrn" LOC = M20 | IOSTANDARD=LVCOS33;
45 NET"seg_sout" LOC = L24 | IOSTANDARD=LVCOS33;
46 NET"SEG_PEN" LOC = R18 | IOSTANDARD=LVCOS33;

```


二、实验结果与分析

时钟显示实录：

09:08	09:22	09:57
		
00:55	01:12	01:33
		

三、讨论、心得

本次实验是一次自制 74LS161 模块的实验，由于此模块可计数的特性，我们可以做出一个简化版的时钟来。通过 clk_1s 模块的信号输入，只需要控制好每个数码管的临界条件即可。例如：65:43:21，1 位在 1=0 时重置，2 位在 12=59 时重置，3 位在 3=0，4 位在 4321=5959 时重置，5 位在 654321=235959 或者 5=0 时重置，6 位在 654321=235959 时重置。

心得在于无论你实验代码设计自我认为没有问题，仍然需要上板验证，例如我的代码在 00:09:00 直接跳到了 00:10:00（实践是检验真理的唯一标准。还有就是如果本次的时间调动过慢需要加快的话，直接改动 clk 文件即可。另外本次的实验并没有给出完整代码其实锻炼到了自主写代码的能力，希望我们的大作业能做的好一点（bushi）