

浙江大学

本科实验报告

课程名称:	计算机逻辑设计基础
姓 名:	王晓宇
学 院:	竺可桢学院
专 业:	计算机
邮 箱:	1657946908@qq.com
QQ 号:	1657946908
电 话:	19550222634
指导教师:	洪奇军
报告日期:	2023 年 10 月 12 日

浙江大学实验报告

课程名称：____计算机逻辑设计基础____实验类型：____综合____

实验项目名称：____EDA 实验平台与实验环境运用____

学生姓名：____王晓宇____学号：____3220104364____同组学生姓名：____

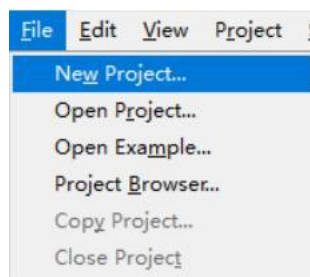
实验地点：____紫金港东四 509 室____实验日期：____2023____年____10____月____12____日

一、操作方法与实验步骤

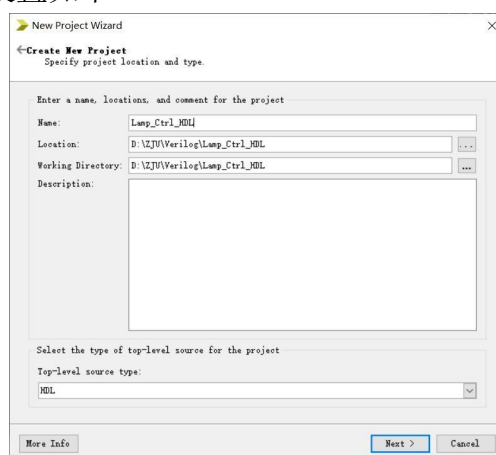
问题一

1.1 建立控制楼道灯的工程

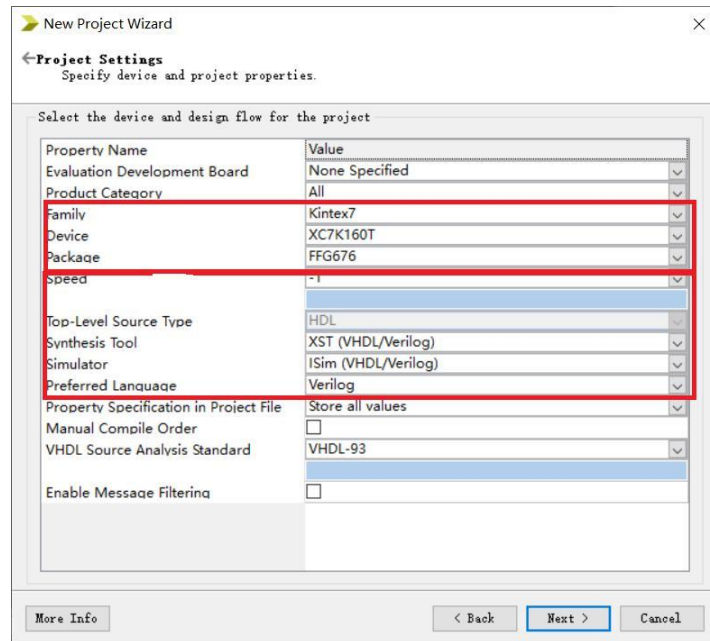
1.1.1 点击菜单“File” – “New Project”



1.1.2 对话框中设置如下



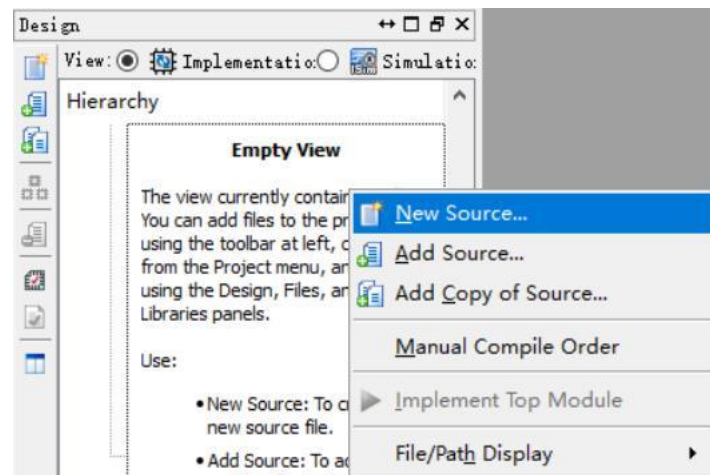
1.1.3 对话框中设置如下



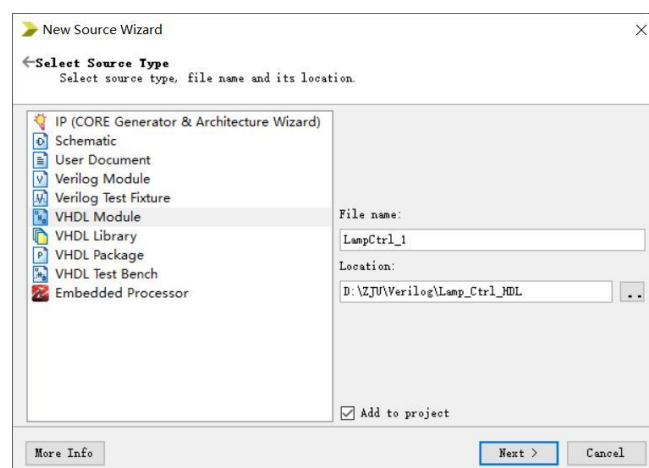
点击 Finish 完成建立

1.2 创建 Verilog 输入源文件 LampCtrl_1

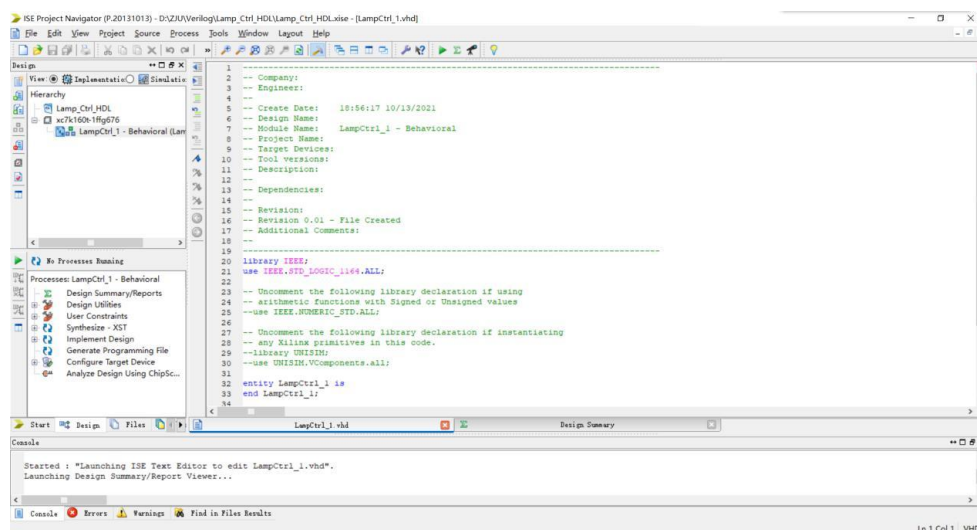
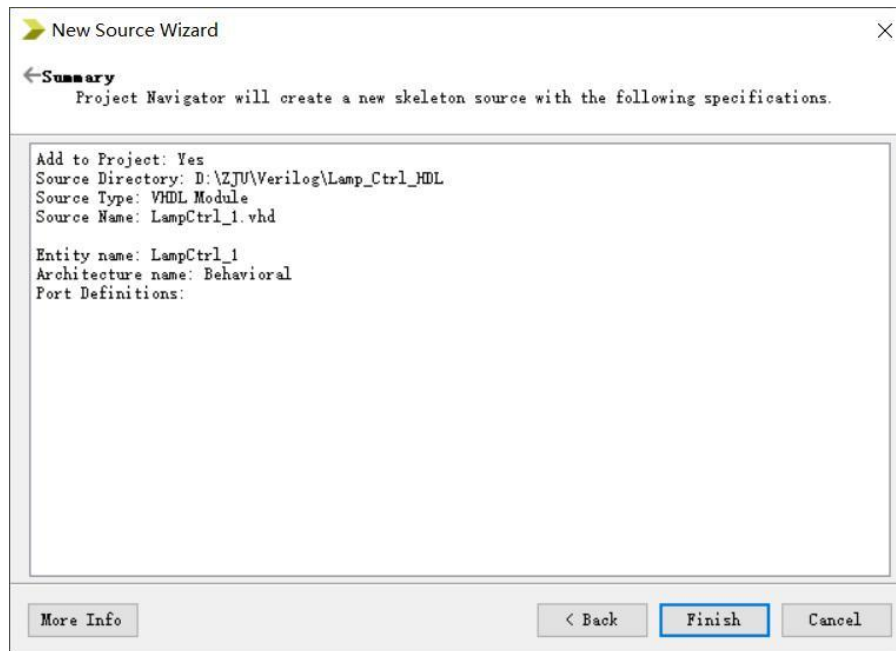
1.2.1 在“Sources”窗口空白位置右键，菜单中选择“New Source”



1.2.2 在新建源文件向导中设置如下



选择“VHDL Module”，输入文件名“LampCtrl_1”，勾选“Add to project”
1.2.3 勾选 Next 直到 Finish

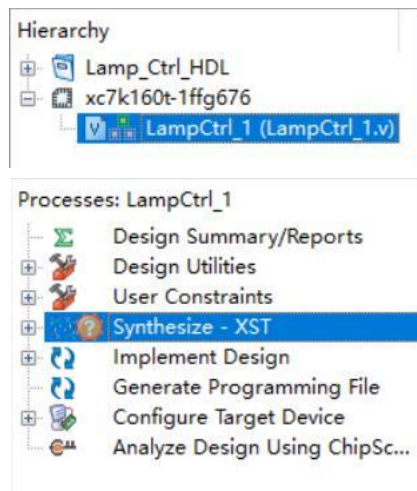


1.3 输入楼道灯控逻辑电路 Verilog HDL 代码

1.3.1 在源代码编译器中输入代码

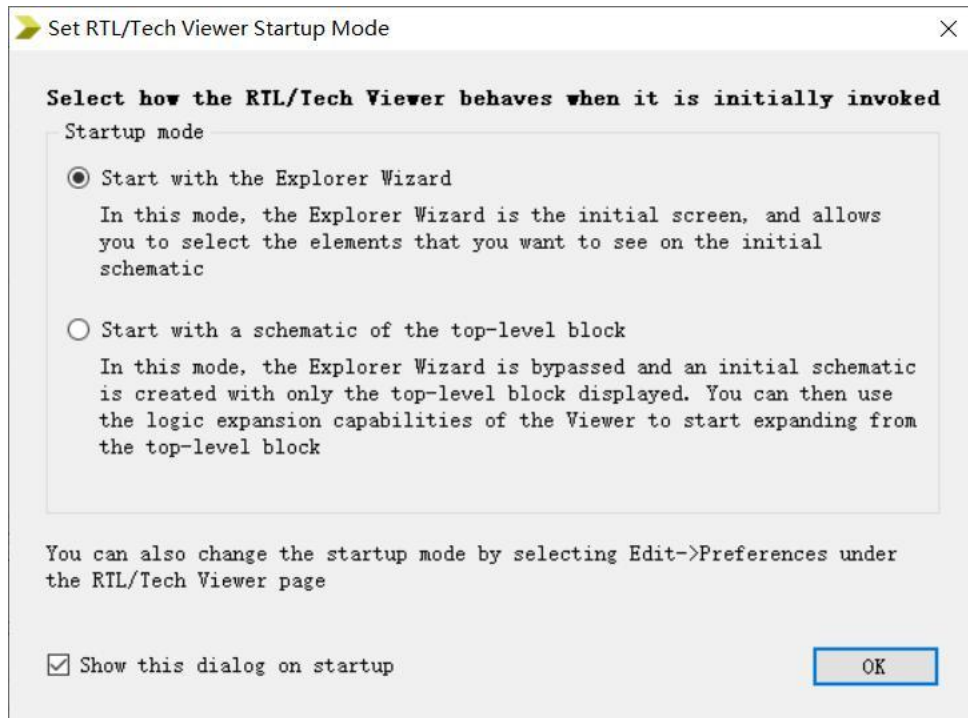
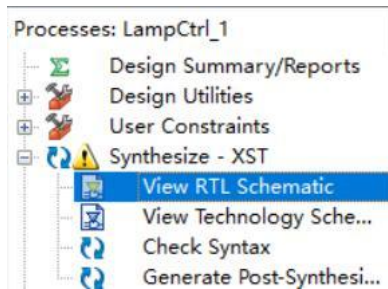
```
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21 module LampCtrl_1(input wire clk,
22   input wire S1,
23   input wire S2,
24   input wire S3,
25   output wire F
26 );
27
28   parameter C_NUM = 28;
29   parameter C_MAX = 28'hFFF_FFFF;
30
31   reg [C_NUM-1:0] count;
32   wire [C_NUM-1:0] c_next;
33
34   initial begin
35     count = C_MAX;
36   end
37
38   assign w=S1 ^ S2 ^ S3;
39
40   assign F = ((count < C_MAX) ? 1'b1 : 1'b0);
41
42   always@(posedge clk)
43   begin
```

1.3.2 检查输入代码的语法规则，并排除输入错误。在“Sources”窗口中选中文件“LampCtrl.v” 双击“Processes”窗口中“Synthesize - XST”前的运转图标，弹出的对话框中选择“Yes”。当下面窗口中弹出“Process Synthesize - XST completed successfully”时表明可以运行。

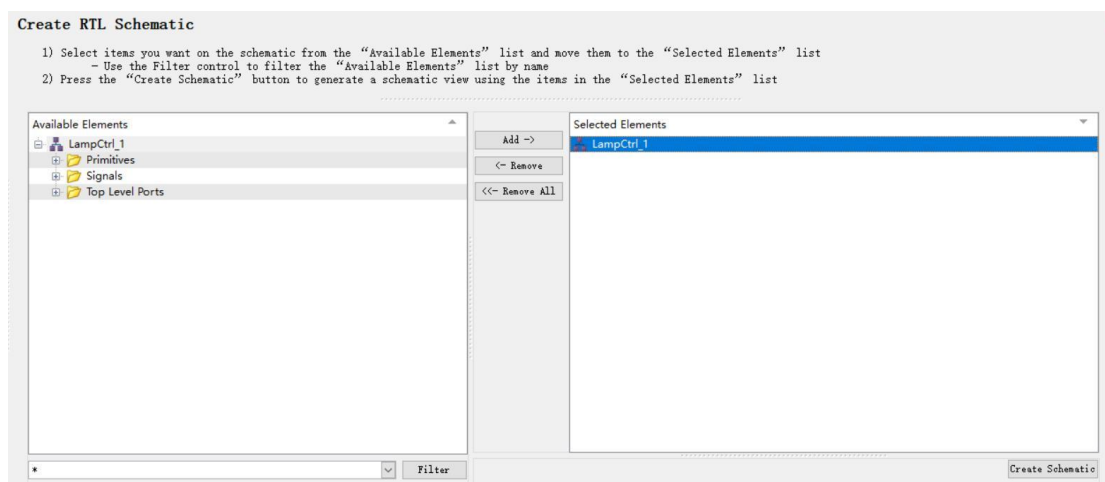


1.4 楼道控制电路代码的综合

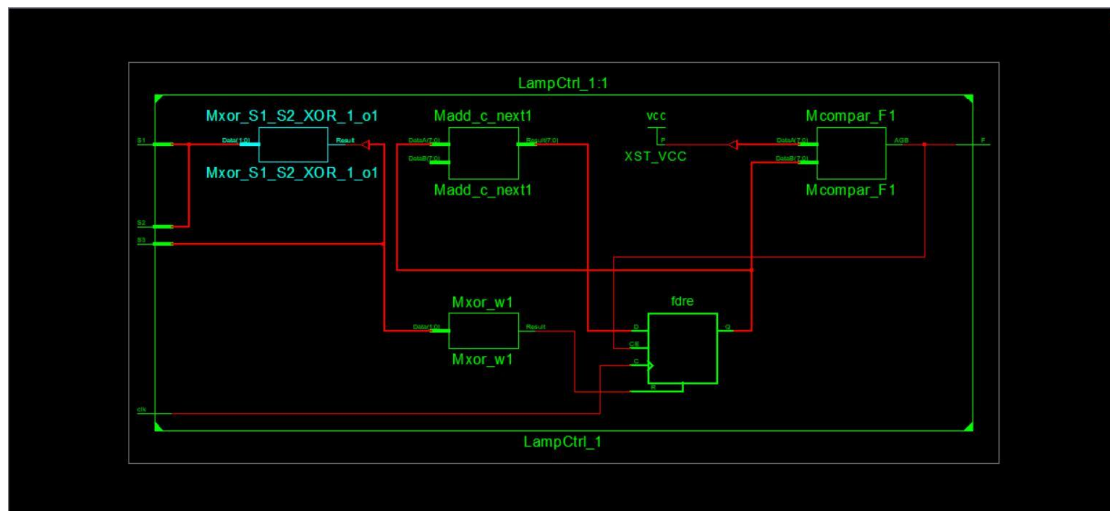
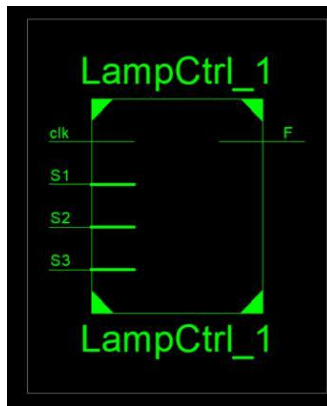
1.4.1 在“Sources”窗口中选中文件“LampCtrl_1.v”，在“Processes”窗口双击运行“Synthesis - XST” — “View RTL Schematic”，弹出的对话框选择“OK”



1.4.2 在 “ Available Elements” 中选择 “LampCtrl_1”， 点击 “Add->”， 左边 “Selected Elements” 中会出现：“LampCtrl_1”， 点击 “Create Schematic”



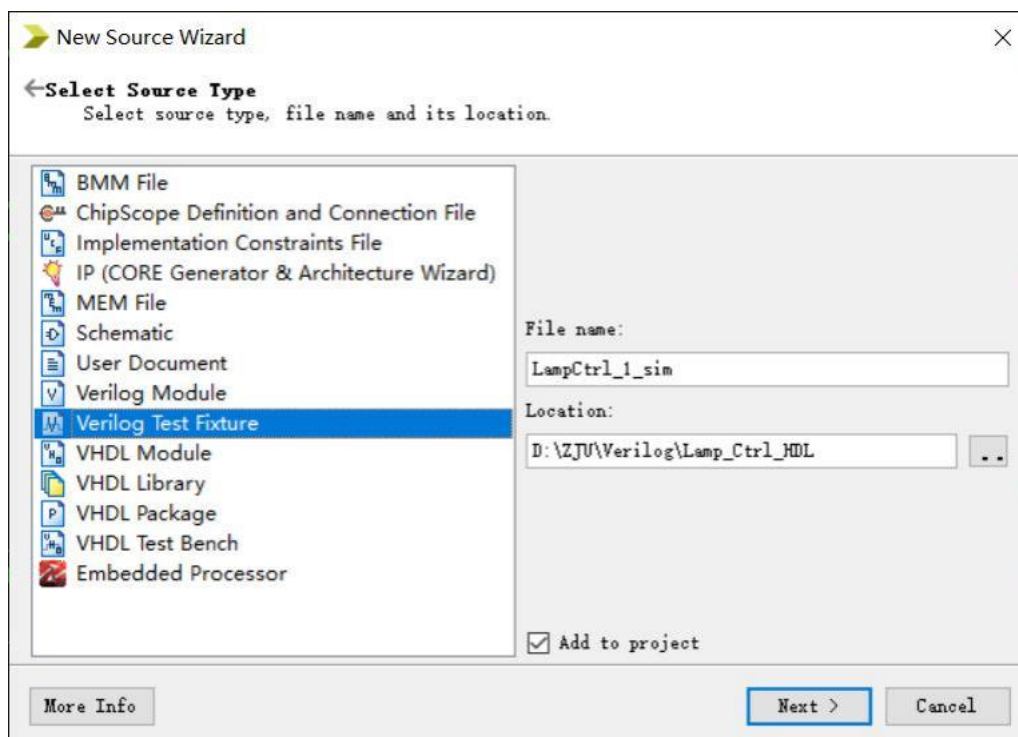
1.4.3 检查综合的电路结构是否与设计目标一致



1.5 建立基准测试波形文件: LampCtrl_sim.tbw

1.5.1 在 Sources 窗口空白处的右键菜单中选择 New Source

在新建源文件向导中选择源类型为: Verilog Test Fixture, 输入文件名 LampCtrl_1_sim, 并勾选 Add to Project, 点击 Next 直到 Finish 进入编辑窗口



1.6 仿真激励输入波形

1.6.1 在“Design”窗口中选择“Simulation”，并选中“LampCtrl_1_sim.v”文件，输入仿真激励代码

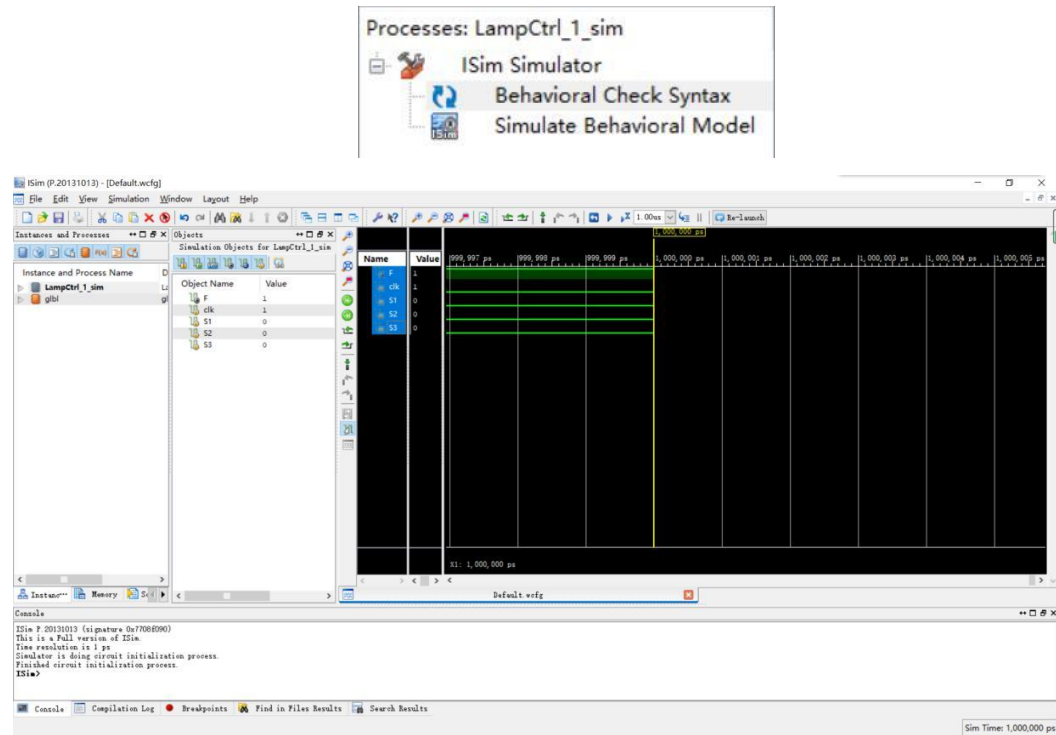


```

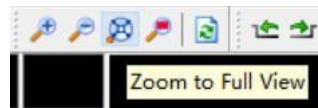
25 module LampCtrl_1_sim;
26
27     // Inputs
28     reg clk;
29     reg S1;
30     reg S2;
31     reg S3;
32
33     // Outputs
34     wire F;
35
36     // Instantiate the Unit Under Test (UUT)
37     LampCtrl_1 uut (
38         .clk(clk),
39         .S1(S1),
40         .S2(S2),
41         .S3(S3),
42         .F(F)
43     );
44     initial begin
45         // Initialize Inputs
46         clk = 0;
47         S1 = 0;
48         S2 = 0;
49         S3 = 0;
50
51         #600 S1 = 1;
52         #20 S1 = 0;
53         #6000 S2 = 1;
54         #20 S2 = 0;
55         #6000 S3 = 1;
56         #20 S3 = 0;
57     end
58     always begin
59         #10 clk = 0;
60         #10 clk = 1;
61     end
62 endmodule

```

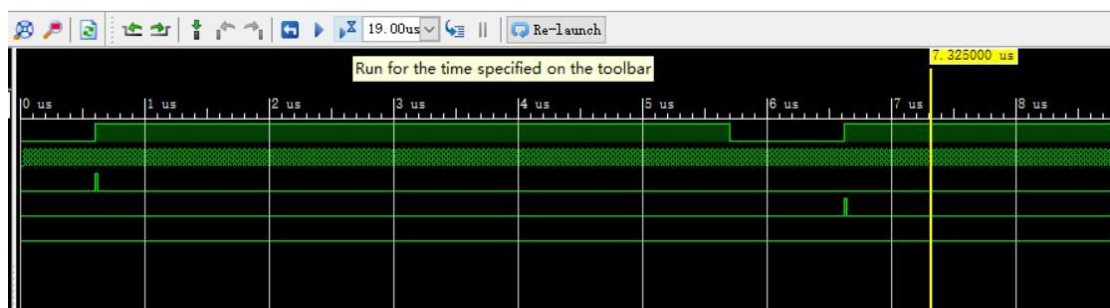

1.6.2 Design 窗口选 LampCtrl_sim.v 文件, Processes 窗口双击” Behavioral Check Syntax” 通过后再双击 “Simulate Behavioral Model”。会打开模拟程序软件 ISim



模拟运行结果只显示最后 1NS 的波形, 所以看不到真实波形。
点击” Zoom to Full View” 全屏显示可以看到 1us 的全部波形

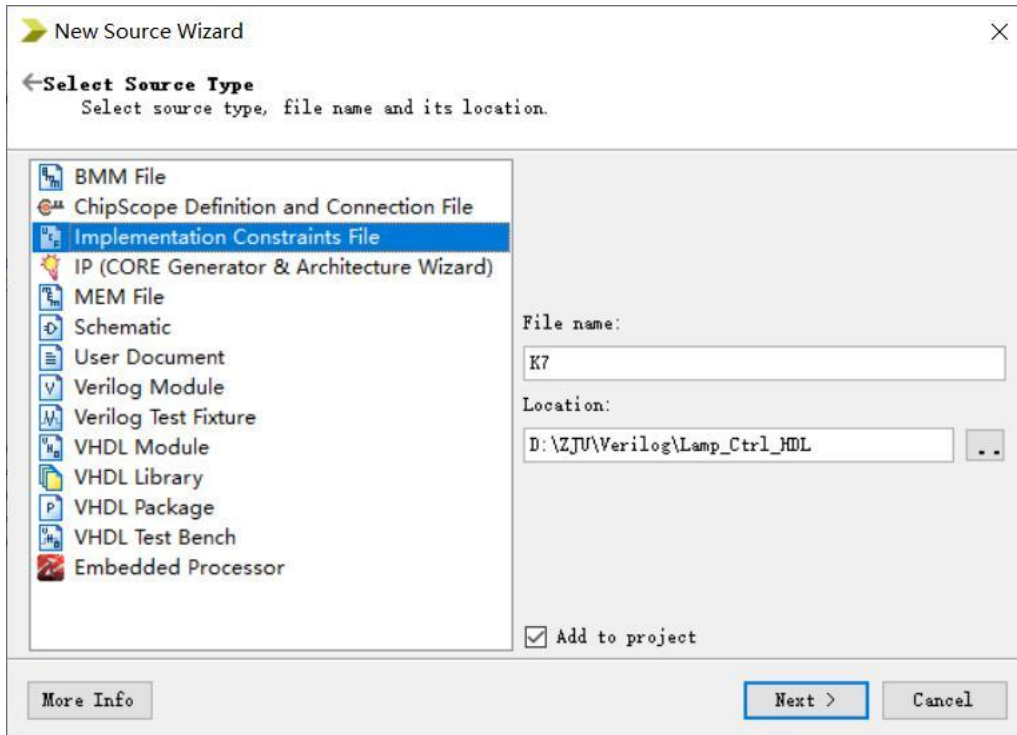


1.6.4 查看 19us 波形



1.7 建立用户时序约束并为模块的端口指定引脚分配

1.7.1 在 Sources 窗口空白处的右键菜单中选择 New Source. 在新建源文件向导中选择源类型为: Implementation Constraints File, 输入文件名 K7, 并勾选 Add to Project, 点击 Finish 进入 K7.ucf 编辑窗口



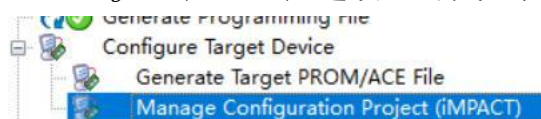
1.7.2 建立引脚约束文件 k7.ucf, 输入代码如下, 同时将 LampCtrl_1 中的计数器修改为 28 位

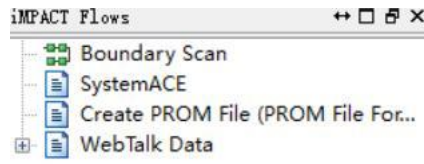
```
1 NET"clk"LOC = AC18 | IOSTANDARD=LVCOS18 ;
2 NET"S1"LOC = AA10 | IOSTANDARD=LVCOS15;
3 NET"S2"LOC = AB10 | IOSTANDARD=LVCOS15;
4 NET"S3"LOC = AA13 | IOSTANDARD=LVCOS15;
5 NET"F"LOC = AF24 | IOSTANDARD=LVCOS33 ;
6 |

21 module LampCtrl_1(input wire clk,
22     input wire S1,
23     input wire S2,
24     input wire S3,
25     output wire F
26 );
27     parameter C_NUM = 28;
28     parameter C_MAX = 28'hFFF_FFFF;
29
```

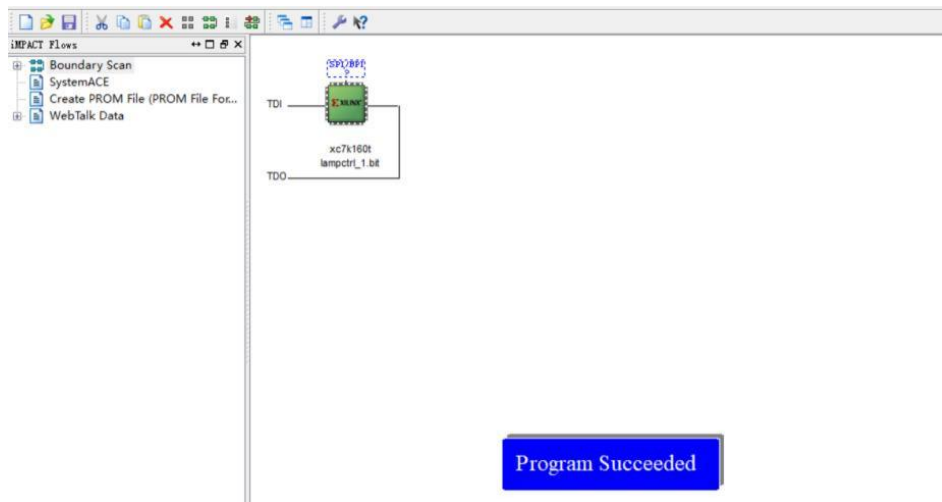
1.8 下载到 sword 板

1.8.1 在 Processes 窗口中, 用鼠标点开 Config Target Device, 双击 Manage Configuration Project (iMPACT) 选项, 出现如下 iMPACT 窗口





1.8.2 双击 Boundary Scan 弹出下载编辑窗口（边界扫描），鼠标右键选择 Initialize Chain，系统自动查找已连接在电脑上的开发平台 JTAG 下载链，出现“XCK160t”容器，右击，选择“Assign New Configuration File”窗口，找到工程目录，选择“.bit”文件，在弹出的“Attach SPI or BPI PROM”窗口单击“No”，“Device Programming Properties”窗口单击“OK”。右击容器，单击“Program”下载到 SWORD 板上。窗口下方出现“SUCCESS”后，即可以拨动开关，进行实验



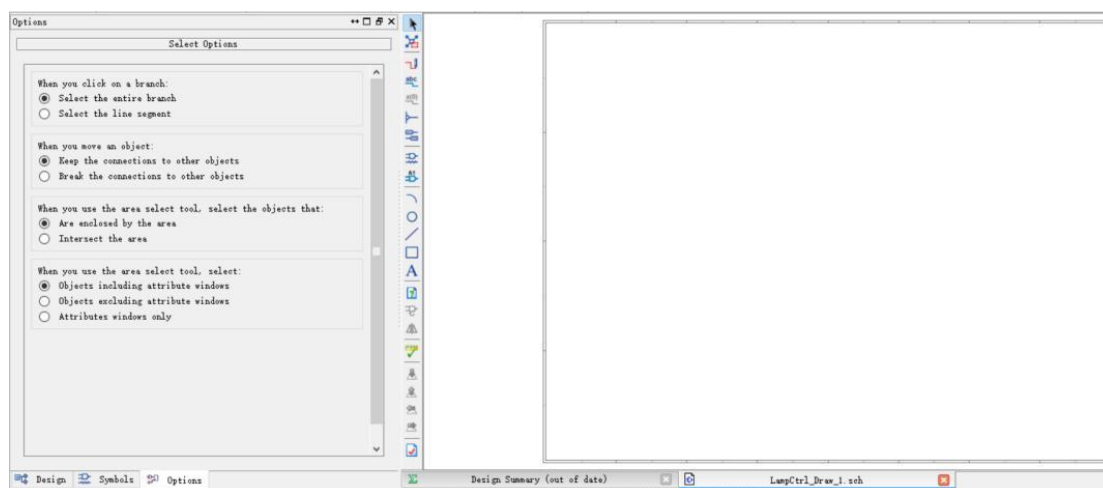
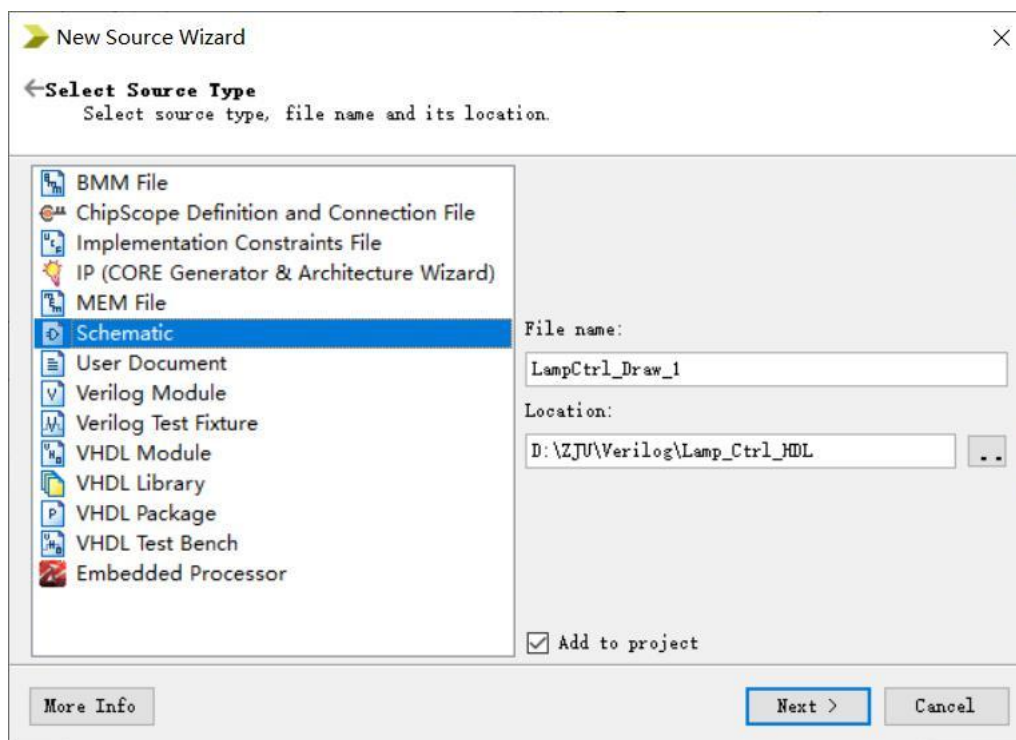
2. 问题二

2.1 建立控制楼道灯的工程（同 1.1，略）

2.2 创建图形输入源文件 LampCtrl_Draw_1.sch

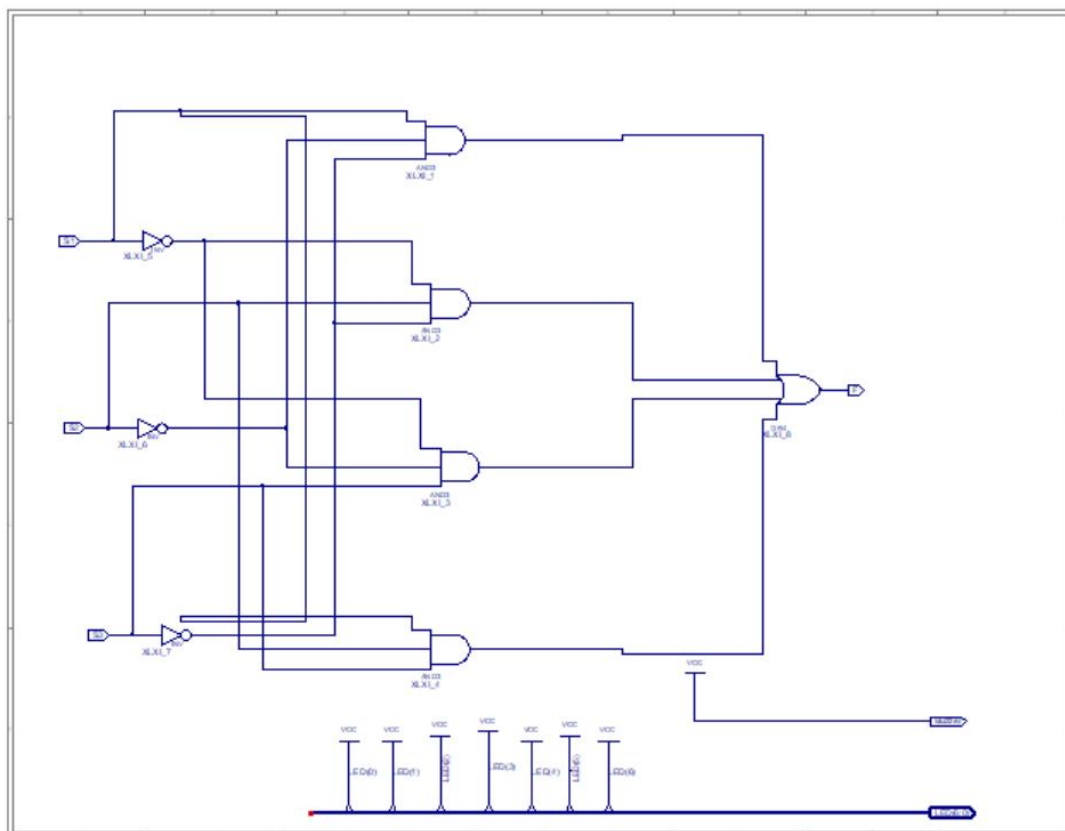
2.2.1 在“Sources”窗口空白右键，菜单中选择“New Source”

2.2.2 在新建源文件向导中设置如下

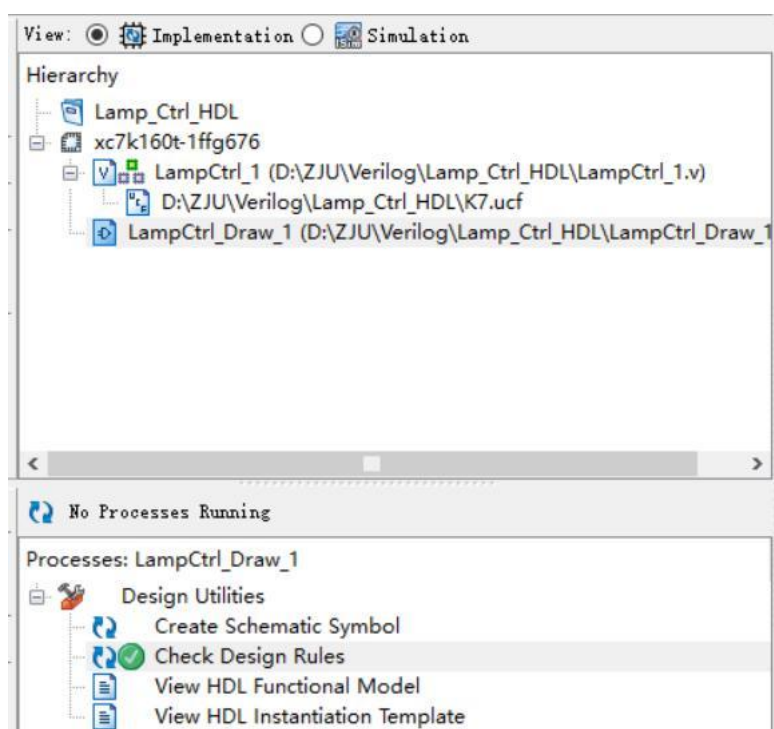


2.3 输入楼道灯控逻辑电路

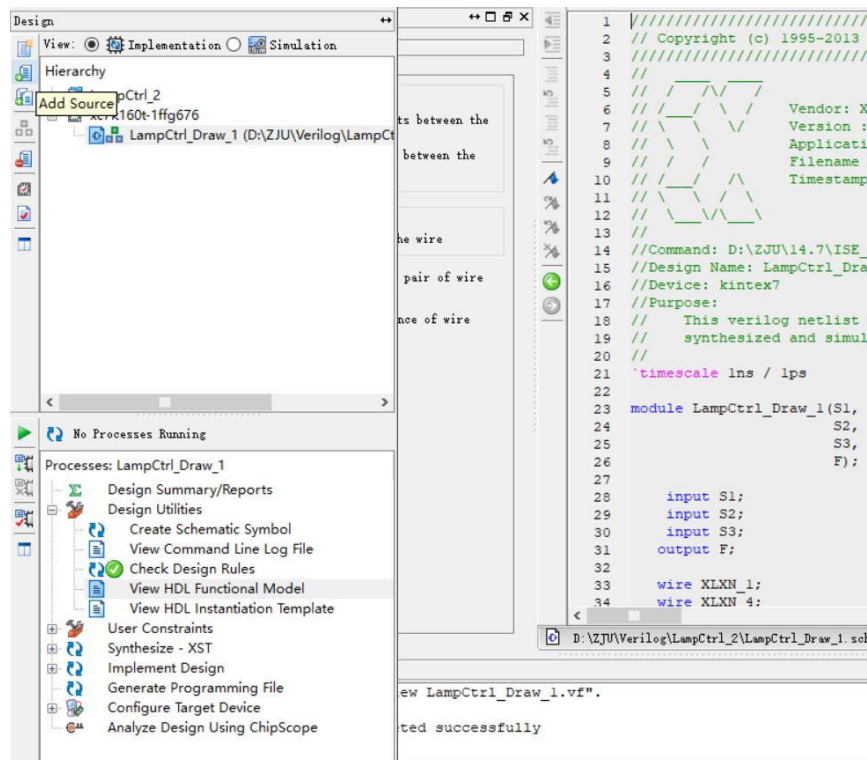
2.3.1 在 Sources 窗口中选择 Symbols 选项卡, 配合 Schematic Editor 工具条输入原理图, 如图



2.3.2 检查设计错误。双击 Check Design Rules



2.3.3 查看输入电路的硬件描述代码



```

`timescale 1ns / 1ps
module LampCtrl_Draw_1(S1,
    S2,
    S3,
    Buzzer,
    F,
    LED);
    input S1;
    input S2;
    input S3;
    output Buzzer;
    output F;
    output [6:0] LED;

    wire XLXN_3;
    wire XLXN_7;
    wire XLXN_9;
    wire XLXN_10;
    wire XLXN_17;
    wire XLXN_18;
    wire XLXN_23;

    AND3 XLXI_1 (.IO(XLXN_23),
    .I1(XLXN_17),
    .I2(XLXN_18));
    AND3 XLXI_4 (.IO(XLXN_6),
    .I1(XLXN_4),
    .I2(S1),
    .O(XLXN_18));
    AND3 XLXI_5 (.IO(XLXN_6),
    .I1(S2),
    .I2(XLXN_1),
    .O(XLXN_19));
    AND3 XLXI_6 (.IO(S3),
    .I1(XLXN_4),
    .I2(XLXN_1),
    .O(XLXN_20));
    AND3 XLXI_7 (.IO(S3),
    .I1(S2),
    .I2(S1),
    .O(XLXN_21));
    OR4 XLXI_9 (.IO(XLXN_21),
    .I1(XLXN_20),
    .I2(XLXN_19),
    .I3(XLXN_18),
    .O(F));
endmodule

```

2.3 仿真激励输入

2.3.1 建立基准测试波形文件: LampCtrl_Draw_1_sim.tbw

在 Sources 窗口空白处的右键菜单中选择 New Source, 在新建源文件向导中选择源类型为: Verilog Test Fixture, 输入文件名 LampCtrl_Draw_1_sim, 并勾选 Add to Project 点击 Finish 进入 LampCtrl_sim.v 编辑窗口

2.3.2 输入代码


```

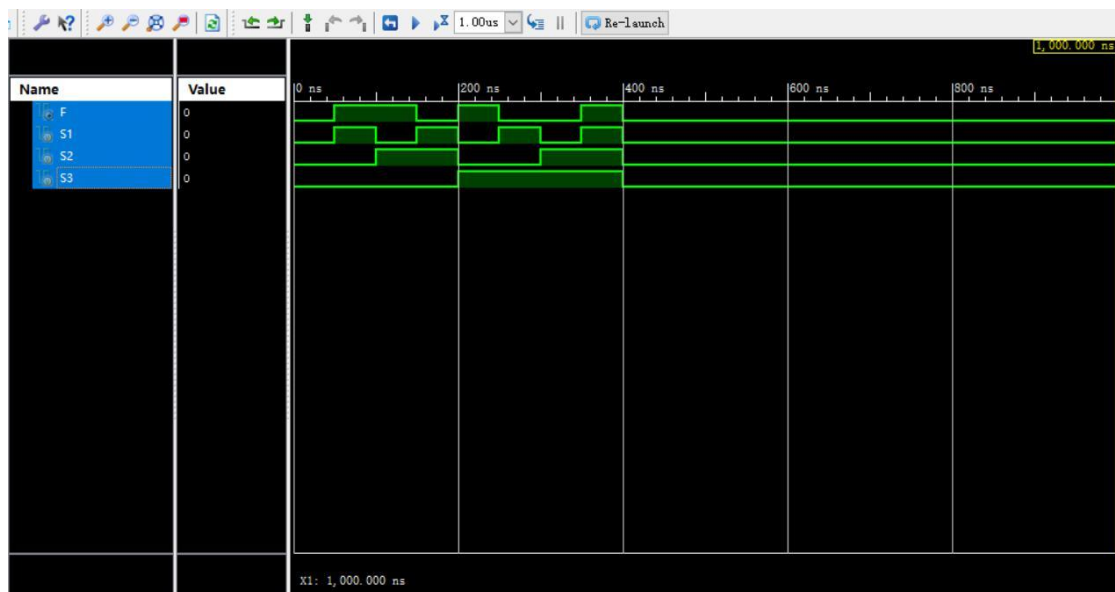
//`ifdef auto_init
    initial begin
        S1 = 0;
        S2 = 0;
        S3 = 0;
        #50 S1 = 1;
        #50 S1 = 0;
        S2 = 1;
        #50 S1 = 1;
        #50 S1 = 0;
        S2 = 0;
        S3 = 1;
        #50 S1 = 1;
        #50 S1 = 0;
        S2 = 1;
        #50 S1 = 1;
        #50 S1 = 0;
        S2 = 0;
        S3 = 0;
    end

//`endif
endmodule

```

2.3.3 查看波形

（点击”Zoom to Full View” 全屏显示可以看到 1us 的全部波形。）



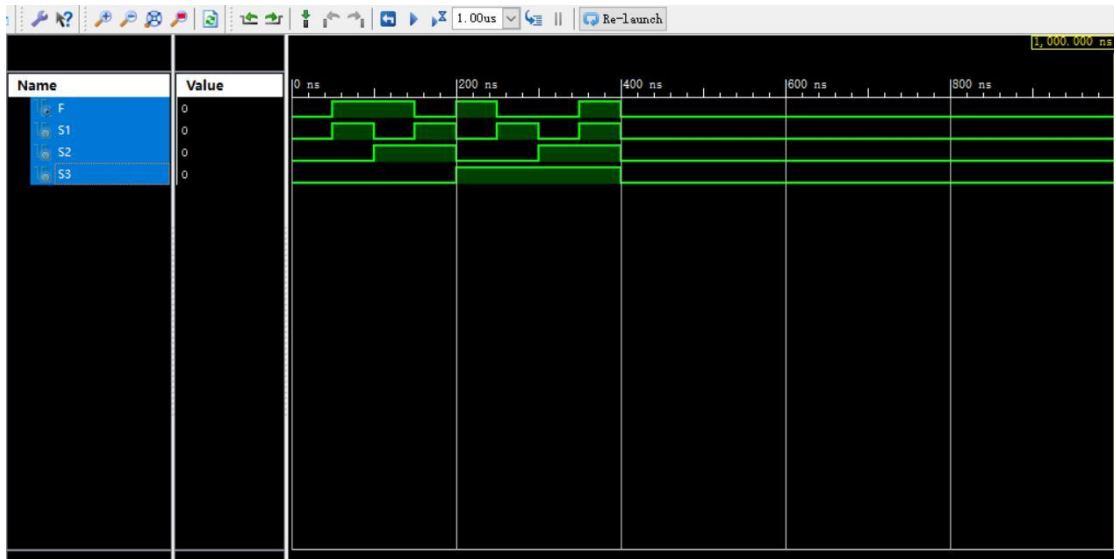
2.3.4 另一种激励方式

```

// Initialize Inputs
//`ifdef auto_init
    integer i;
    initial begin
        for(i=0;i<=8;i=i+1)begin
            {S3,S2,S1} <= i;
            #50;
        end
    end

// `endif
endmodule

```



2.4 建立用户时序约束并为模块的端口指定引脚分配

2.4.1 建立引脚分配文件（同 1.7.1）

2.4.2 输入代码

```
NET"S1"LOC = AA10 | IOSTANDARD = LVCMOS15;#电压说明
NET"S2"LOC = AB10 | IOSTANDARD = LVCMOS15;
NET"S3"LOC = AA13 | IOSTANDARD = LVCMOS15;
NET"F"LOC = AF24 | IOSTANDARD = LVCMOS33;#D8
```









2.5 下载到 SWORD 板验证实验结果（同 1.8）

二、实验结果与分析

问题一

000	001	010	011
100	101	110	111

实验二

			
000	001	010	011
			
100	101	110	111

三、讨论、心得

这是第一次接触实验板，听学长说这节课不预习会吃不上晚饭（虽然但是我吃完饭才来上的课），我提前下好了环境和 ise，在 win10 中下载 ISE 必须用四压缩包的下载方式，不然会卡进度条，剩下的就一般的安装了，比如 license 什么的正常来就可以；ISE 在使用的时候特别注意要设置好实验板类型，不然引脚是对不上的，而且文件的类型也要对，.v、.sch、.ucf 等文件类型也要知道，也要学习如何按照报错去修正。