

# 浙江大学

## 本科实验报告

课程名称: 计算机逻辑设计基础

姓 名: 王晓宇

学 院: 竹可桢学院

专 业: 计算机

邮 箱: [1657946908@qq.com](mailto:1657946908@qq.com)

QQ 号: 1657946908

电 话: 19550222634

指导教师: 洪奇军

报告日期: 2023 年 10 月 7 日

# 浙江大学实验报告

课程名称: 计算机逻辑设计基础 实验类型: 综合

实验项目名称: 集成逻辑门电路的功能及参数测试

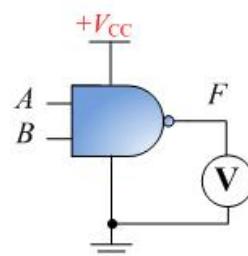
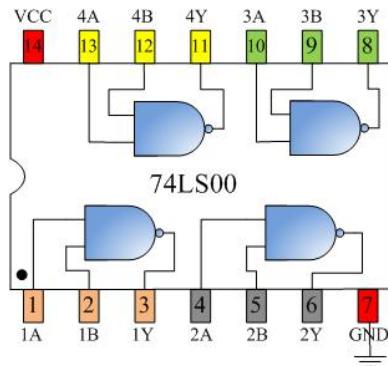
学生姓名: 王晓宇 学号: 3220104364 同组学生姓名: 陈亨睿

实验地点: 紫金港东四 509 室 实验日期: 2023 年 10 月 7 日

## 一、操作方法与实验步骤

### 一、验证 74LS00 “与非”门逻辑功能

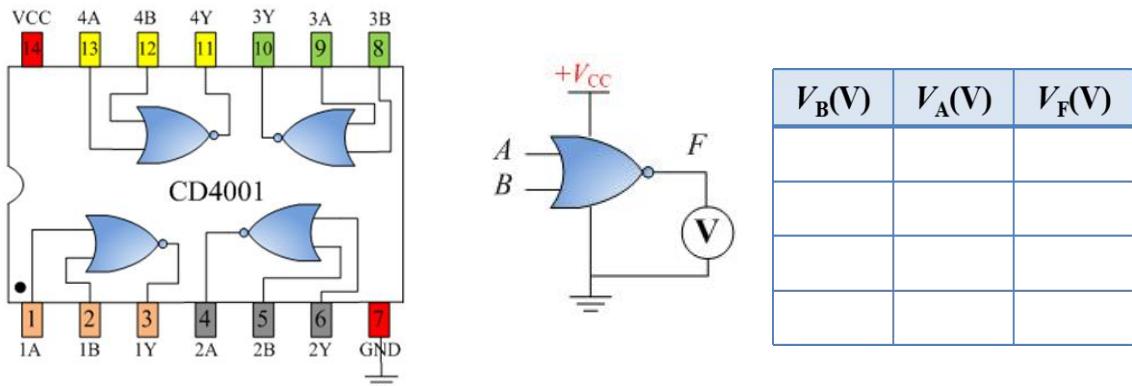
1. 将芯片插入实验箱的 IC 插座中，注意芯片的方向
2. 按右图连接电路，VCC 接电压 5V，地端接地线
3. 高低电平通过 S14/S15/S16/S17 拨位开关产生，
4. 以真值表顺序遍历输入 A,B 所有组合，测量 A,B 及输出 F 电压并记入右表



$V_B(V)$	$V_A(V)$	$V_F(V)$

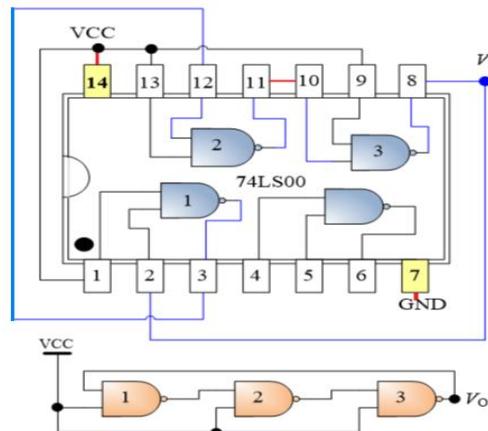
### 二、验证 CD4001 “或非”门逻辑功能

1. 将芯片插入实验箱的 IC 插座中
2. 按右图连接电路，VCC 接直流 5V 电压，地端接地线
3. 高低电平通过 S14/S15/S16/S17 拨位开关产生，
4. 以真值表顺序遍历输入 A,B 所有组合，测量输入端 A,B 及输出端 F 电压值，记录右表
5. 重复步骤 3~4，测量其他 3 个门的逻辑关系并判断门的好坏



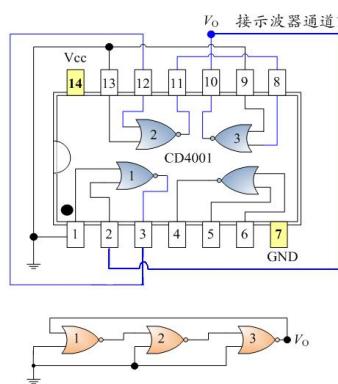
### 三、测量 74LS00 逻辑门的传输延迟时间 tpd

1. 将芯片插入实验箱的 IC 插座，注意芯片方向
  2. 按图连接电路，VCC 接 5V 电源，地端接地线
  3. 将示波器接到振荡器的任何一个输入或输出端
  4. 调节频率旋钮，测量  $V_o$  的波形，读出周期 T 并计算传输延迟时间
  5. ( $T=15\text{ns}-30\text{ns}$ )



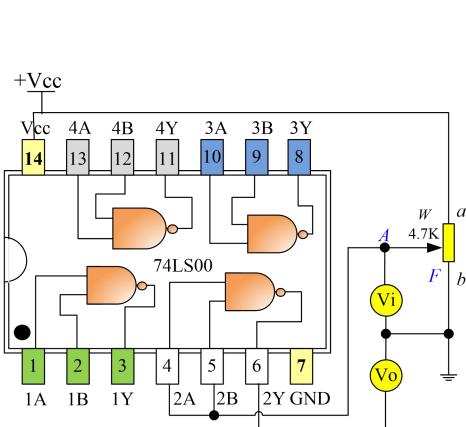
#### 四、测量 CD4001 逻辑门的传输延迟时间 tpd-

1. 将芯片插入实验箱的 IC 插座，注意芯片方向
  2. 按图连接电路，VCC 接 5V 电源，地端接地线
  3. 将示波器接入到振荡器的输入或输出端
  4. 调节频率旋钮，测量  $V_o$  的波形，读出周期  $T$  并计算传输延迟时间
  5. ( $T=80\text{ns}-500\text{ns}$ )



## 五、测量 74LS00 传输特性与开关门电平 V<sub>ON</sub> 和 V<sub>OFF</sub>

1. 将芯片插入实验箱的 IC 插座
2. 按图连接电路（见下页）
3. 将直流电表分别接入 A 端和与非门的输出 2Y 端
4. 从 b 端往 a 端缓慢调节电位器 W，观察 V<sub>i</sub>, V<sub>o</sub> 两电压表的读数，并记录数据填入表格
5. 根据表格数据画出曲线图，并求 V<sub>ON</sub> 和 V<sub>OFF</sub>

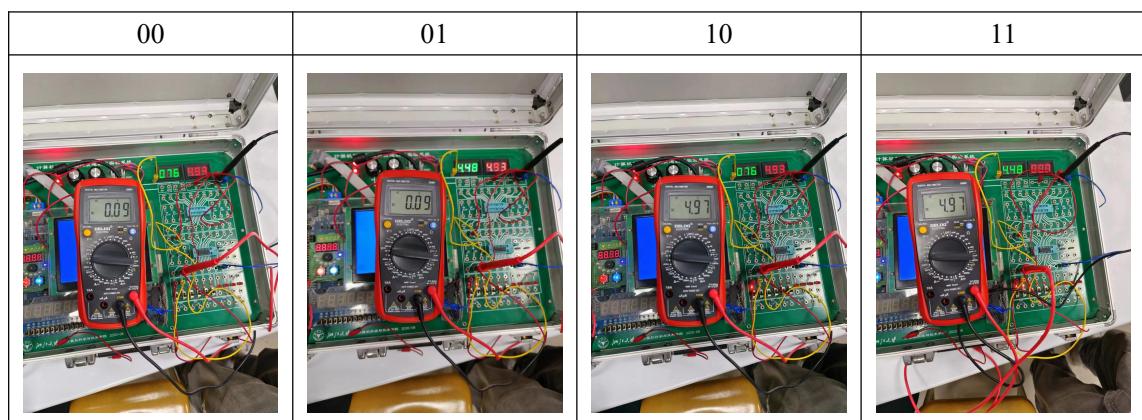


$V_i/V$	$V_o/V$	$V_i/V$	$V_o/V$
0	:		
0.2	:		
0.4	:		
0.6	:		
0.8	2.0		
:	2.5		
$V_{OFF}$	3.0		
:	3.5		
:	4.0		
$V_{ON}$	4.5		
:	5.0		

## 二、实验结果与分析

### 1. 验证集成电路 74LS00 “与非” 门的逻辑功能

$V_A$ (V)	$V_B$ (V)	$V_F$ (V)	F Logic Data
0.09	0.076	4.93	H
4.97	0.076	4.93	H
0.09	4.48	4.93	H
			L



当 AB 均输入高电平时，F 输出为低电平，AB 至少一输入低电平时，F 输出为高电平，符合与非门逻辑

## 2. 验证集成电路 CD4001 “或非”门的逻辑功能

V <sub>A</sub> (V)	V <sub>B</sub> (V)	V <sub>F</sub> (V)	F Logic Data
0.09	0.078	4.87	H
0.09	4.48	0	L
4.97	0.078	0	L
4.97	4.48	0	L

00	01	10	11

AB 均为低电平时，F 输出为高电平，其他情况下 F 输出均为低电平，符合或非门逻辑

## 3. 测量集成电路 74LS00 逻辑门的传输延迟时间 $t_{pd}$

74LS00 逻辑门的传输延迟时间接线图	74LS00 逻辑门的传输延迟时间示波器示数

由示波器可读出周期  $T=22.58\text{ns}$

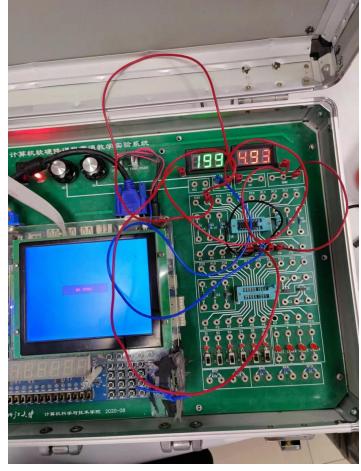
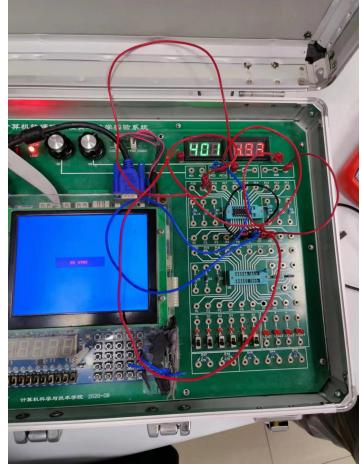
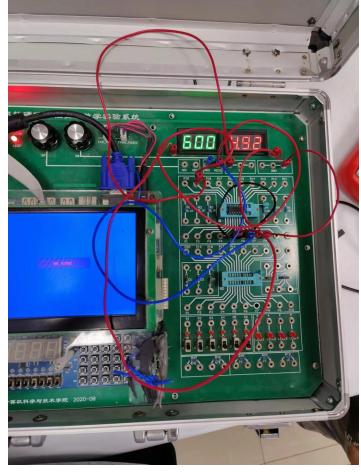
则传输延迟时间  $t_{pd}=T/6=3.76\text{ns}$

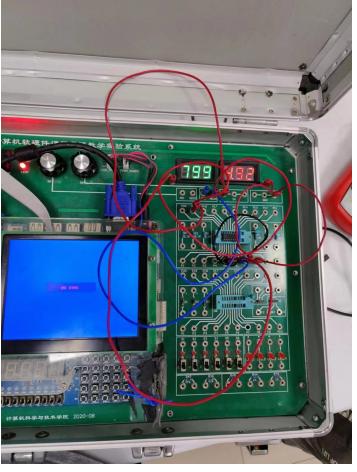
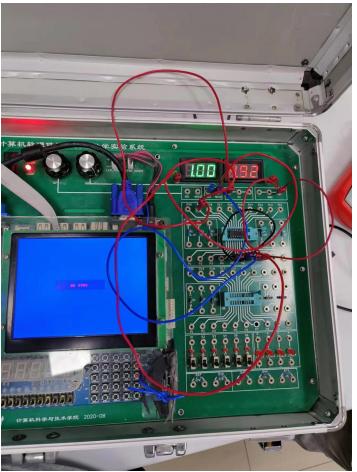
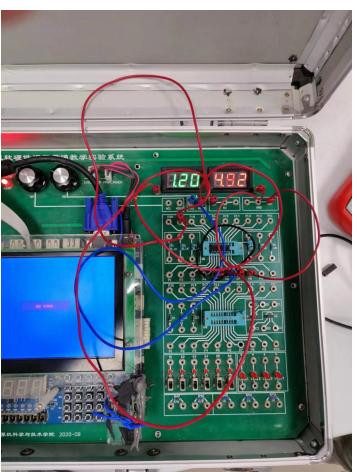
CD4001 逻辑门的传输延迟时间接线图	CD4001 逻辑门的传输延迟时间示波器示数

由示波器可知周期  $T=381.60\text{ns}$

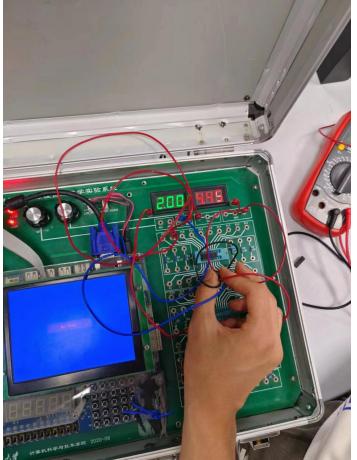
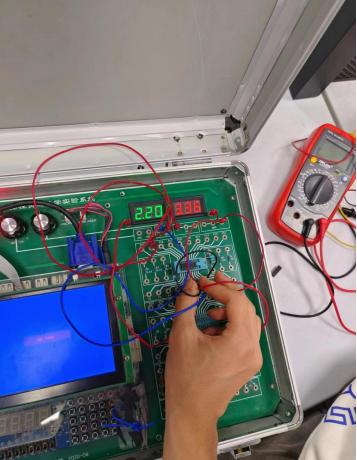
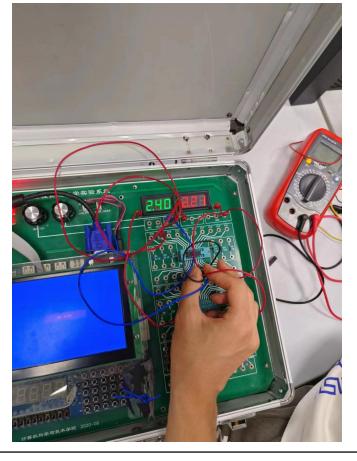
传输延迟时间  $t_{pd}=T/6=63.60\text{ns}$

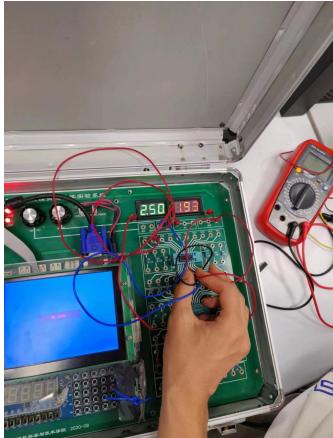
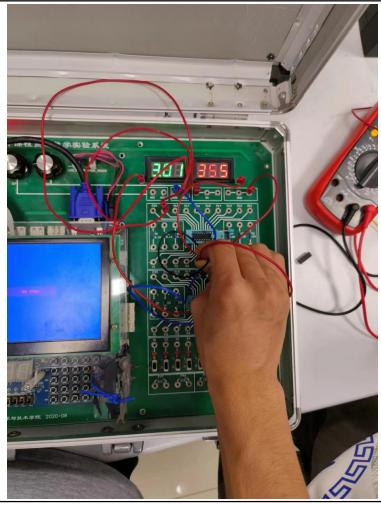
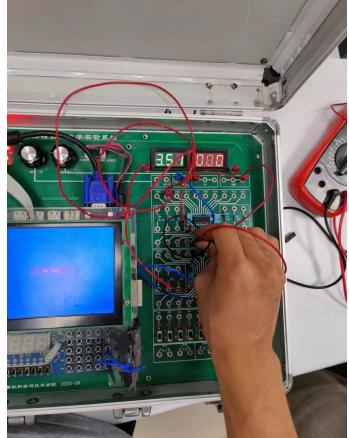
## 5. 测量集成电路 74LS00 传输特性与开关门电平 $V_{ON}$ 和 $V_{OFF}$

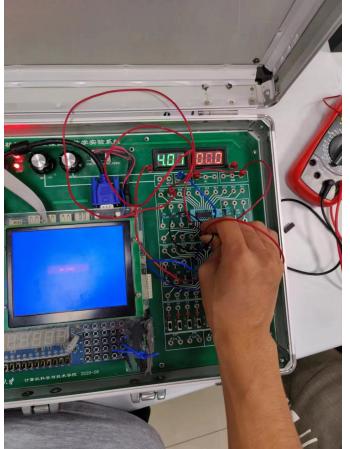
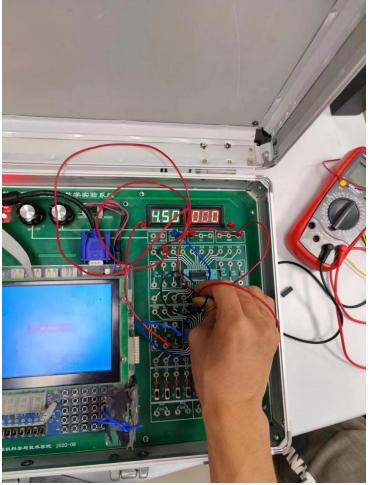
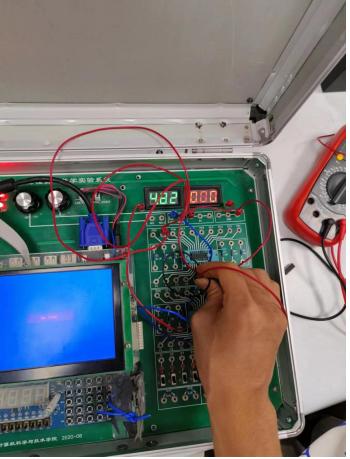
$V_i / \text{V}$	$V_o / \text{V}$	实验图片
0.199	4.93	
0.401	4.93	
0.600	4.92	

0.799	4.92	
1.00	4.92	
1.20	4.92	

1.40	4.92	
1.60	4.92	

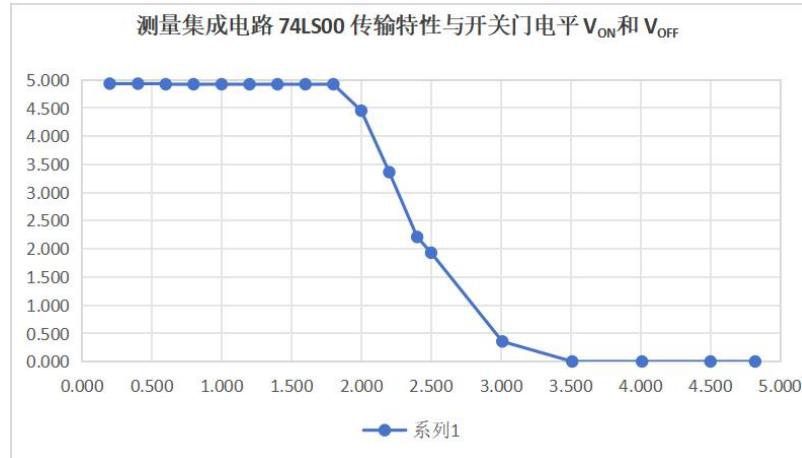
2.00	4.45	
2.20	3.36	
2.40	2.21	

2.50	1.93	
3.01	0.355	
3.51	0.00	

4.01	0.00	
4.50	0.00	
4.82	0.00	

$V_i /V$	$V_i /V$	$V_i /V$	$V_i /V$
0.199	4.93	2.00	4.45
0.401	4.93	2.20	3.36
0.600	4.92	2.40	2.21
0.799	4.92	2.50	1.93
1.00	4.92	3.01	0.355
1.20	4.92	3.51	0.00
1.40	4.92	4.01	0.00

1.60	4.92	4.50	0.00
1.80	4.92	4.82	0.00



### 三、讨论、心得

此次实验连接电路没有遇到太大的困难，计算也比较简单，主要问题出在设备导线的接触不良，在验证“与非”“或非”的实验时便发生结果不正确的情况，后面有老师提醒发现可能是导线断路的问题，果然发现了一根断掉的，之后的实验也都先对所有导线进行筛查；另一方面，插孔接触不良会导致电压示数来回跳动，需要人为地固定才会使示数稳定。实验之后也对 74LS00 和 CD4001 的逻辑门有了更好的了解。在最后测量 74LS00 的开关门电平时，在某个节点的位置电压会突变的很快，在调节时可能会出现误差导致数据并不准确，，调节时要小心，减小实验误差。