

Особенности топологического планирования ядер высокопроизводительных процессоров семейства "Эльбрус"

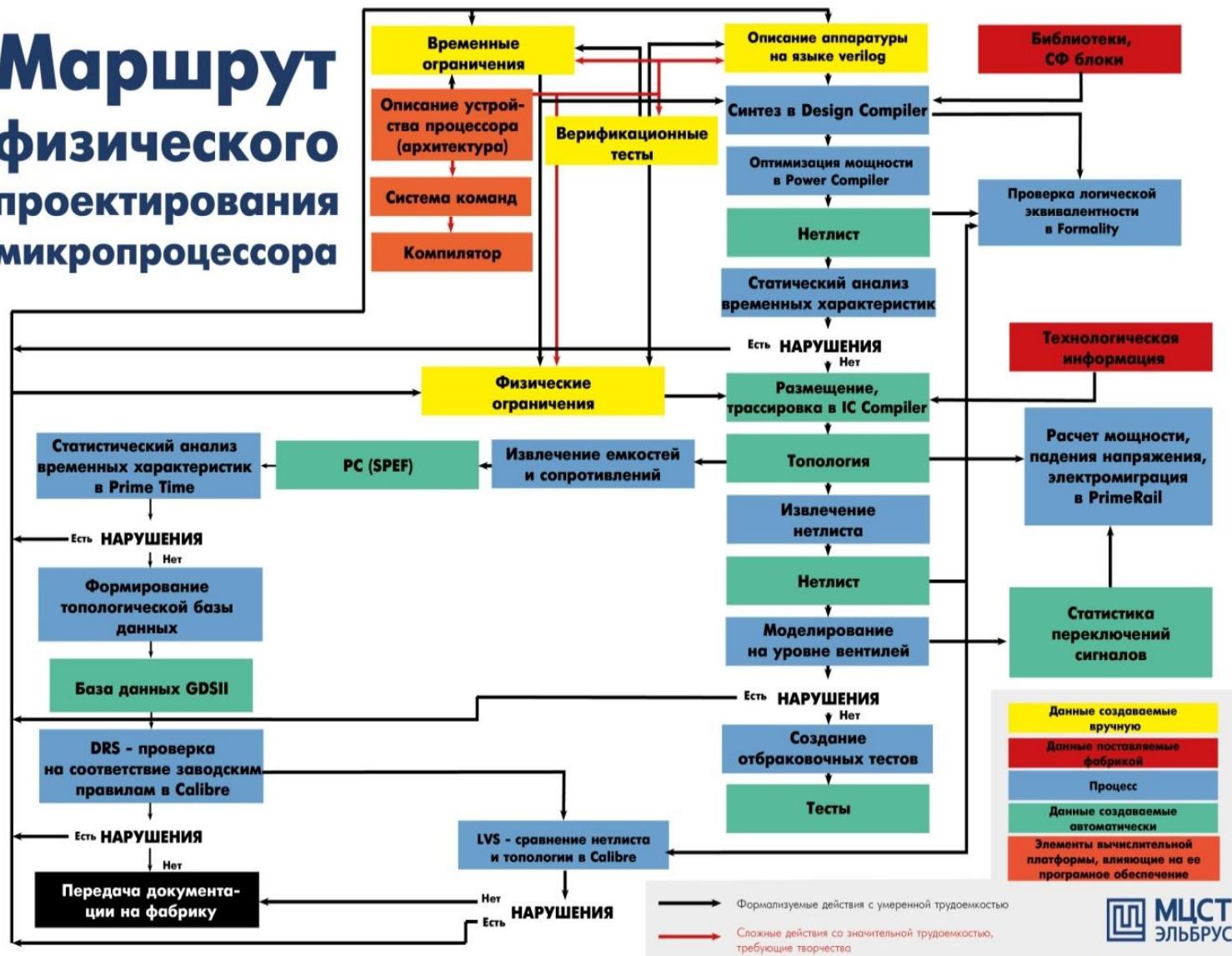
Доклад старшего инженера АО «МЦСТ»
Мороза Ярослава Николаевича.
«Микроэлектроника 2017»
г. Алушта

Маршрут полууказанного физического проектирования.

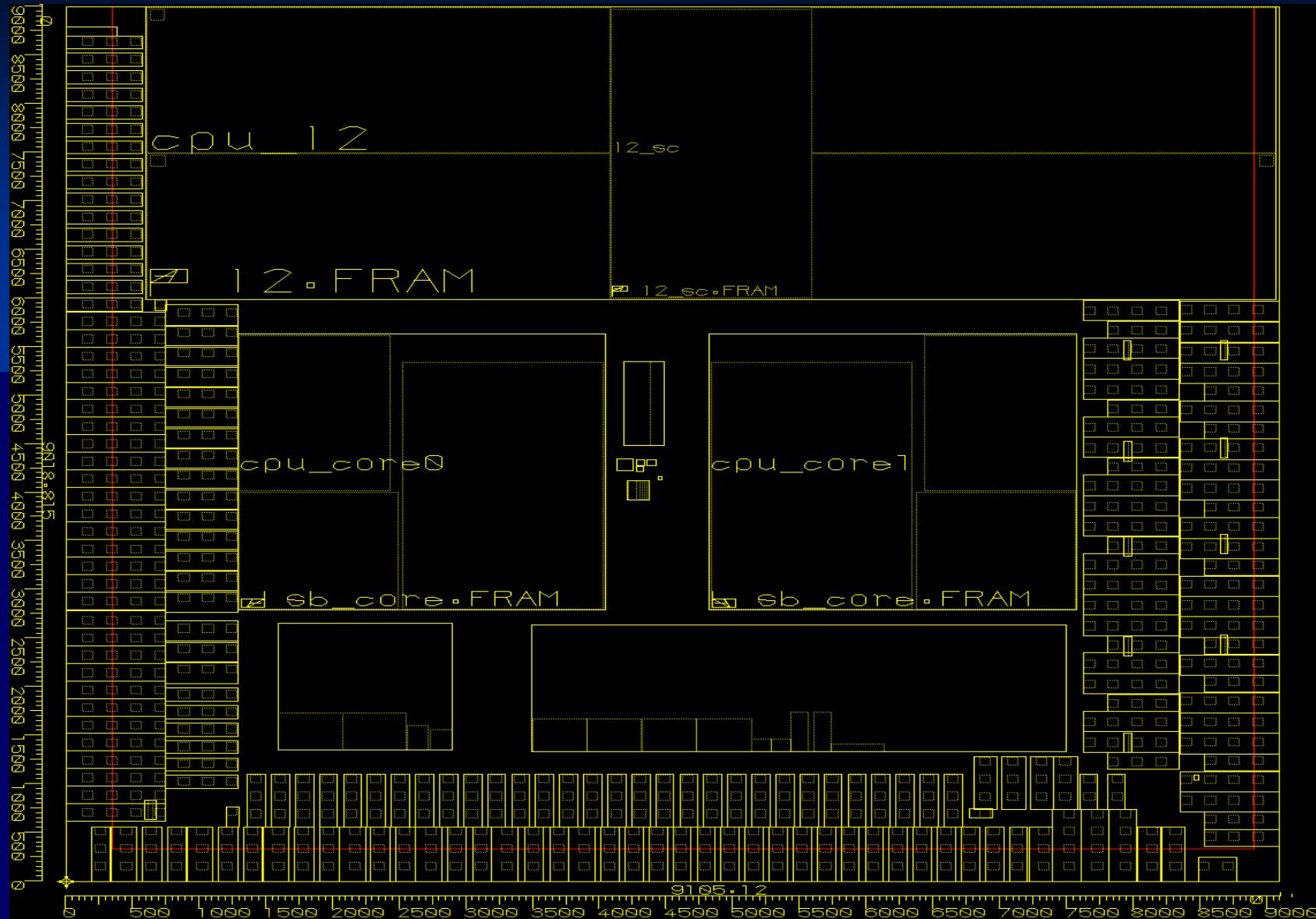
- Планирование топологии СБИС;
- синтез - перевод СБИС с уровня регистровых передач (“Register transfer level – RTL”), реализованного в виде абстрактных моделей на языках описания аппаратуры (Verilog/VHDL) на уровень описания СБИС на основе реальных логических элементов и их взаимодействия (“gate-level”);
- проектирование системы питания;
- размещение всех элементов СБИС, оптимизация по ключевым параметрам;
- проектирование системы синхронизации;
- трассирование всех связей СБИС, оптимизация по ключевым параметрам;
- физическая «верификация» - проверка норм проектирования (“DRC”), выявление и устранение электрических и схемотехнических нарушений (“ERC/ARC”), проверка эквивалентности между физической реализацией СБИС и её схемотехническим описанием (“LVS”) и другие проверки проектируемой интегральной схемой перед этапом изготовления.

Маршрут полуузаказного физического проектирования.

Маршрут физического проектирования микропроцессора



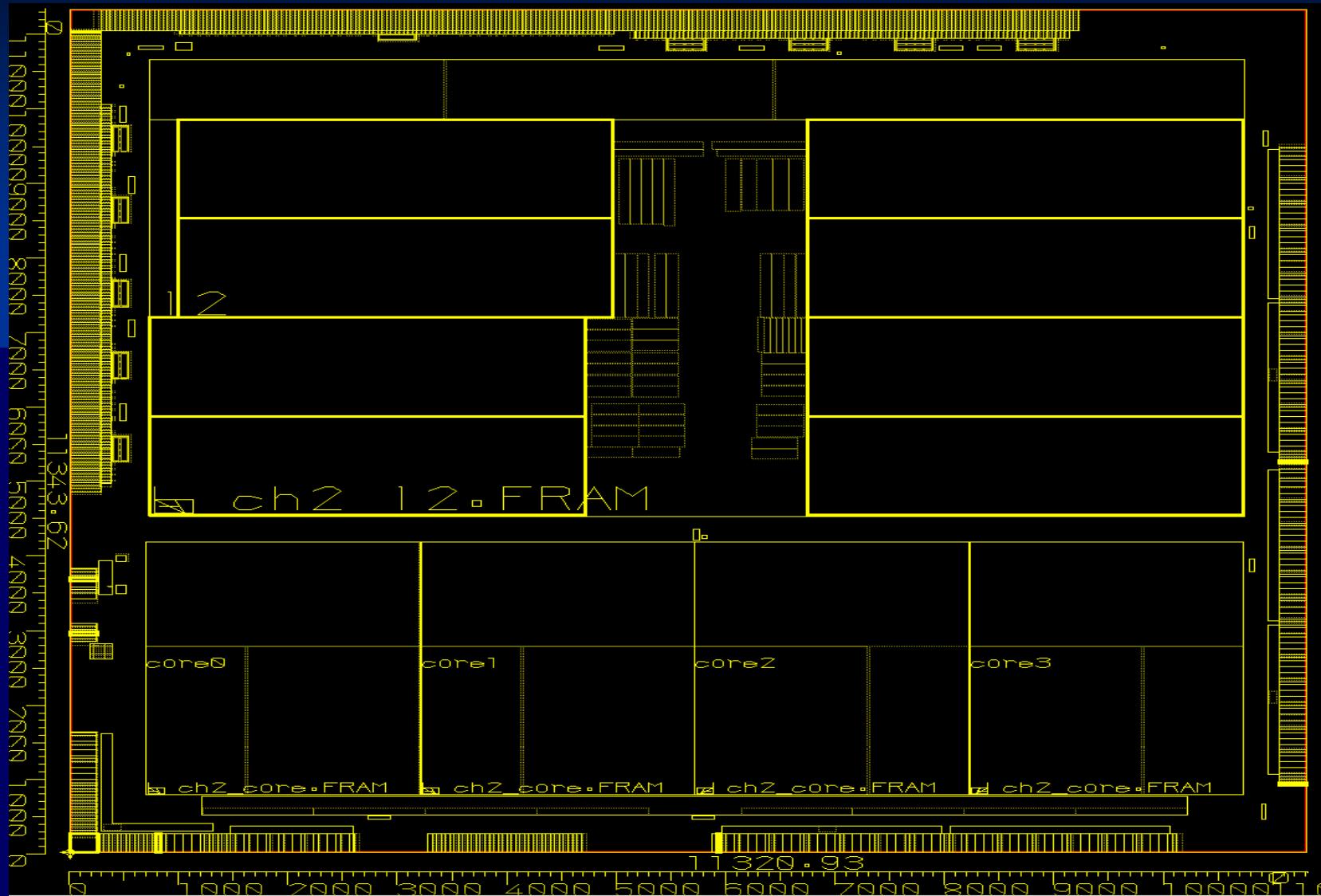
Ядра микропроцессоров гомогенной архитектуры



Топологический план верхнего уровня иерархии микропроцессора «МЦСТ R500S».

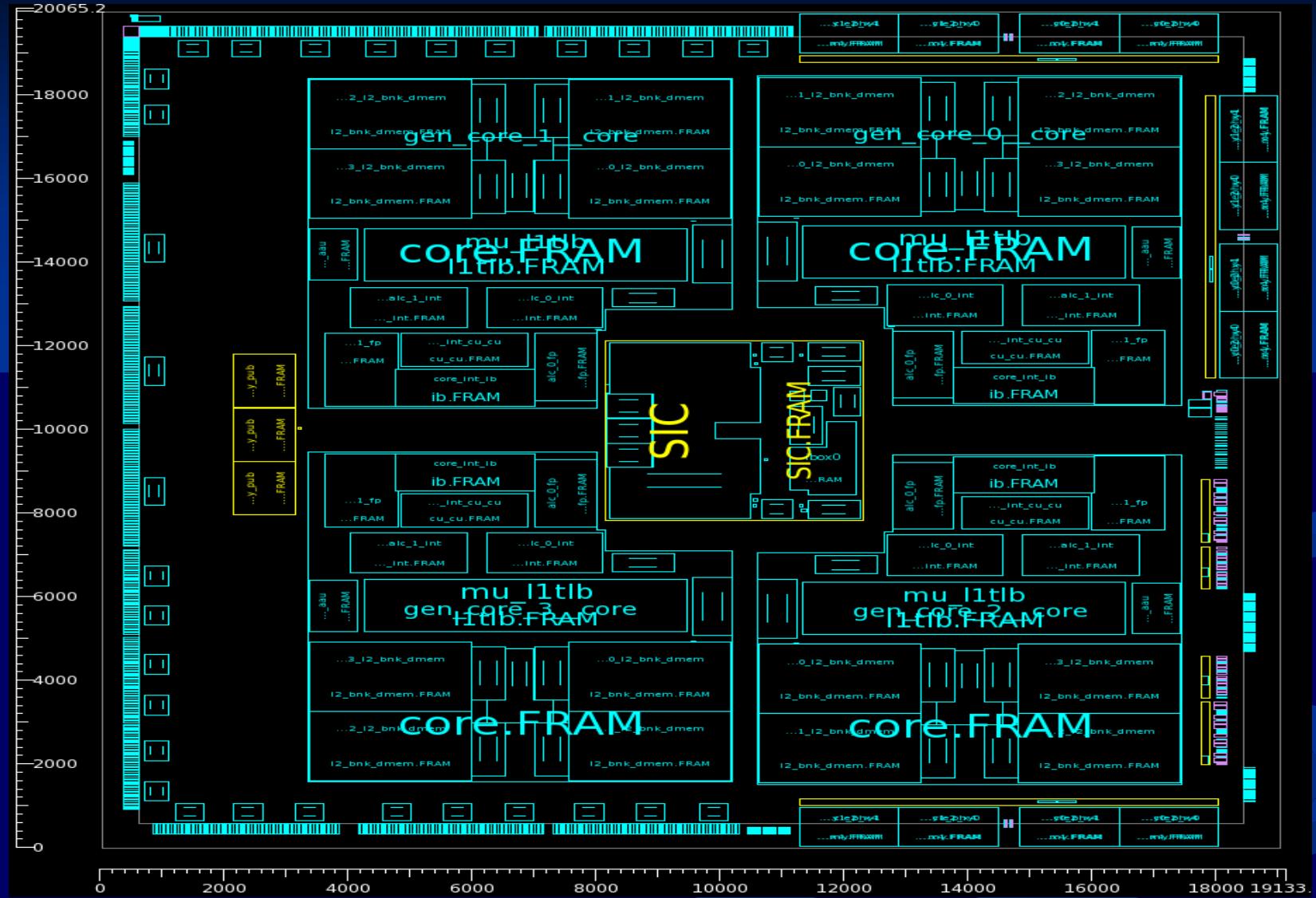
Размещение блоков-устройств верхнего уровня иерархии. Содержит 2 ядра.

Ядра микропроцессоров гомогенной архитектуры



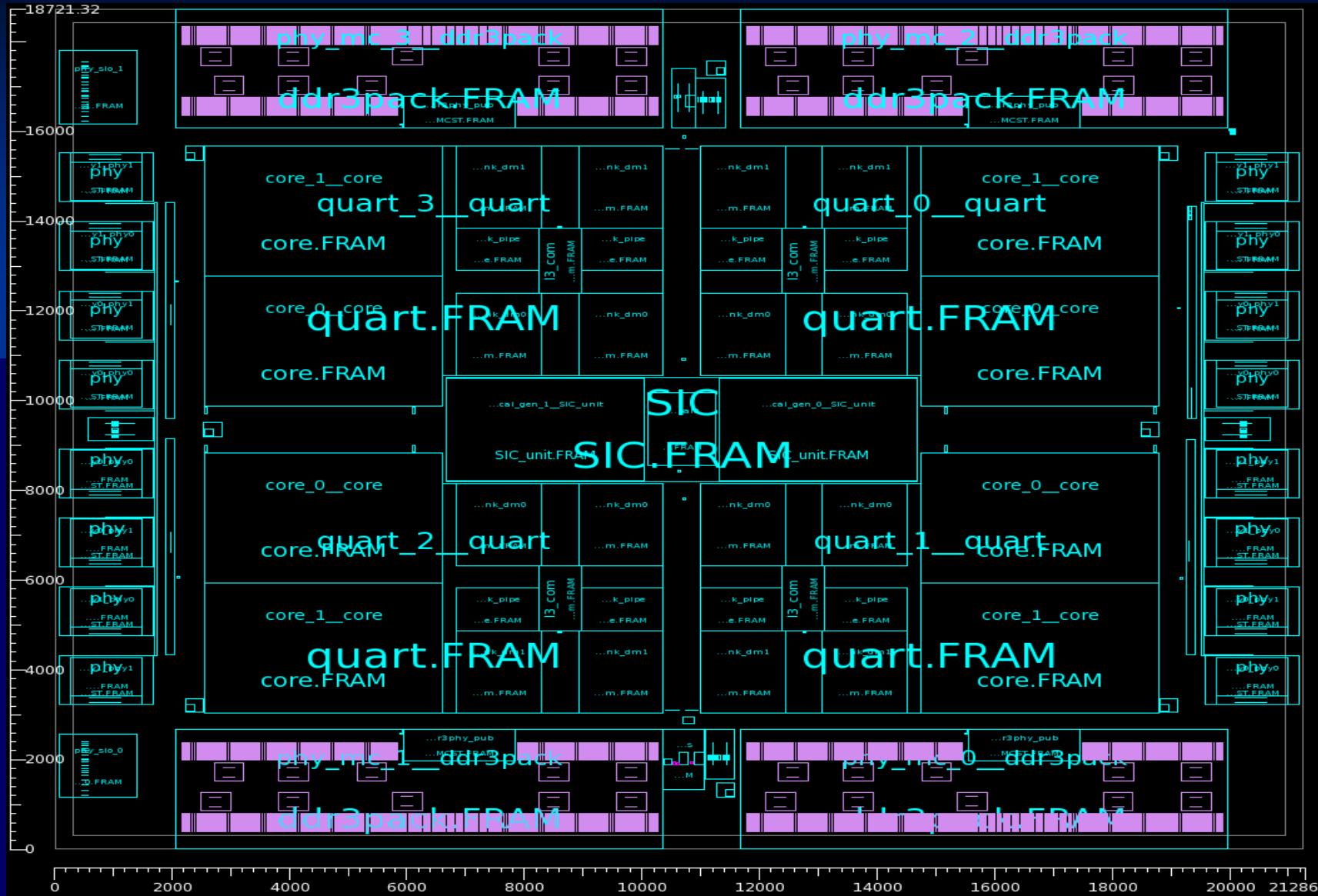
Топологический план верхнего уровня иерархии микропроцессора «MCST R1000».
Размещение блоков-устройств верхнего уровня иерархии. Содержит 4 ядра.

Ядра микропроцессоров гомогенной архитектуры



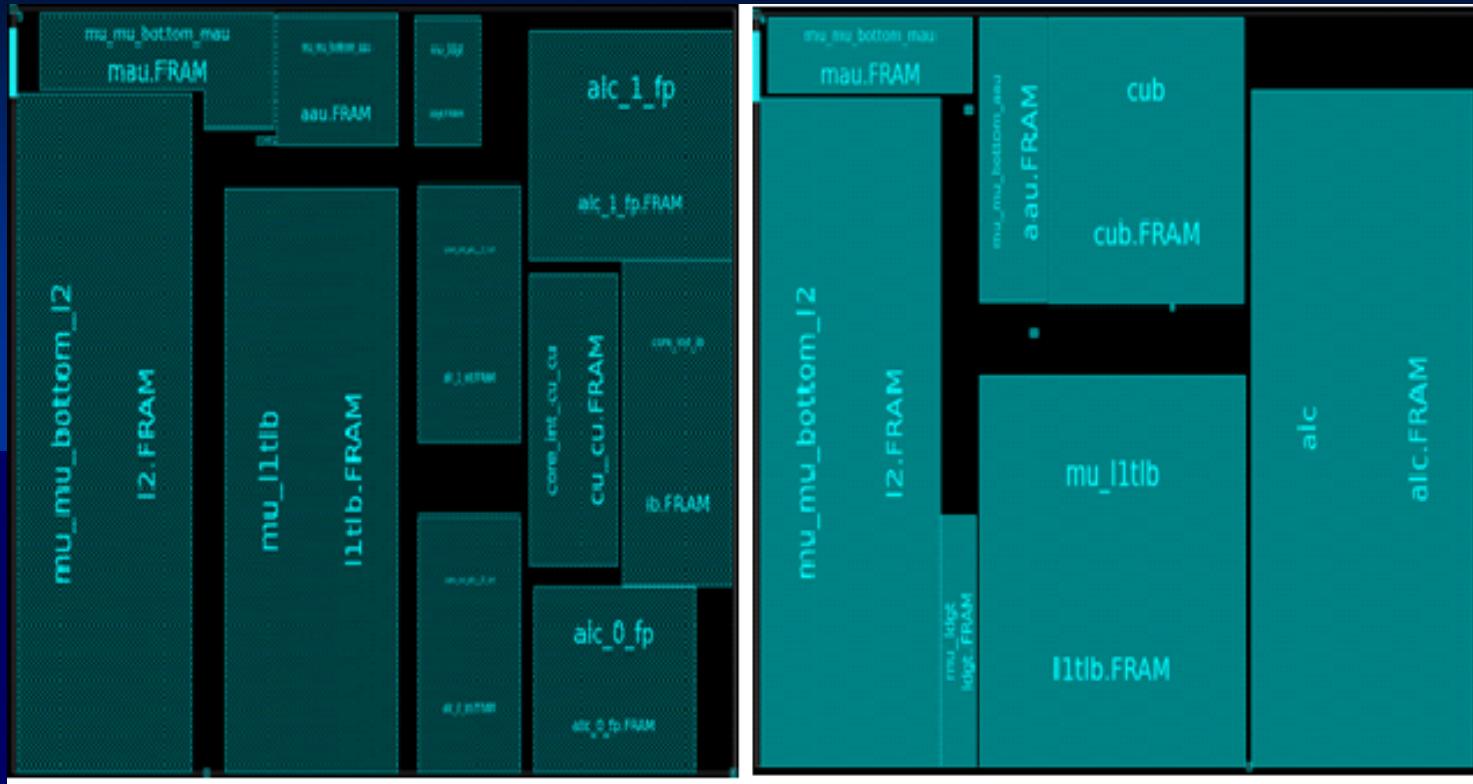
Топологический план верхнего уровня иерархии микропроцессора «Эльбрус-4С». Размещение блоков-устройств верхнего уровня иерархии. Содержит 4 ядра.

Ядра микропроцессоров гомогенной архитектуры



Топологический план верхнего уровня иерархии микропроцессора «Эльбрус-8С».
Размещение блоков-устройств верхнего уровня иерархии. Содержит 8 ядер.

Ядра микропроцессоров гомогенной архитектуры

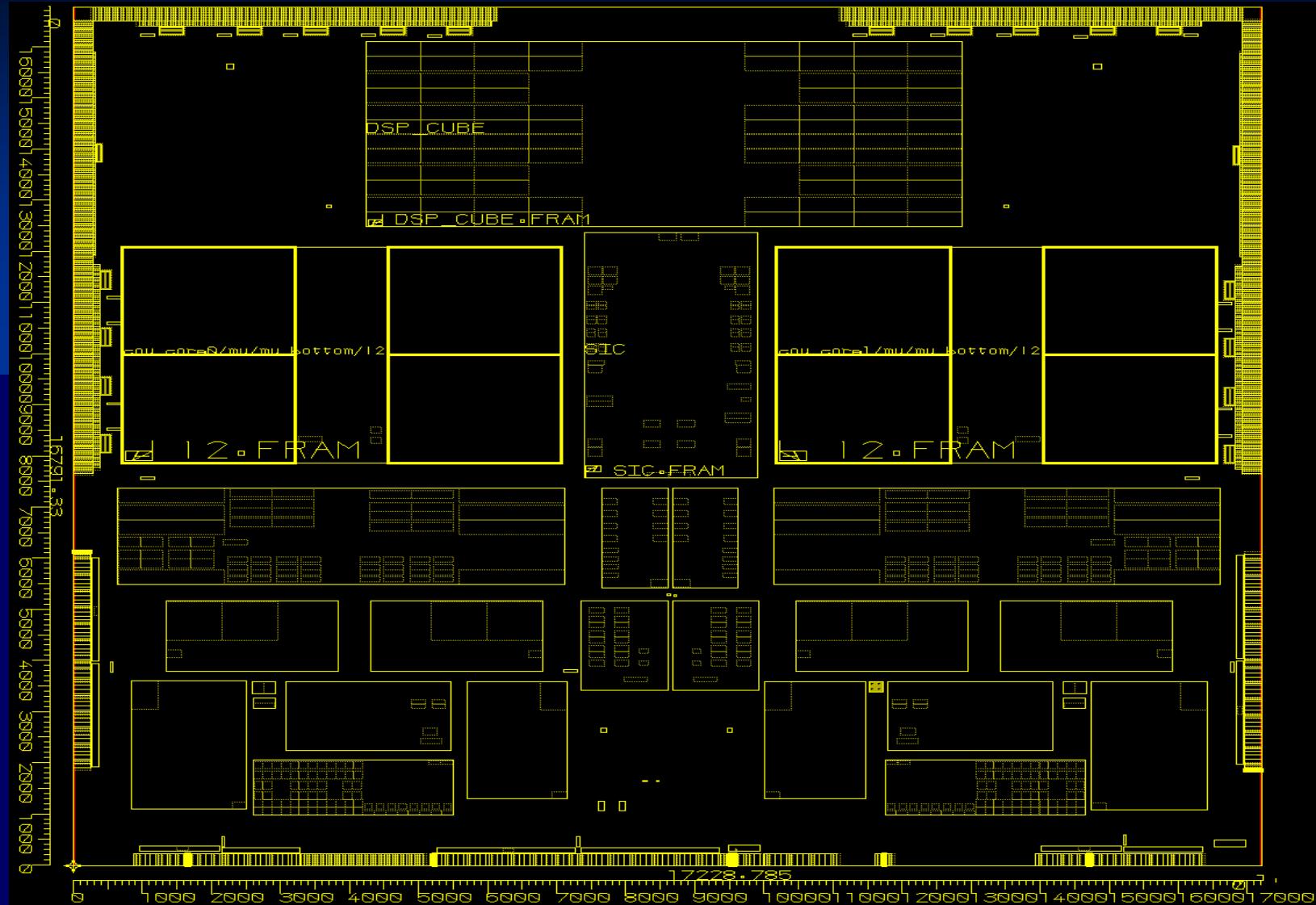


Топологический план и размещение блоков ядра микропроцессоров «Эльбрус-8С» и «Эльбрус-П9».

Для увеличения быстродействия микропроцессора «Эльбрус-8С», после изготовления и тестирования готовой микросхемы, было принято решение существенно переработать логику ядра на уровне RTL-описания, а также изменить его топологию:

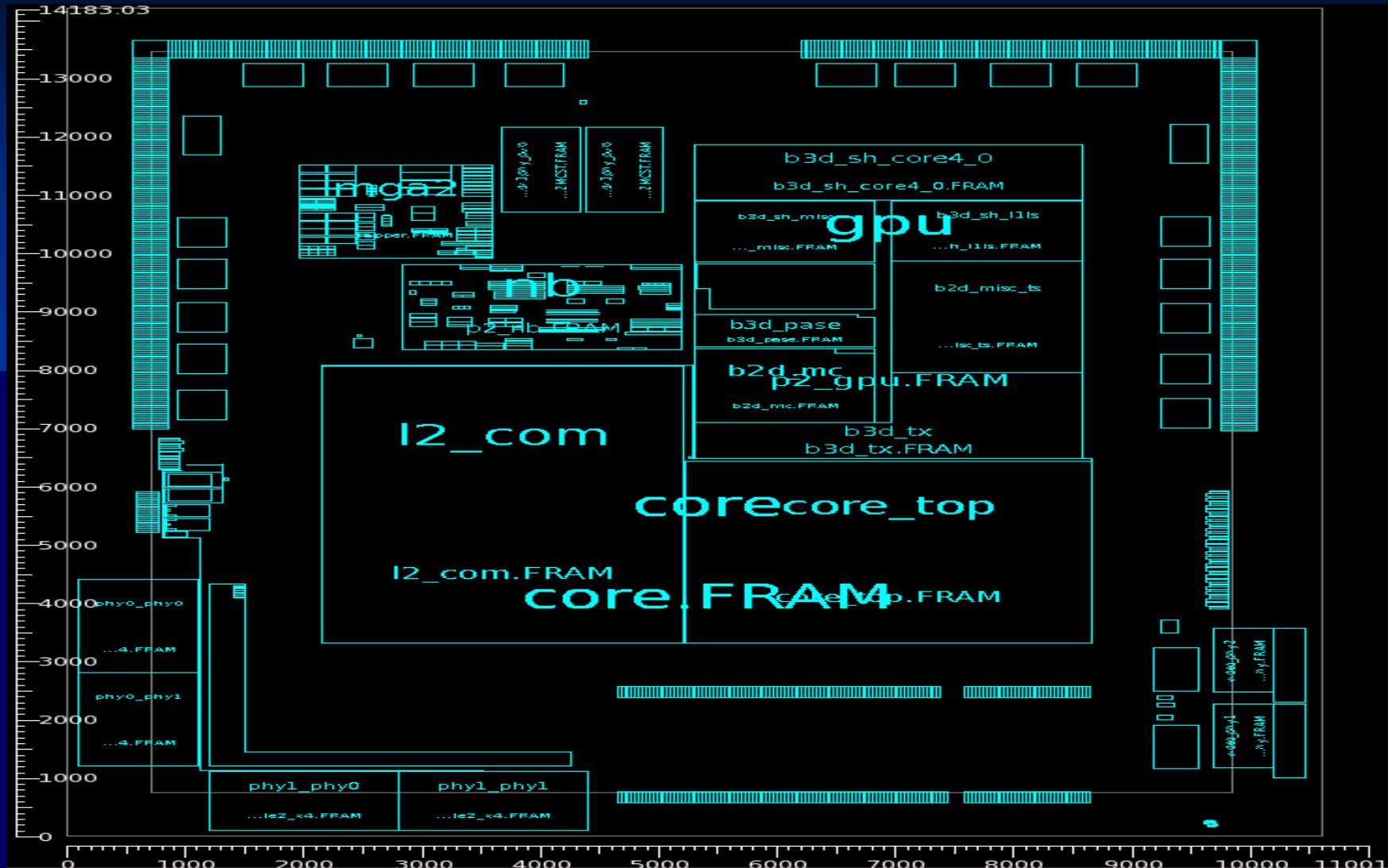
1. все арифметические устройства объединялись в один большой блок (alc), также буфер команд (IB) и блок управления (CU_CU) были объединены и реализованы единым блоком;
2. существенно изменены размеры и внутреннее размещение элементов кэш-памяти первого уровня(l1tlb) с целью оптимизации транзитных связей между арифметическими устройствами и кэш-памятью второго уровня(l2). Для кэш-памяти первого уровня были разработаны новые элементы памяти. Это позволило существенно сократить потери времени на межблочных передачах, а также сократить используемое оборудование, ширина ядра уменьшилась на 200мкм.

Ядра микропроцессоров гетерогенной архитектуры



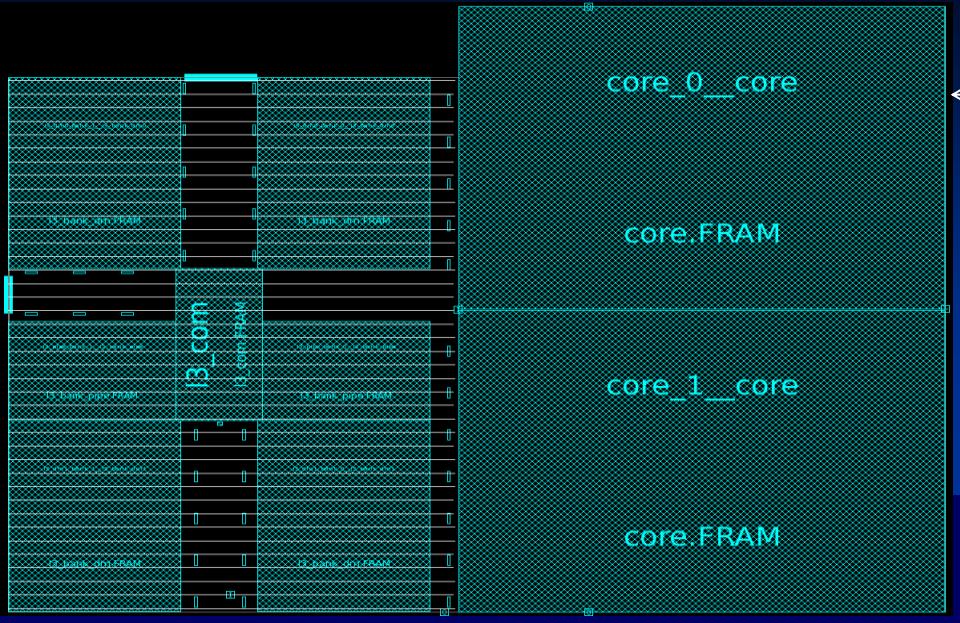
Топологический план верхнего уровня иерархии микропроцессора «Эльбрус-2С+». Размещение блоков-устройств верхнего уровня иерархии.

Ядра микропроцессоров гетерогенной архитектуры

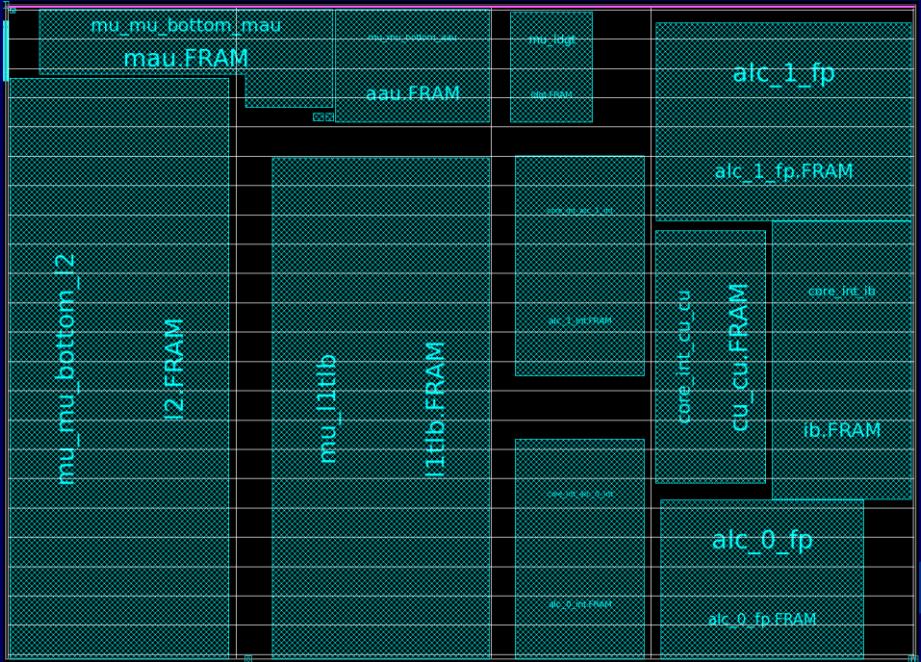
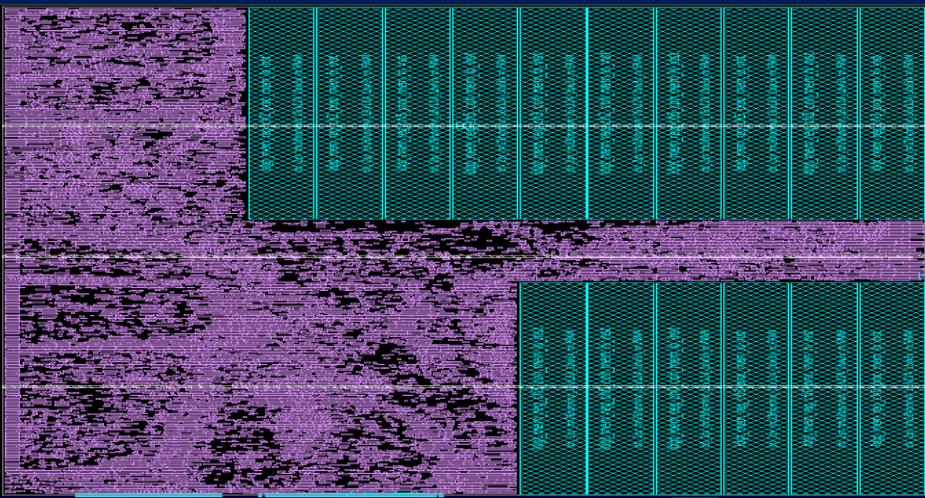


Топологический план верхнего уровня иерархии микропроцессора «Эльбрус-1С+». Размещение блоков-устройств верхнего уровня иерархии. Содержит 1 ядро архитектуры «Эльбрус» и 1 графическое ядро.

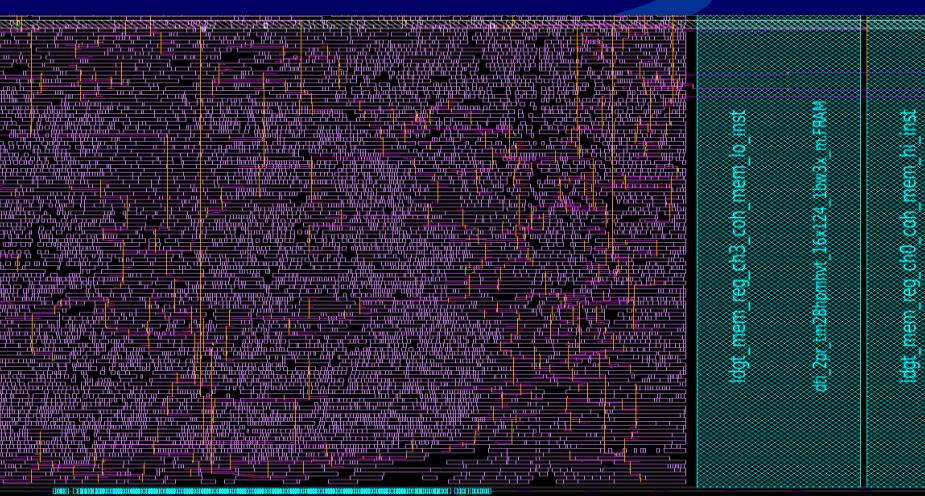
Топологический план блоков-устройств микропроцессора «Эльбрус-8С».



Топологический план и размещение блоков устройства «quart». Часть сетки синхронизации.



Топологический план и размещение блоков ядра.



Топология одного из блоков ядра («ldgt»), который содержит порядка 60тыс. стандартных логических элементов и элементов памяти. Размещение логических элементов, элементов памяти, а также часть сетки синхронизации в виде горизонтальных шин в 9м слое металлизации.

Проектирование системы синхронизации

Основные сложности

- Высокая интегральная сложность, большое число потребителей, большие размеры ядер микропроцессора.
- Высокая плотность сигнальных проводов и шин питания.
- Возможность отключения ядер.
- Передача данных между разными доменами (ядро и L3-кэш).
- OCV (On-Chip Variation)- разброс параметров на кристалле.

Решения

В 9-м слое строилась сетка, которая состояла из набора специальных усилителей и проводов, с точно подобранными параметрами. Внутри отдельных блоков к шинам такой сетки было выполнено подключение с помощью локально построенных деревьев малой длины(2-3 усиливающих элементов для каждого потребителя). Это позволило минимизировать разброс параметров системы синхронизации и повысило предсказуемость характеристик работы всей микросхемы в разных условиях эксплуатации. Также такой подход уменьшал плотность элементов и связей внутри блоков, что в свою очередь снижало энергопотребление, повышало трассировочную способность для сигнальных связей. Для наиболее критичных проводов широко применялось экранирование шинами земли Однако сложность реализации такого подхода накладывала дополнительные ограничения на сроки реализации.

Трассировка и оптимизация

Основные сложности

- Высокая интегральная сложность, большое число потребителей, большие размеры ядер микропроцессора.
- Большое количество элементов памяти.
- Передача данных между ядрами и кэш-памятью.
- Длинные связи на верхнем уровне ядер микропроцессора.
- Контроль за целостностью сигнала.
- Автоматизация этапа размещения.

Решения

- Внутри каждого устройства провода объединялись в группы согласно критичности временных характеристик. Длинные связи буферизовались усилителями «в шахматном порядке».
- Для наиболее критичных проводов широко применялось экранирование шинами земли.
- При недостаточности места под трассировку, прореживалась сетка питания.
- Для экономии мощности, некритичные элементы заменялись на аналоги с высоким порогом напряжения.
- Созданы командные файлы и файлы содержащие ограничения проектирования, с помощью которых удалось автоматизировать весь процесс трассировки.

РЕЗУЛЬТАТЫ

- ❖ Освоено проектирование СнК по технологическим нормам 90-28нм; методические и технологические решения, принятые и опробованные при создании микропроцессоров семейства «Эльбрус», рассматриваются как проектный базис физического проектирования нового поколения многоядерных высокопроизводительных микропроцессоров.
- ❖ Выработан определенный маршрут проектирования, написаны многочисленные скрипты для САПР, позволяющие повысить эффективность и уменьшить временные затраты этапов проектирования и предпроизводственной проверки топологии микропроцессора в целом.
- ❖ Реализованы как гомогенные, так и гетерогенные многоядерные микропроцессоры, микропроцессоры с разделяемой и индивидуальной кэш-памятью;
- ❖ в рамках данной работы, на примере реализации ядер разных микропроцессоров компании МЦСТ, показывается успешное физическое проектирование с учетом иерархии и без таковой.
- ❖ Существующие методы проектирования ядер и других устройств микропроцессоров семейства «Эльбрус» с успехом могут быть применены в физическом проектировании СБИС отличной архитектуры с использованием других технологических процессов полупроводникового производства.
- ❖ Впервые в России на одном кристалле был реализован 8-ми ядерный микропроцессор с общим количеством транзисторов 2.73 млрд. и площадью кристалла 321 кв.мм. Пиковая производительность составила 250 Гфлопс, тактовая частота системного синхросигнала 1.3ГГц.

Спасибо за внимание