Lab8：优先级编码器

被赋值的都是reg

ifelsecasedefault时larch锁定器 使能小圆圈或顶部横杠代表低电平有效

解码器/译码器

多路选择器

+代表Or ·代表And /代表Not ⊕代表XOR

闭合性Closure 均成立

交换律Commutative 均成立

结合律Associative 均成立

单位元素Identity element （ + ：0 · ：1）

分配率Distributive：交错： ·对 + 成立 + 对·成立

逆Inverse： x+x’=1 x·x’=0

德摩根定律： （x+y）’=x’ y’ (x y)’=x’+ y’

与传统算数代数的区别：

OR distributive law x + y z= (x+y) (x+z)

No subtraction or division

Complement

{1,0} vs infinite set of real numbers

布尔函数 真值表

逻辑门 ：与或非是 与非或非 异或x y’+x’ y 异或非x y+x ’y’

另图

逻辑通过晶体管实现：场效应 二极

N：大于临界

P：小于临界

数据流和计时器 延迟

正逻辑和负逻辑：-逻辑 多数1 能量

布尔函数 和真值表:

最小项表示法Minterm：binary expression and 2^n

最小项很好的得到他直接对应真值表（0就’ 1就不）

最大项表示法Maxterm: binary expression or 2^n

最大项也很好得到，他也直接对应真值表（0就不，1就’）

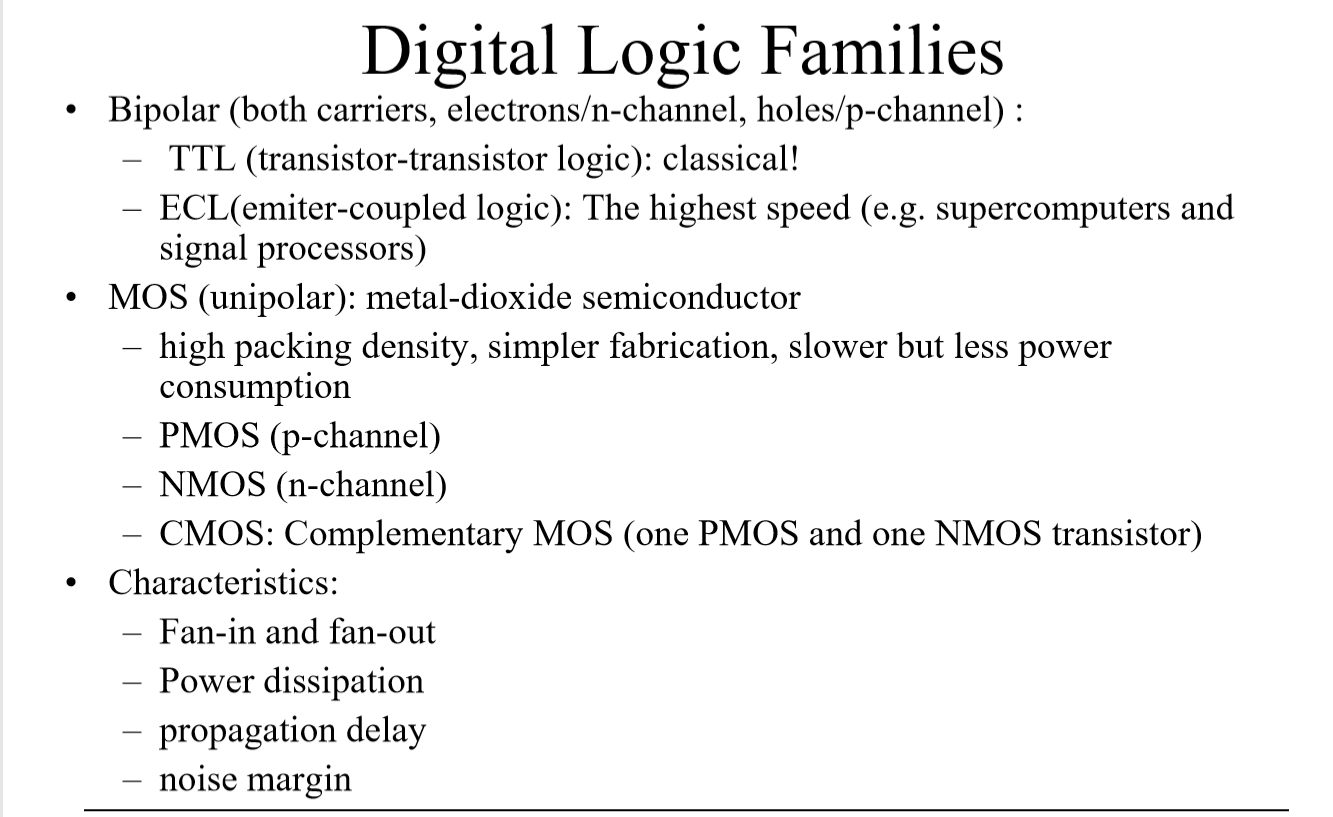
M0=m0’

相互转化：所有布尔函数可以表示为minterm的sum或者maxterm的product

如何转化：首先取对应补集，再取’

使用真值表可以实现快速的最大项最小项转化和化简实现

集成电路：SSI MSI LSI VLSI



Faninfanout 是分支进入，分支出，但是有门数量限制

Noisemargin 是对噪声的抵抗是有限的

系统化简化电路的方式：

卡诺图 ：如何简化函数：

交换 保证某一变量在图中连续

化简：寻找limit 相邻合并 并且成环 极其简便 可以用多次 从少蔓延 只要覆盖所有

转化：使用∩ 寻找覆盖

实验课：

0 0 0 0 : 0;

0 0 1 1 : 0;

0 1 1 0 : 0;

1 0 0 1 : 0;

1 1 0 0 : 0;

1 0 1 0 : 0;

0 1 0 1 : 0;

1 1 1 1 : 0;

1.primitive

2.udp 自定义的udp只能用来做仿真，不能综合  
  
Week5：

四变量 注意四角

寻找Maxterm 合并0项 但是要01取反 其实是合并零项的minterm 然后再德摩根取反

五变量 镜像重叠 2个四变量表

六变量 4个四变量表

不关心情况 Don’t care condition：可以用来辅助化简 但是不需要必须包括 可能导致化简结果不唯一

这也对应着实际电路中的不同路径选择 最短路？

硅编译器 ： 读取输入函数 转化为相应电路

NAND NOR : 很好制造 故作为基础门来设计其他门，实现电路

与非门实现电路

或非门实现电路

与非和或非互补

圆圈可以平移 可以跨越变反

实验： casex x和z都无关 casez z无关

阻塞赋值 = 顺序执行 组合逻辑

非阻塞赋值 <= 并发执行 时序逻辑

非阻塞赋值 要使用strob

课程：组合逻辑电路

逻辑图->输出对输入的布尔函数 过一遍

逻辑图->真值表 过一遍

设计组合电路 真值表->布尔函数->逻辑图

加法器 脉冲进位

实验：语句间延迟#10 A=1’b0 语句内延迟 A=#10 1’b0

Begin/end顺序块 fork/join并行块

阻塞 非阻塞 赋值

Task和function

Task可以包含任何

function可以作为表达式的一部分，只有返回值，不能包含输出，至少一个输入，不能有delay，task包含任意个输入输出，function可以调用function不能调用task

Funtion名字要定义位数

7位数码管