**20230907调试**

可能问题在于axi和数据传输速率较慢导致写失败，利用fifo进行10MHz->100MHz转换，选择packet模式。

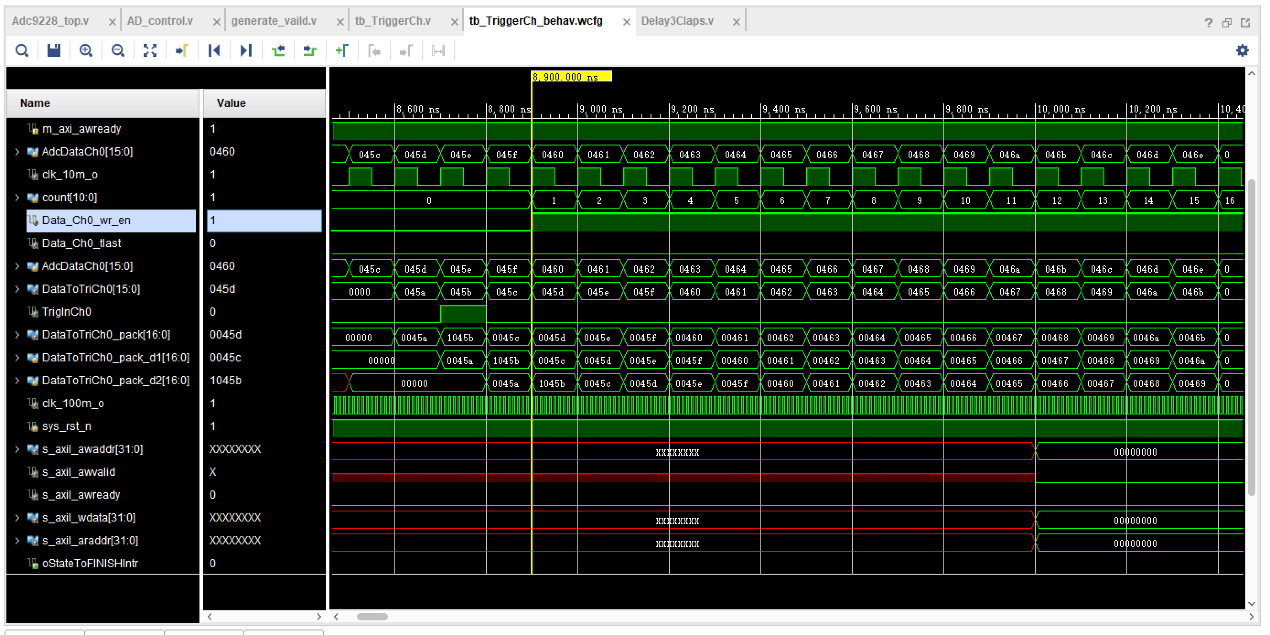
输入数据时序

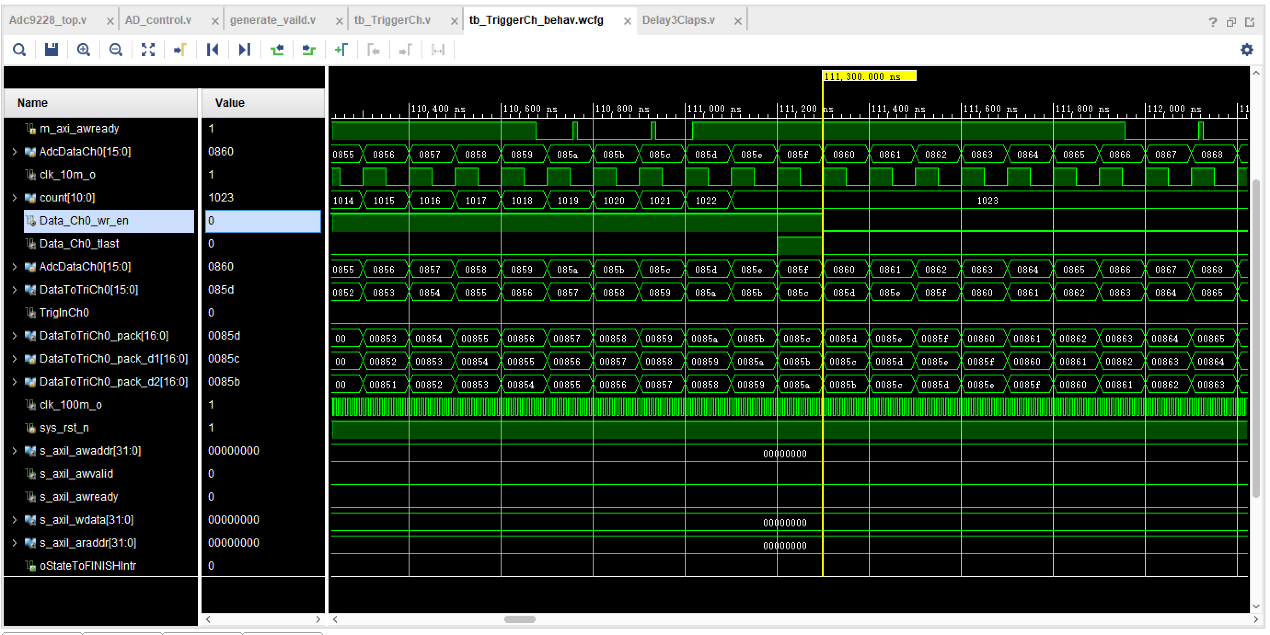
Data\_Cho\_wr\_en

Data\_Cho\_tlast

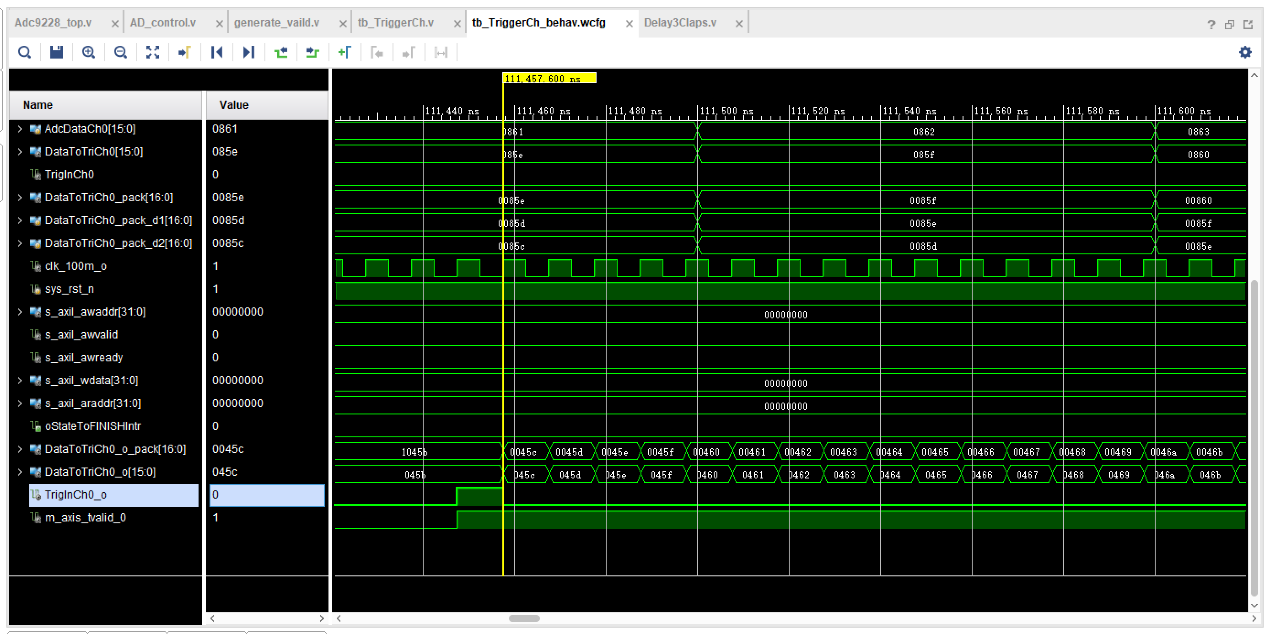
DataToTriCh0\_pack[16:0]，将TrigInCh0与16位数据连接为17位数据（原本ADC数据12位高位补0）

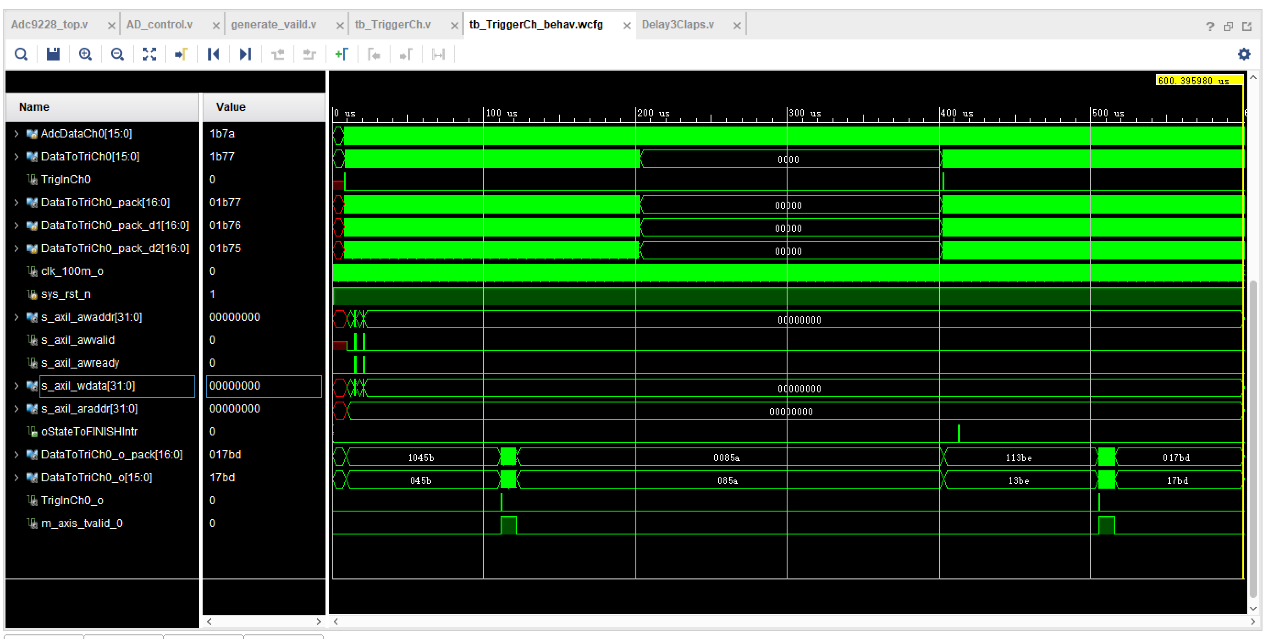
仿真结果：



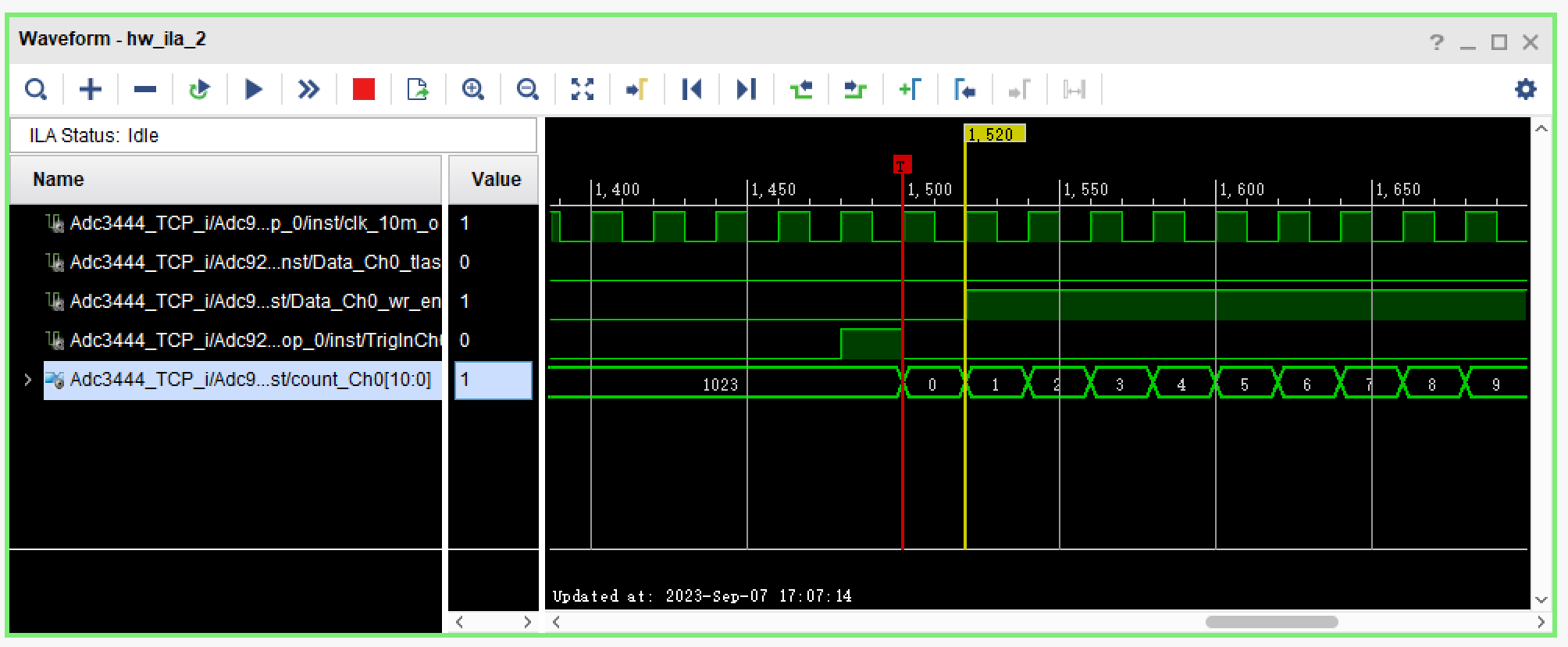


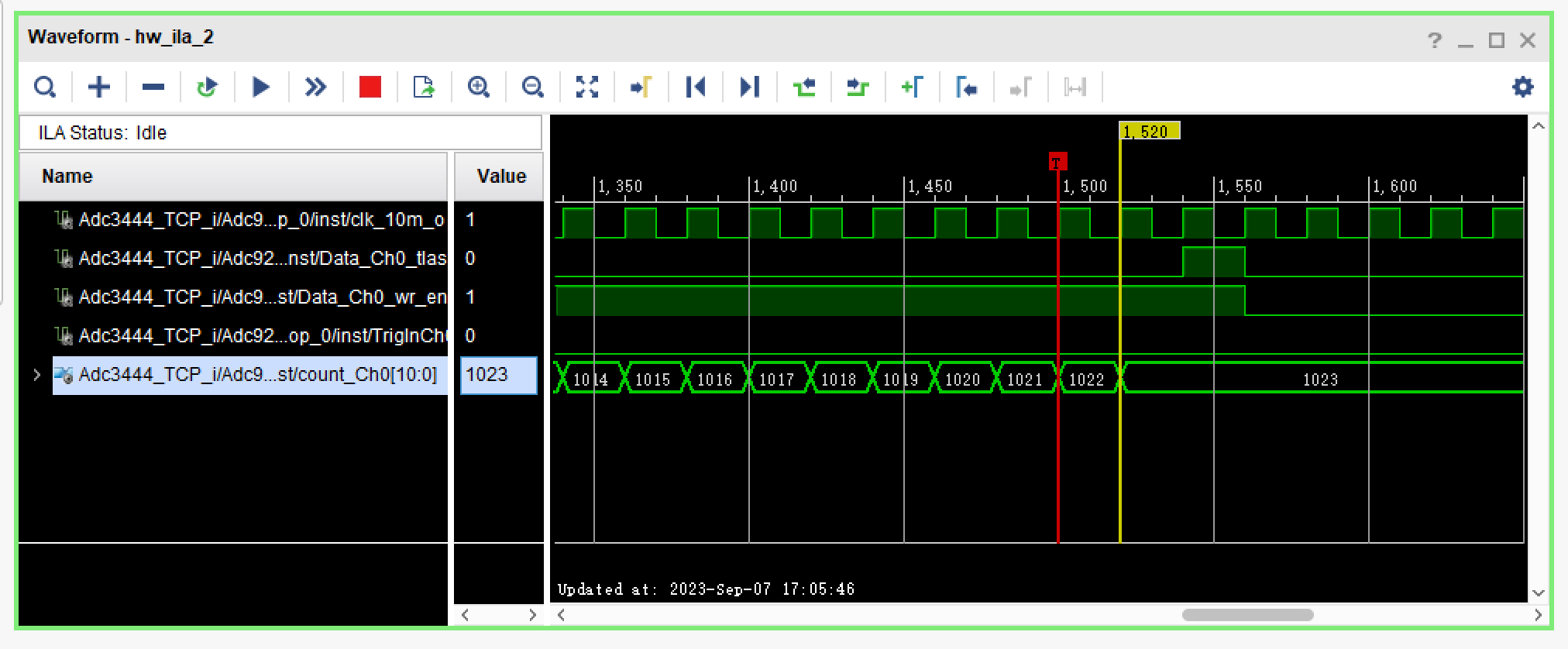
输出数据时序

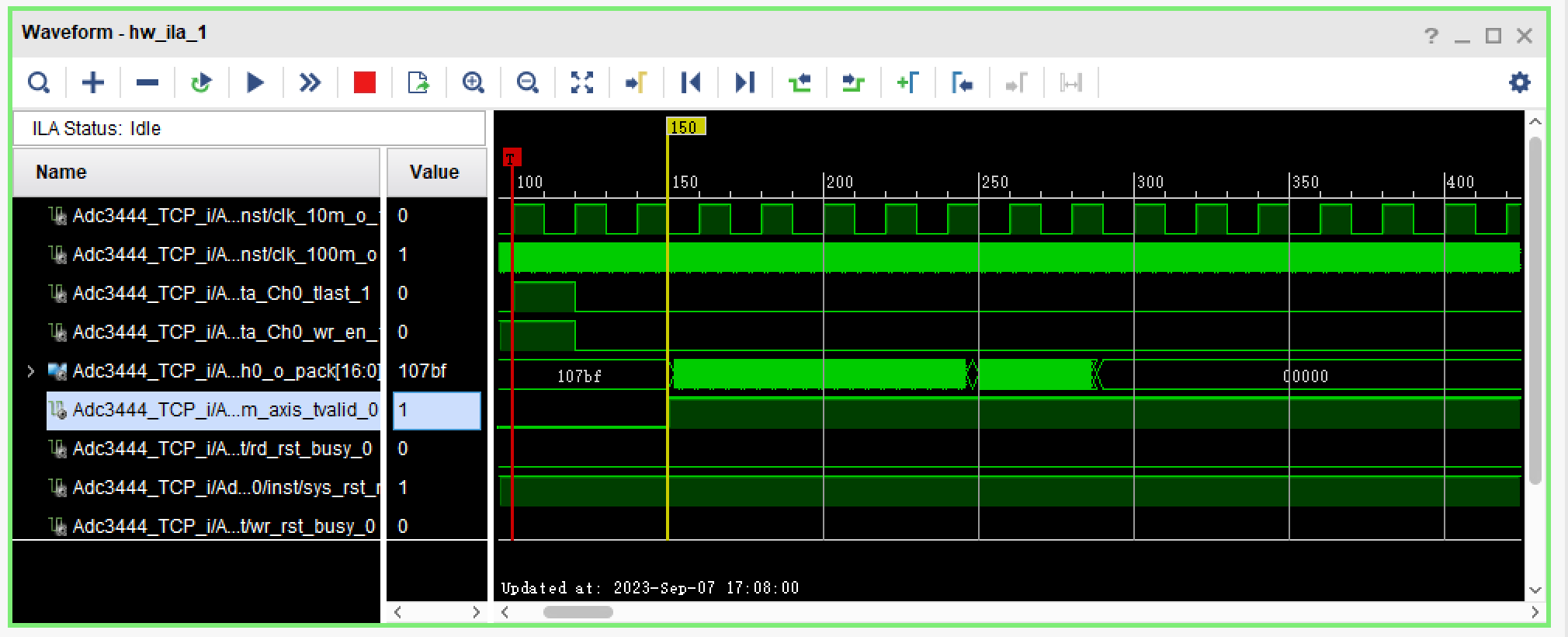




ila结果：

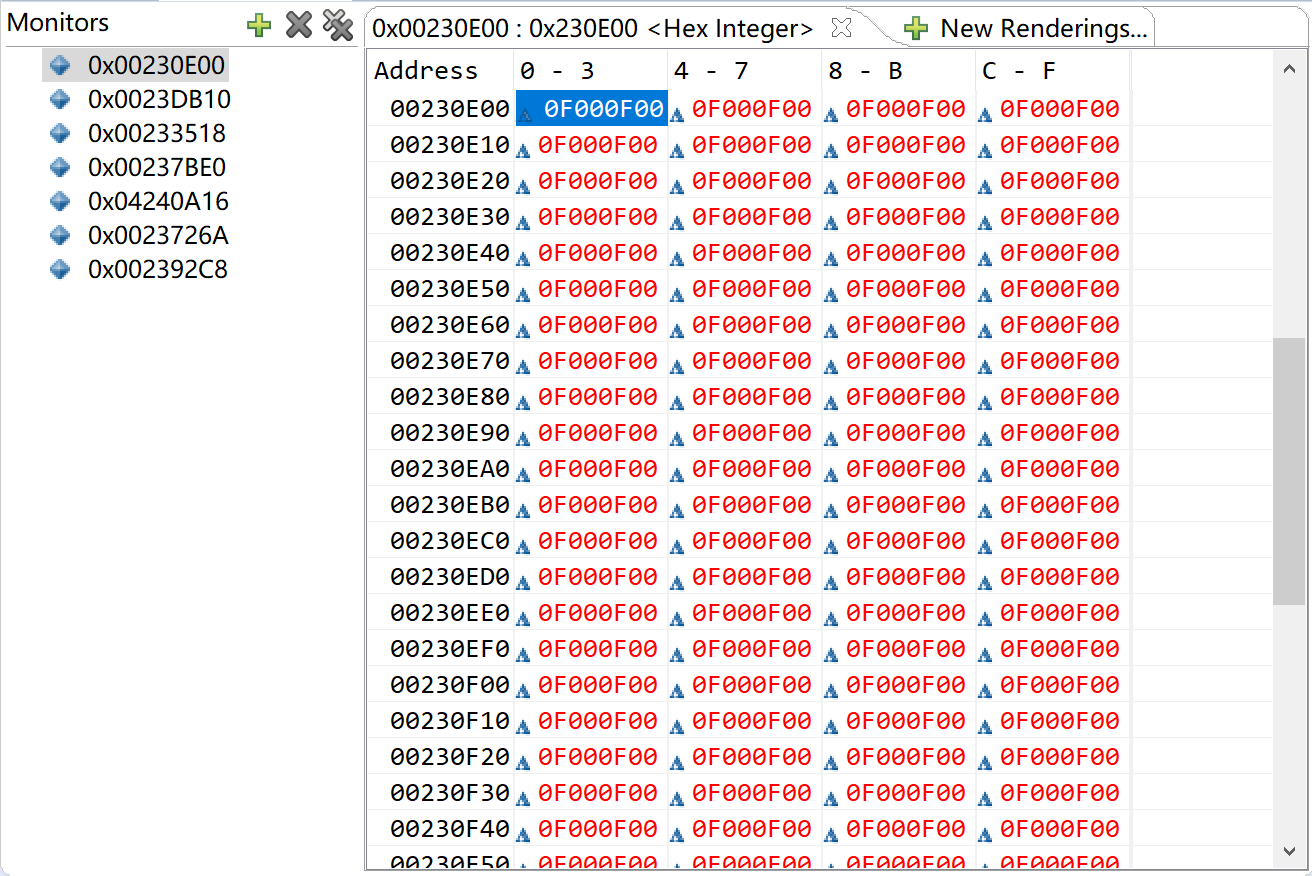






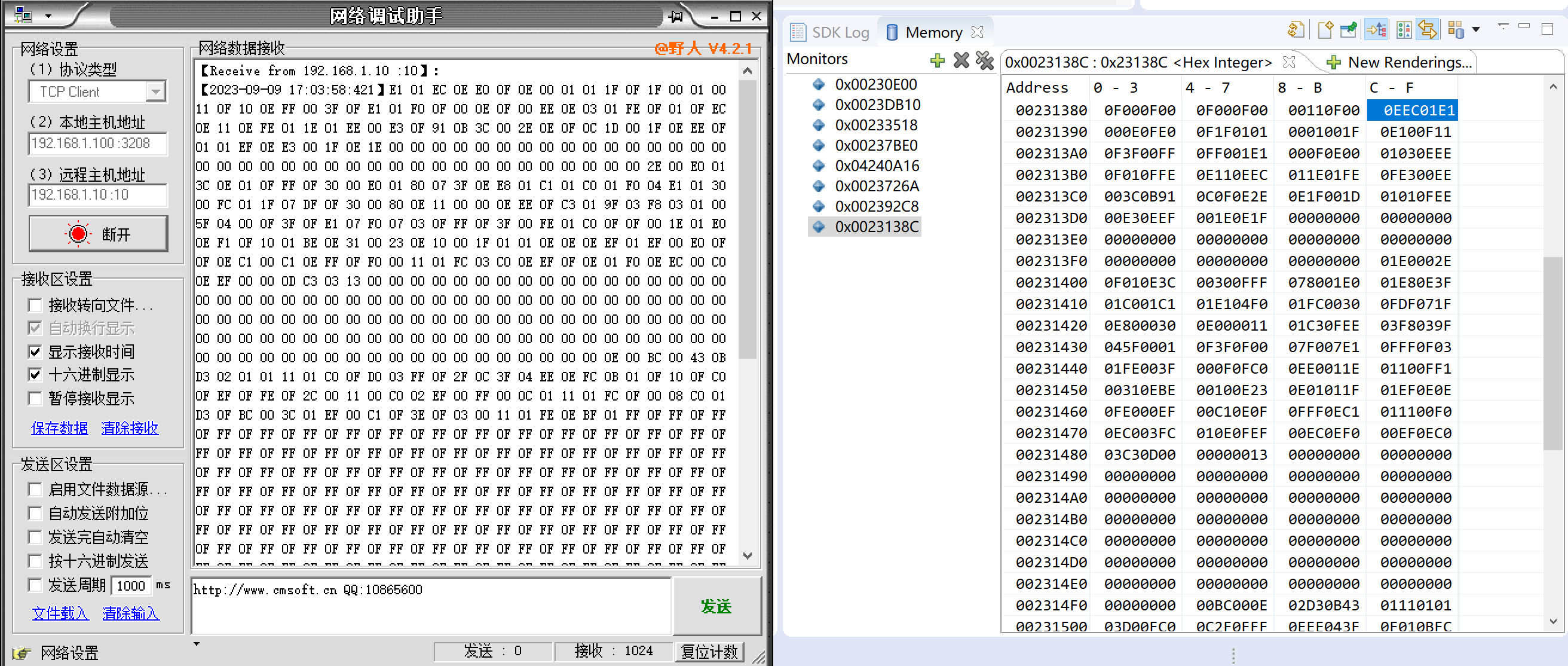
写入内存：

写入成功，基地址开始有无效数据，有效数据的开始计算为：DmaBasePtr + RingPtr，长度1024



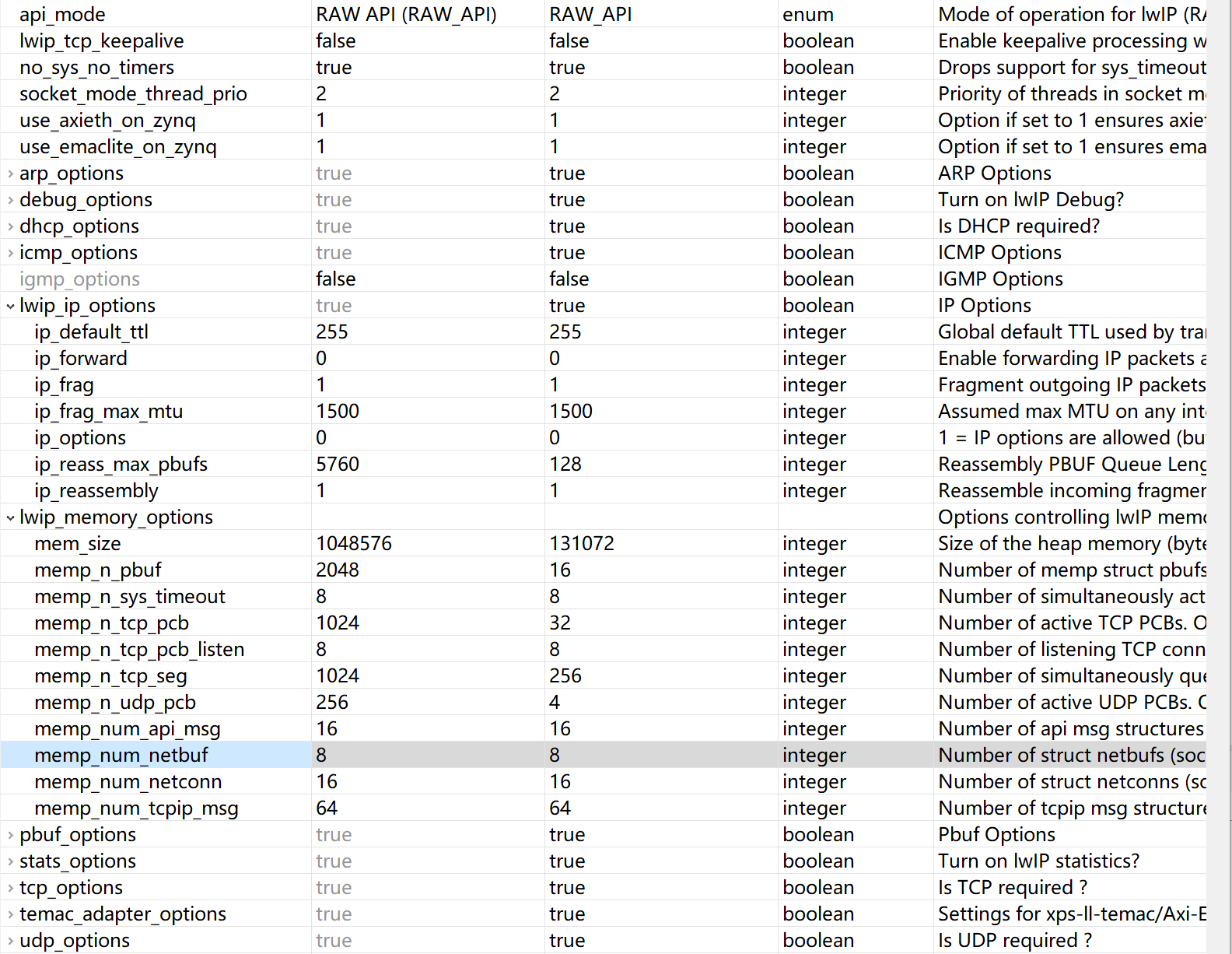


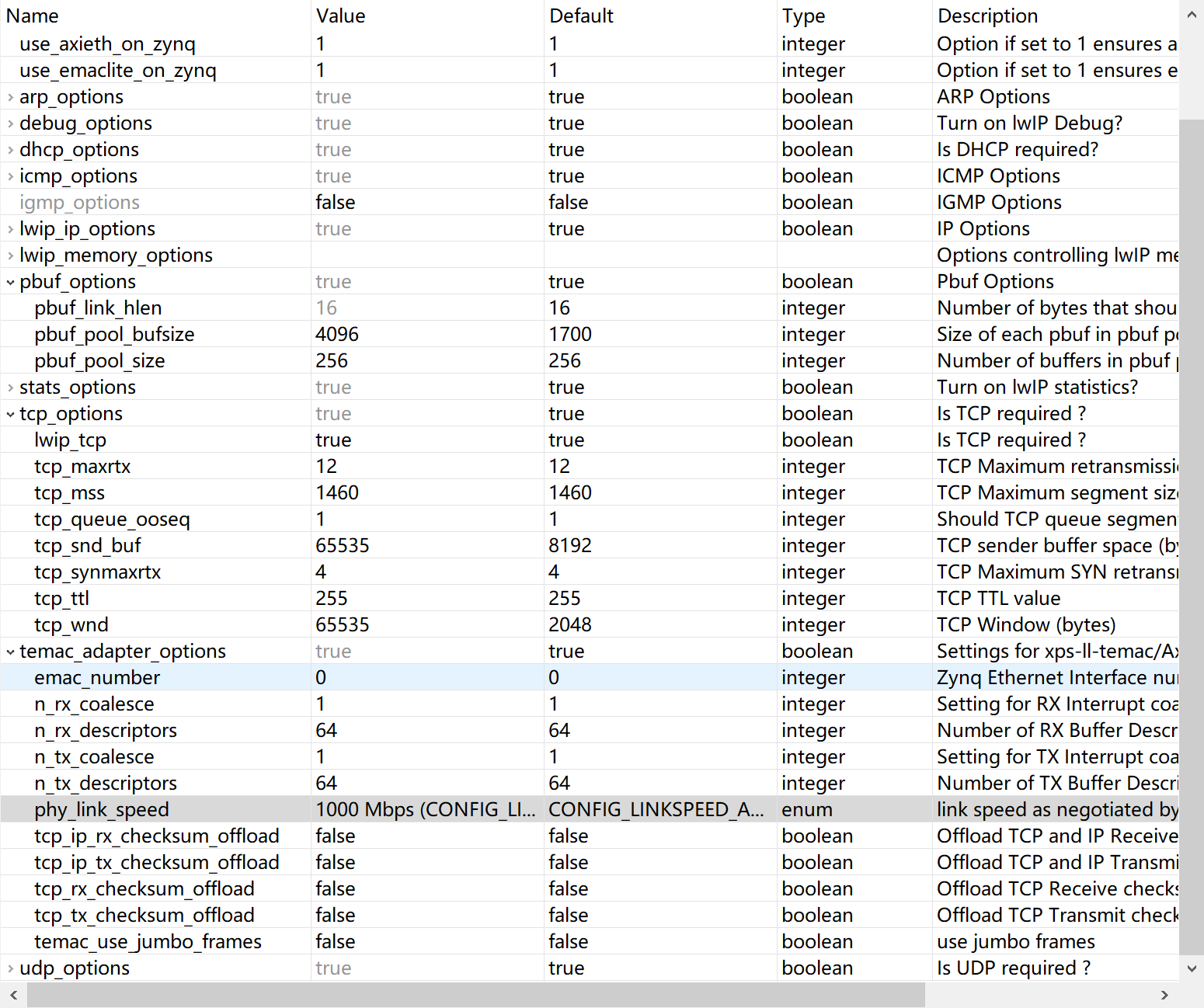
TCP发送成功：



目前发送两包卡死

lwip参数设置





修改参数后发送16次发送异常

