



Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Πανεπιστήμιο Θεσσαλίας

ECE333 - Εργαστήριο Ψηφιακών Συστημάτων

Χειμερινό Εξάμηνο — Ακαδημαϊκό Έτος 2023-2024

Εργαστηριακή Εργασία 3^η

Υλοποίηση Ελεγκτή VGA

Video Graphics Array (VGA) Driver

5/12/2023 έως 12/1/2024

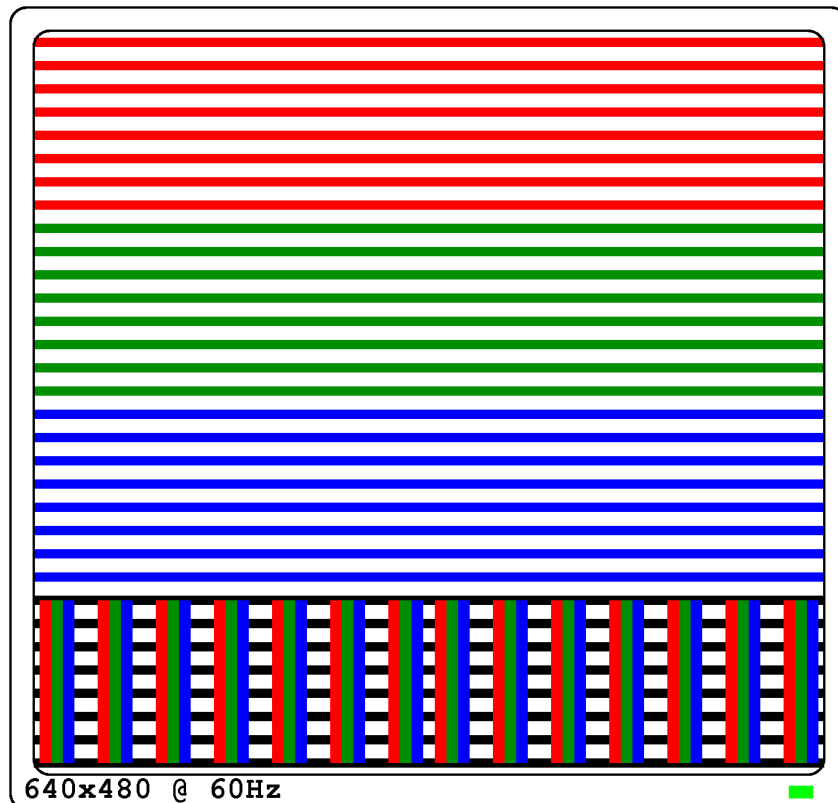
X. Σωτηρίου

Περιεχόμενα

1	Στόχος της 3ης Εργασίας	2
2	Η VGA	3
2.1	Ψηφιακή Αντιστοίχιση Χρωμάτων	3
2.2	Χρονισμός της VGA	3
2.2.1	Τιμές Διαστημάτων των Κυματομορφών	4
2.3	Ενεργοποίηση της Οθόνης	5
2.4	Video RAM (VRAM)	5
3	Δομή της Μονάδας Ελεγκτή/Οδηγού VGA	5
4	Μέρος Α - Υλοποίηση VRAM	6
5	Μέρος Β - Υλοποίηση HSYNC και Οριζόντιου Μετρητή Pixel	6
6	Μέρος Γ - Υλοποίηση VSYNC και Κατακόρυφου Μετρητή Pixel — Ολοκλήρωση του Ελεγκτή/Οδηγού VGA	7
7	Προθεσμία Παράδοσης, Υποβολή της Εργασίας και Αναφορά	7
8	Ερωτήσεις και Απορίες	7

1 Στόχος της 3ης Εργασίας

Ο στόχος της 3^{ης} εργαστηριακής εργασίας είναι η υλοποίηση ενός Ελεγκτή/Οδηγού θύρας οθόνης VGA (Video Graphics Array), για να επιτευχθεί η οδήγηση μιας συμβατικής οθόνης και η εμφάνιση εικόνας σε αυτήν. Μέρος της εσωτερικής μνήμης RAM της FPGA, θα πρέπει να οριστεί σαν Μνήμη Εικόνας/Όρασης - Video RAM (VRAM) του οδηγού, έτσι ώστε ο οδηγός να την απεικονίζει, οδηγώντας την VGA, μονίμως στην οθόνη. Η προτεινόμενη, και απλή, εικόνα προς εμφάνιση, που μπορεί να χρησιμοποιηθεί και για επαλήθευση της ορθής λειτουργίας του Ελεγκτή φαίνεται στο Σχήμα 1.



Σχήμα 1: Μια Προτεινόμενη Εικόνα Ελέγχου για Επαλήθευση του VGA Οδηγού

Η εικόνα ελέγχου του Σχήματος 1, αποτελείται από επαναλαμβανόμενα πρότυπα οριζόντιων και κατακόρυφων γραμμών των τριών βασικών χρωμάτων απεικόνισης, δηλ. **Κόκκινο**, **Πράσινο** και **Μπλε**. Στο πρώτο μέρος περιλαμβάνει εναλλάξ οριζόντιες γραμμές με κενά, ενώ στο δεύτερο κατακόρυφες γραμμές των τριών χρωμάτων σε φόντο οριζόντιων μαύρων. Η εικόνα ελέγχου θα πρέπει να βρίσκεται αποθηκευμένη στην VRAM για να απεικονιστεί.

Η απεικόνιση της εικόνας ελέγχου στην οθόνη θα πρέπει να είναι σταθερή και ευδιάκριτη. Οι προδιαγραφές οδήγησης της οθόνης είναι:

- Ανάλυση 640×480 pixel (*picture element* — στοιχείων οθόνης - κουκίδων) και
- Ρυθμός Ανανέωσης (*refresh rate*) 60Hz.

Λόγω των περιορισμών των συσκευών FPGA σε προσπελάσιμη μνήμη BRAM, το μέγεθος της VRAM, που θα υλοποιηθεί με BRAM θα πρέπει να είναι το 1/5 σε κάθε διάσταση, δηλ. 128×96 , και να υποστηρίζει οκτώ χρώματα. Η VRAM θα πρέπει να μεγενθύνεται από τον Ελεγκτή, και να γεμίζει οθόνη ανάλυσης 640×480 .

2 Η VGA

Η θύρα VGA αποτελείται συνολικά από 15 ακίδες, όπου οι 6 από αυτές, τρεις για τα αντίστοιχα (1, 2, 3), και άλλες τρεις για τις σχετικές γειώσεις (6, 7, 8), αντιστοιχούν στα τρία βασικά χρώματα, Κόκκινο (Red), Πράσινο (Green) και Μπλε (Blue). Τα σήματα χρώματος κανονικά ορίζονται ως αναλογικά, με 0.7V ύψος (peak-to-peak). Στην FPGA όμως, για λόγους απλότητας, οδηγούνται συνήθως ψηφιακά. Στη σελίδα 18 του τεχνικού δελτίου της πλακέτας Nexys A7, παρουσιάζεται αναλυτικά η ψηφιακή οδήγηση μέσω των 14 σημάτων χρώματος της FPGA. Συνολικά μπορούν να απεικονιστούν μέχρι 4096 διαφορετικά χρώματα.

2.1 Ψηφιακή Αντιστοίχιση Χρωμάτων

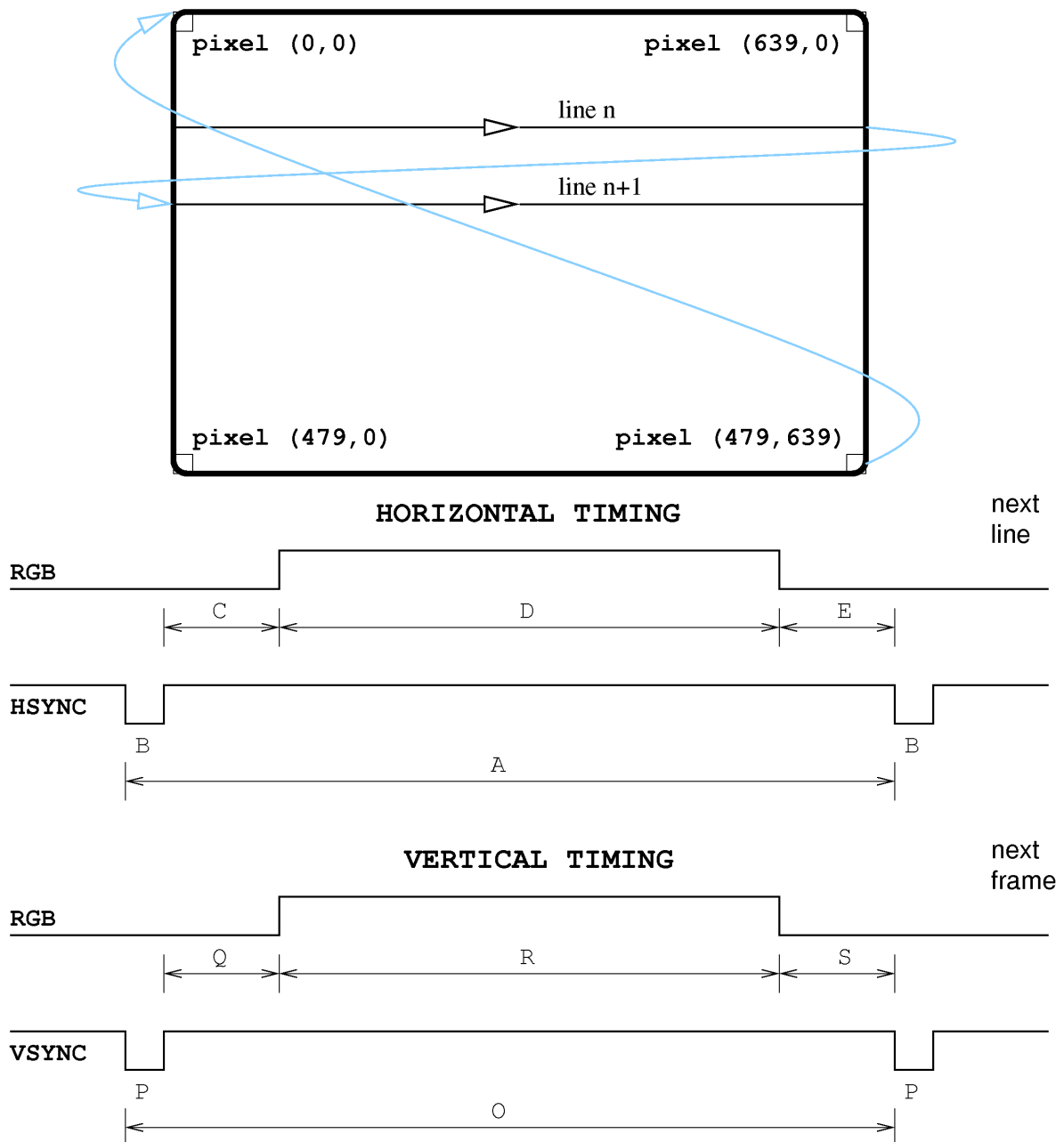
Ο παρακάτω Πίνακας παρουσιάζει μία βασική ψηφιακή χρωματική αντιστοίχιση 8 χρωμάτων, ως προς τις τιμές των σημάτων Red, Green, Blue.

Κόκκινο (Red)	Πράσινο (Green)	Μπλε (Blue)	Συνισταμένη Χρώματος
0	0	0	Μαύρο
0	0	1	Μπλε
0	1	0	Πράσινο
0	1	1	Κυανό
1	0	0	Κόκκινο
1	0	1	Μοβ
1	1	0	Κίτρινο
1	1	1	Άσπρο

2.2 Χρονισμός της VGA

Εκτός των χρωμάτων, η θύρα VGA περιλαμβάνει δυο σήματα χρονισμού, HSYNC και VSYNC, τα οποία χρονίζουν την οριζόντια και κατακόρυφη συντεταγμένη της οθόνης αντίστοιχα. Στις οθόνες τύπου Καθοδικού Σωλήνα (Cathode Ray Tube - CRT), αυτά ελέγχουν τη δέσμη, ενώ σε τύπου Υγρών Κρυστάλλων (Liquid Crystal Display - LCD), ελέγχουν την εγγραφή νέων pixel. Το Σχήμα 2 επιδεικνύει τις κυματομορφές των σημάτων χρονισμού, HSYNC και VSYNC, οι οποίες είναι πανομοιότυπες ανεξαρτήτως ανάλυσης, και την οριζόντια και κατακόρυφη διαδικασία αναστροφής.

Το σήμα HSYNC ελέγχει τον οριζόντιο χρονισμό, ενώ το VSYNC τον κατακόρυφο. Η εικόνα είναι ενεργή στα διαστήματα D οριζοντίως, και R κατακορύφως. Όσο η εικόνα είναι ενεργή, οι τιμές των σημάτων Red, Green, Blue καθορίζουν το χρώμα του υπό εμφάνιση pixel στη σχετική θέση της οθόνης. Έτσι, αυτές θα πρέπει να αλλάζουν καταλλήλως. Η οριζόντια και η κατακόρυφη σάρωση, όπως φαίνεται από τις κυματομορφές τους, είναι και μεταξύ τους πανομοιότυπες. Εστιάζουμε εδώ στην οριζόντια σάρωση, και ομοίως λειτουργεί ο χρονισμός της κατακόρυφης. Για χρόνο E μετά το πέρας της ενεργής εικόνας, τη λεγόμενη μπροστινή όψη (Front Porch — πριν τον παλμό), η εμφάνιση της εικόνας απενεργοποιείται. Ακολουθεί ο παλμός B, το πλάτος και η συχνότητα του οποίου καταδεικνύουν στην οθόνη την οριζόντια ανάλυση. Κατόπιν, και για χρόνο C, την πίσω όψη (Back Porch — μετά τον παλμό), η εικόνα μένει απενεργοποιημένη. Μετά το C, εμφανίζεται η επόμενη γραμμή για χρόνο D. Ομοίως, λειτουργεί και η κατακόρυφη σάρωση.



Σχήμα 2: Οριζόντιος και Κατακόρυφος Συγχρονισμός του VGA Οδηγού

2.2.1 Τιμές Διαστημάτων των Κυματομορφών

Όπως ειπώθηκε νωρίτερα, οι κυματομορφές των HSYNC και VSYNC είναι πανομοιότυπες ανεξαρτήτως ανάλυσης. Έτσι, ο χρονισμός των διαστημάτων A, B, C, D, E, O, P, Q, R και S εξαρτάται από την ανάλυση και τον Ρυθμό Ανανέωσης. Ο παρακάτω Πίνακας παρουσιάζει τις κατάλληλες τιμές των διαστημάτων για ανάλυση 640×480 και Ρυθμό Ανανέωσης 60Hz.

Διάστημα	Περιγραφή	Περιγραφή στα Αγγλικά	Τιμή
A	Χρόνος Σάρωσης Γραμμής	Scanline Time	32 μ sec
B	Πλάτος Παλμού HSYNC	HSYNC Pulse Width	3.84 μ sec
C	Πίσω Όψη	Back Porch	1.92 μ sec
D	Χρόνος Απεικόνισης	Display Time	25.6 μ sec
E	Μπροστινή Όψη	Front Porch	0.640 μ sec
O	Συνολικός Χρόνος Εικόνας	Total Frame Time	16.67 msec
P	Πλάτος Παλμού VSYNC	VSYNC Pulse Width	64 μ sec
Q	Πίσω Όψη	Back Porch	928 μ sec
R	Χρόνος Ενεργής Απεικόνισης	Active Video Time	15.36 msec
S	Μπροστινή Όψη	Front Porch	320 μ sec

2.3 Ενεργοποίηση της Οθόνης

Οι σύγχρονες οθόνες VGA υποστηρίζουν αυτόματη διακοπή εμφάνισης της εικόνας για εξοικονόμηση ενέργειας. Η αυτόματη αυτή διακοπή εξαρτάται από τα σήματα χρονισμού HSYNC και VSYNC. Έτσι, αν αυτά δεν οδηγούνται, η οθόνη απενεργοποιείται. Επιπλέον, και ανάλογα με τον κατασκευαστή, αν οδηγείται μόνο το ένα από τα δύο, η οθόνη επίσης απενεργοποιείται.

2.4 Video RAM (VRAM)

Η VRAM αποτελεί βασικό εσωτερικό τμήμα ενός Ελεγκτή/Οδηγού VGA, μια είναι η μνήμη που μονίμως απεικονίζεται την οθόνη. Το μέγεθος της VRAM είναι συνάρτηση της ανάλυσης, μιας και αυτή ορίζει τον αριθμό των εμφανιζόμενων pixels, και του αριθμού των χρωμάτων ανά pixel. Έτσι, η ανάλυση 640×480 , απαιτεί $640 \times 480 = 307200$ bits μνήμης, για κάθε μονόχρωμο pixel. Για τα τρία χρώματα που επιτρέπει η FPGA ανά pixel, απαιτούνται 3 bits, άρα η συνολική μνήμη που χρειάζεται για έγχρωμο pixel είναι $307200 \times 3 = 115.2$ KBytes μνήμης.

Οι περισσότερες FPGA περιλαμβάνουν εσωτερική RAM (Block RAM - BRAM), η οποία μπορεί να χρησιμοποιηθεί είτε σαν μνήμη 1-bit, είτε σαν μνήμη περισσότερων από 1-bit, και μπορεί να αντιστοιχηθεί, στην υλοποίηση του Ελεγκτή VGA σε VRAM. Παρόλο που οι FPGA έχουν διαθέσιμη μνήμη BRAM, λ.χ. η SPARTAN3 (XC3S200) έχει 216 KBytes, ενώ η SPARTAN3E (XC3S500E) έχει 360 KBytes, δεν είναι όλη αυτή η μνήμη προσπελάσιμη ως ένα μονολιθικό τμήμα. Οι διαθέσιμες αντιστοιχίσεις και για τις δυο συσκευές είναι $16K \times 1$ (16 KBytes του 1-bit), $8K \times 2$, $4K \times 4$, $2K \times 8$, $1K \times 16$, κτλ.

Έτσι, λόγω έλλειψης εύκολα προσπελάσιμης μνήμης BRAM στη συσκευή, και για λόγους απλότητας της υλοποίησης, σας προτείνεται να χρησιμοποιήσετε τρεις BRAM, μια για κάθε χρώμα, και μεγέθους $16K \times 1$, για να υλοποιήσετε την απαιτούμενη VRAM 128×96 .

3 Δομή της Μονάδας Ελεγκτή/Οδηγού VGA

Η προτεινόμενη μορφή του Ελεγκτή VGA φαίνεται στο Σχήμα 3 παρακάτω. Όλα τα σήματα του Ελεγκτή VGA θα πρέπει να αντιστοιχηθούν στα κατάλληλα σήματα της πλακέτας, μέσω περιορισμών στο αρχείο XDC (Xilinx Design Constraints). Η κατάλληλη αντιστοίχιση βρίσκεται στα αντίστοιχα τεχνικά δελτία της πλακέτας Nexys A7-100T.

```

module vgacontroller(reset, clk, VGA_RED, VGA_GREEN, VGA_BLUE, VGA_HSYNC, VGA_VSYNC);

    input reset, clk;

    output VGA_RED, VGA_GREEN, VGA_BLUE;
    output VGA_HSYNC, VGA_VSYNC;

    ...

endmodule

```

Σχήμα 3: Μια Μορφή Υλοποίησης του Ελεγκτή VGA

4 Μέρος Α - Υλοποίηση VRAM

Η VRAM αποτελεί κεντρικό τμήμα του Ελεγκτή VGA. Χρησιμοποιώντας τα κατάλληλα πρότυπα BRAM υλοποιήστε την απαιτούμενη VRAM του ελεγκτή. Τα πρότυπα μπορείτε να τα βρείτε, είτε στο σχετικό Τεχνικό Δελτίο, είτε μέσω του Vivado, στο μενού Tool→Language Templates→Verilog→Device Primitive Instantiation→Artix-7. Όπως ειπώθηκε νωρίτερα, η VRAM θα πρέπει να χωράει εικόνα μεγέθους 128×96 pixel και οκτώ χρωμάτων. Η είσοδος της VRAM θα είναι η διεύθυνση ενός pixel, ενώ η έξοδος της θα παράγει τις τιμές των χρωμάτων του συγκεκριμένου pixel.

Η αρχικοποίηση των BRAM μπορεί να γίνει με πολλούς τρόπους, λ.χ. μέσω παραμέτρων .INIT_xx. Έτσι, μπορείτε να περιγράψετε, μέσω των παραμέτρων αυτών, την οθόνη ελέγχου για τη δοκιμή της ορθής υλοποίησης του Ελεγκτή. Για τη δοκιμή της VRAM, γράψτε ένα απλό πλαίσιο δοκιμής που να διαβάζει pixel από διαφορετικές διευθύνσεις, και με διαφορετικά χρώματα. Η δοκιμή του Μέρους Α αρκεί να γίνει σε επίπεδο συμπεριφοράς.

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench) και τα αποτελέσματα της προσομοίωσης σε επιτηρητή του εργαστηρίου.

5 Μέρος Β - Υλοποίηση HSYNC και Οριζόντιου Μετρητή Pixel

Υλοποιήστε το σήμα HSYNC, με τον κατάλληλο χρονισμό, για ανάλυση 640×480 και Ρυθμό Ανανέωσης 60Hz. Σας προτείνεται, σε συγχρονισμό με το HSYNC, να δημιουργήσετε έναν οριζόντιο μετρητή pixels, HPIXEL, ο οποίος θα επιδεικνύει το εκάστοτε ενεργό pixel της VRAM. Έτσι, η διεύθυνση pixel της VGA, θα μπορεί να προκύπτει με τη συνένωση των κατακόρυφων και οριζόντιων μετρητών, δηλ. $vga_addr = \{VPIXEL, HPIXEL\}$, όπου η διεύθυνση θα πρέπει να αποτελείται από τον κατάλληλο αριθμό bits.

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench) και τα αποτελέσματα της προσομοίωσης σε επιτηρητή του εργαστηρίου.

6 Μέρος Γ - Υλοποίηση VSYNC και Κατακόρυφου Μετρητή Pixel — Ολοκλήρωση του Ελεγκτή/Οδηγού VGA

Υλοποιήστε αναλόγως το σήμα VSYNC και τον σχετικό μετρητή VPIXEL, ολοκληρώνοντας την υλοποίηση του Οδηγού/Ελεγκτή VGA. Η κατακόρυφη σάρωση θα πρέπει να συγχρονίζεται καταλλήλως με την οριζόντια, όπως περιγράφηκε νωρίτερα. Ελέγξτε, μέσω προσομοίωσης, ότι οι κυματομορφές VSYNC και HSYNC έχουν τον σωστό χρονισμό για την απαιτούμενη ανάλυση, και επίσης ότι τα σήματα των χρωμάτων, VGA_RED, VGA_GREEN, VGA_BLUE, έχουν τον σωστό σχετικό χρονισμό με τα VSYNC, HSYNC, και ότι είναι απενεργοποιημένα στο 0, εκτός των διαστημάτων D και R.

Όταν η κυκλωματική υλοποίηση είναι ορθή, επιδείξτε τον κώδικα Verilog που γράψατε για το κύκλωμα (RTL Design) και το πλαίσιο δοκιμής (Testbench), τα αποτελέσματα της προσομοίωσης, και το κύκλωμα εν λειτουργία σε επιτηρητή του εργαστηρίου.

7 Προθεσμία Παράδοσης, Υποβολή της Εργασίας και Αναφορά

Η προθεσμία παράδοσης της 3^{ης} εργασίας είναι η 12/1/2024.

Μέχρι την προθεσμία της εργασίας θα πρέπει:

- να έχετε επιδείξει όλα τα επιμέρους μέρη της εργασίας στους επιτηρητές,
- να έχετε υποβάλλει τον κώδικα σας (RTL Design και Testbench) για κάθε σκέλος υλοποίησης ξεχωριστά,
- να έχετε υποβάλλει μια εργαστηριακή αναφορά, βάση των σημειώσεων από το βιβλίο του εργαστηρίου, με όλη την απαραίτητη πληροφορία (*Dataflow, FSM State Graph(s), Simulation Screenshot(s), etc.*).

8 Ερωτήσεις και Απορίες

Για οποιεσδήποτε ερωτήσεις και απορίες εκμεταλλευτείτε τον ιστιότοπο του e-Class και το χρόνο του εργαστηρίου ρωτώντας τους επιτηρητές.