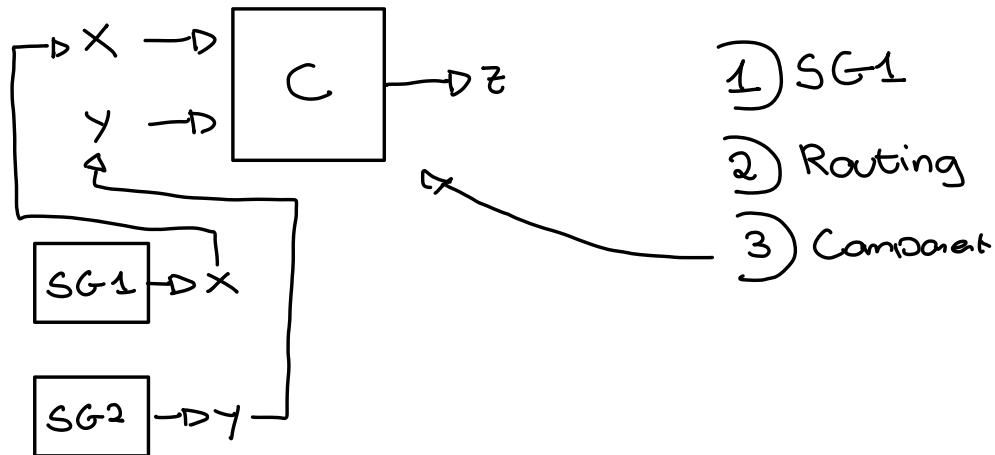


VHDL → descrivo l'Hardware



Programma di Test in VHDL

[...]

process → è un processo, è una scatole che contiene le operazioni
begin

x(0) <= '0'; wait for 5 ns;

x(0) <= '1'; wait for 5 ns;

end

[..]

è stato definito prima

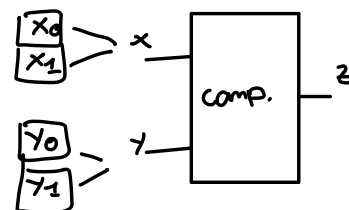
end process

ho creato un segnale con duty cycle 50%



Ci: compare port map (x, y, z)

la mia architettura



⚠ L'Ordine in cui scrivo le cose NON cambia!

process → begin [...] end
 |
 eseguo in modo sequenziale