

→ **VHDL** → Linguaggio per il design di circuiti



**Circuital**

$$Y = A \text{ and } B$$

**Data flow**

A	B	Y
0	0	0
0	1	0
...	...	...

**Behavioral**

if  $A = B$

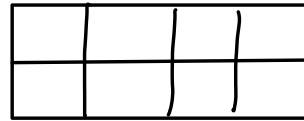
$Y = 1$

else  $Y = 0$

**Language**

→ Circuiti Integrati

In ogni cella ho  
un AND, OR, ADDER...

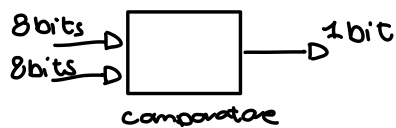


matrice

Utilizzo solo quello che mi serve  
il resto resta spento.

→ Comparatore di bits

Steps:



XOR

0 0 = 1

1 1 = 1

0 1 = 0

1 0 = 1

① Tabella I/O

② Scrivo il programma



```
library ieee;  
use ieee.all;
```

} dichiaro le librerie

```
entity (  
    ...  
)
```

} dichiaro le entità I/O

```
architecture ...  
begin  
    ...  
end
```

} la mia funzione  
↓  
assegnazione  
condizionate

Scaricare Modelsim!

,

↪ SEMPRE FILE VHDL