

⚠ Non mi interessa l'ordine in cui scrivo i comandi

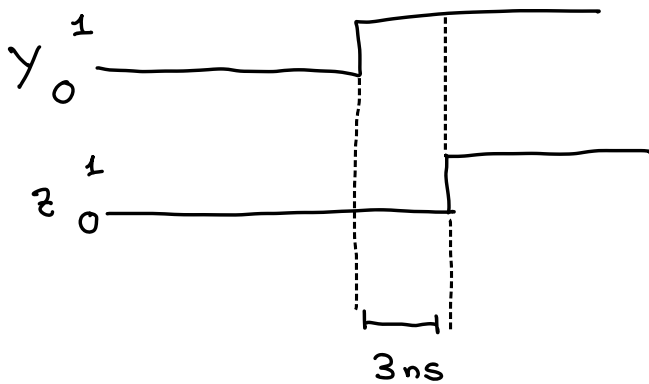


Lezione VHDL v2

↓
pag 36



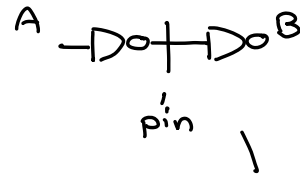
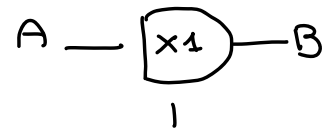
I cambiamenti vengono schedulati
se qualcosa prima e'
successa



$Y \leq Z$ after 3ns

/
va bene
per simulare

/
NON VA
BENE COME
PROGETTO!



buffer 3 state
con ritardo

→ Pag 10 Lezione 8 → Importante per
Progetto



describo la
tabella di
verita'

→ Progetto

- ① Simboli I/O
- ② Ragionare → Schema a blocchi. → divido ciò che
no da fare in
parti più piccole
- ③ Progettazione dei singoli blocchi.
- ④ Testo ogni componente prima di passare al blocco
successivo.