

# Die CPU, der Prozessor

*Ein Referat von Thomas Junkert und Jürgen Bodri  
FTET3d im Dezember 2001*

Quellenangabe:

[www.bigtom.ch](http://www.bigtom.ch)

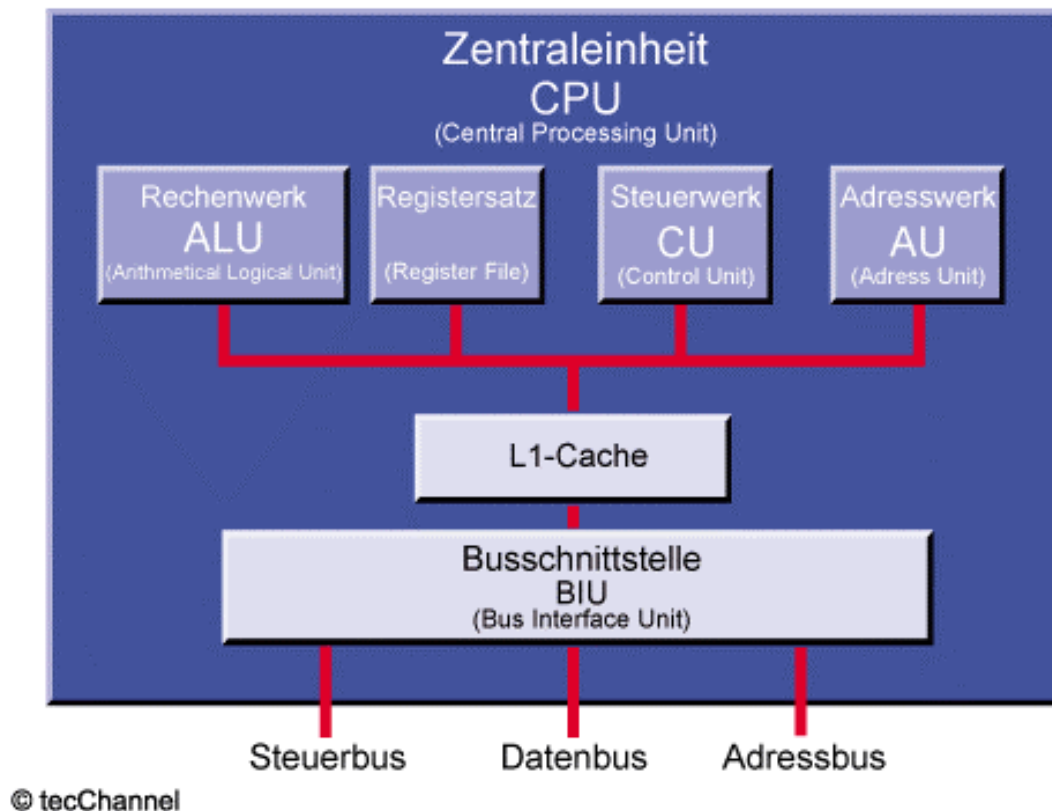
[www.tomshardware.de](http://www.tomshardware.de)

[www.hardwaregrundlagen.de](http://www.hardwaregrundlagen.de)

1. Das Funktionsprinzip
  - 1.1 CPU (Central Processing Unit)
    - 1.1.1 Das Rechenwerk – Die ALU
    - 1.1.2 Das Steuerwerk
    - 1.1.3 Der Registersatz
    - 1.1.4 Das Bussystem
    - 1.1.5 Interne Taktfrequenz
    - 1.1.6 Das Adresswerk
  - 1.2 Pipelining
    - 1.2.1 Branchprediction
  - 1.3. Superscalararchitektur, Funktionsblöcke
    - 1.3.1 Out of Order Execution, Parallelverarbeitung
  - 1.4 RISC und CISC Architektur
  - 1.5.1 L1 Cache
  - 1.5.2 L2 Cache
  - 1.6 SIMD: MMX, 3D-Now
  - 1.7 Ablaufdiagramme
2. Sockel
3. Die CPUs von Intel & AMD
  - 3.1 Intel CPU
    - 3.1.1 PI
    - 3.1.2 PI
    - 3.1.3 PII
    - 3.1.4 PIII
    - 3.1.5 PIV
    - 3.2.6 Celeron
  - 3.2 AMD
    - 3.2.1 K6-2
    - 3.2.2 Athlon
    - 3.2.3 Athlon Thunderbird
    - 3.2.4 Athlon XP
    - 3.2.5 Duron
4. Die Zukunft

## 1 Das Funktionsprinzip der CPU

Das Funktionsprinzip wurde von dem in Budapest geborenen Mathematiker John von Neumann erdacht und in dem US-Militärcomputer EDSAC im Jahr 1949 erstmals realisiert. Die „**Von-Neumann-Architektur**“ besteht aus vier Funktionseinheiten, die in Bild 1 zu sehen sind: Rechenwerk, Steuerwerk, Speicher (Memory) und Ein-/Ausgabeeinheit (I/O-Unit). Dazu kommen noch die Verbindungen zwischen den Funktionsblöcken - das Bussystem.



### 1.1 CPU (Central Processing Unit)

Eine CPU besteht im Wesentlichen aus einem Steuerwerk und einer Recheneinheit. Die Recheneinheit besteht aus der ALU (Arithmetic Logical Unit) und dem Registersatz und übernimmt die eigentliche Datenverarbeitungsfunktion innerhalb der CPU. Das Steuerwerk organisiert und kontrolliert die gesamte Arbeit sowohl der CPU als auch des Rechnersystems als Ganzes. Um alle Komponenten innerhalb der CPU und des kompletten Rechnersystems zu verbinden bzw. eine Kommunikation herzustellen gibt es das so genannte Bussystem, welches aus mehreren Arten von "Bussen" besteht.

### **1.1.1 Das Rechenwerk - die ALU (Arithmetic Logical Unit)**

Das Steuerwerk ist mit allen Funktionseinheiten des Rechners verbunden, die am Programmablauf beteiligt sind. Während der Bearbeitung eines Programms hat das Steuerwerk folgende Aufgaben:

Laden der Befehle (Anweisungen des Programms) aus dem Hauptspeicher in das Befehlsregister. Das Befehlszählregister enthält die Adresse des nächsten auszuführenden Befehls.  
Decodierung der Befehle.  
Interpretation der Befehle.  
Versenden von Steuersignalen an die Funktionseinheiten, die an der Ausführung der Befehle beteiligt sind.

### **1.1.2 Das Steuerwerk**

Es stellt ein durch einen externen Takt gesteuertes Schaltwerk dar, welches entsprechend den auszuführenden Befehlen konkrete Folgen elementarer Transport und Verarbeitungsaktionen auslöst. Die konkrete Funktion und der Ablauf eines Befehls sind konstant und reproduzierbar und werden bei der Herstellung des Prozessors fest vorgegeben.

### **1.1.3 Der Registersatz**

Unter dem Registersatz versteht man CPU interne Speicherzellen, die im Gegensatz zu externen Speicherzellen sehr schnelle Zugriffszeiten haben. Die Register dienen der direkten Datenablage, sie stellen Operanden für arithmetische und logische Operationen bereit und nehmen die Ergebnisse der Verarbeitung auf. Diese Register bezeichnet man als Universalregister. (Anmerkung: Die Anzahl binärer Stellen (BITS) in jedem Universalregister entspricht der Verarbeitungsbreite der ALU und ist ein Maß dafür, welche Informationsmenge der Prozessor mit einem Befehl bearbeiten kann. Sie beträgt typisch 4, 8, 16, 32 oder 64 Bit. Breitere Register bedeuten in der Regel eine höhere Leistungsfähigkeit und erlauben einen größeren Bereich darzustellender Informationen in einem Register.) Neben den Universalregistern gibt es noch die Adresszeigeregister und die Spezialregister. Die Adresszeigeregister stellen Informationen für Zugriffe auf Speicherzellen bereit. Durch die Bitbreite der Adresszeigeregister ist die maximale Anzahl möglicher Adresskombinationen und damit die Anzahl eindeutig ansprechbarer Speicherplätze bestimmt. Die Spezialregister übernehmen besondere Aufgaben bei der Steuerung der Befehlsabarbeitung und der gesamten Arbeit des Prozessors. Die wichtigsten Spezialregister sind:

PC - der "Program Counter" oder Befehlszähler

Flags - die Flag Register speichern Sonderfälle bei Operationen der ALU

SP - der "Stackpointer" adressiert den Ort, an dem Rückkehr-Informationen bei Prozeduraufrufen im Speicher abgelegt wurden

### **1.1.4 Das Bussystem**

Das Bussystem verbindet die verschiedenen Einheiten eines Rechnersystems (Speicher, CPU, periphere Einheiten) miteinander und vermittelt den Datenaustausch zwischen ihnen. Alle Komponenten nutzen einen gemeinsam Transportweg, den Bus, an den sie parallel angeschlossen sind. Die Koordination der Übertragung, d.h. die Auswahl von Sender und Empfänger und die zeitliche Synchronisation, wird über zusätzliche Steuersignale geregelt. Entsprechend den zu übertragenden Informationen kann man eine funktionelle Trennung des Bussystems in Teilbusse vornehmen:

- Der Adressbus stellt die Ziel- bzw. Quelladresse des Datentransfers bereit

- Der Datenbus überträgt die eigentlichen Daten
- Der Steuerbus übernimmt die Koordination des Datentransfers hinsichtlich zeitlichem Ablauf und Auswahl der Übertragungsrichtung

### **1.1.5 Interne Taktfrequenz**

Eine wichtige Größe ist die (interne) Taktfrequenz, die in MHz angegeben wird. Ein Megahertz entspricht einer Millionen Schwingungen pro Sekunde. Diese Maßzahl definiert, wie schnell die CPU eines Rechners ist, und lässt mit Einschränkungen gewisse Rückschlüsse auf die Geschwindigkeit des kompletten Rechnersystems zu, ohne jedoch dafür allein maßgeblich zu sein.

### **1.1.6 Das Adresswerk**

Das Adresswerk besteht aus einem Adressaddierer (einer spezialisierten ALU), Hilfs- und Pufferregistern. Es berechnet nach Vorgaben des Steuerwerkes die Adressen von Operanden und Befehlen. Die Arbeit könnte zwar ein Rechenwerk auch erledigen, aber ein eigenes Adresswerk bringt Geschwindigkeitsvorteile, da das Operationswerk bei Adressberechnungen schon andere Operationen durchführen kann. Für die Durchführung von Pipelining ist das Adresswerk notwendig. Im Gegensatz zum Adresswerk enthält das Rechenwerk ein Statusregister und die darin enthaltenen ALU hat einen weit höheren Funktionsumfang.

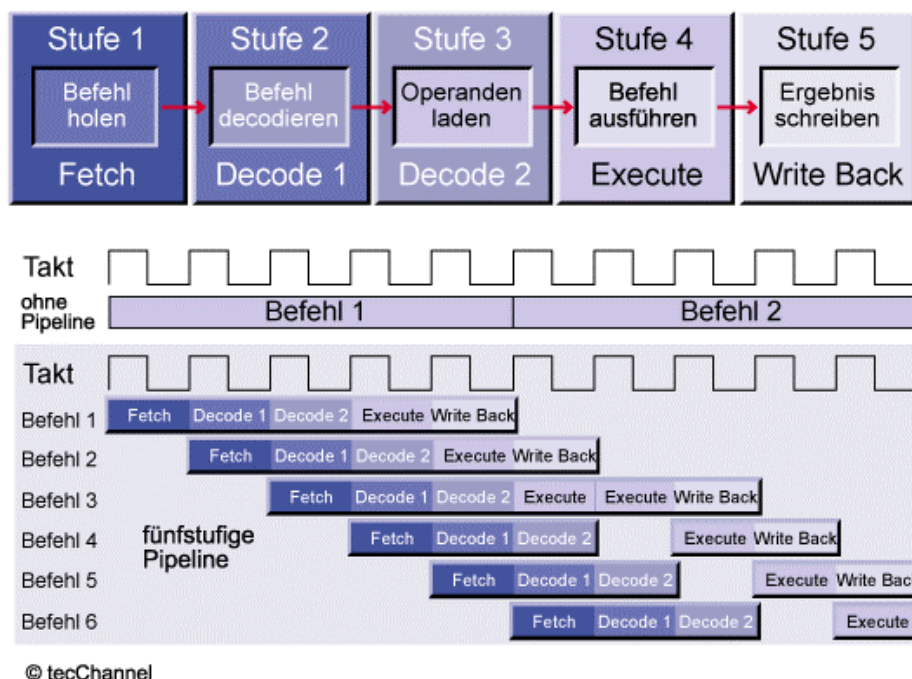
## 1.2 Pipelining

Die Idee, die hinter Pipelining steckt lässt sich am besten mit dem Konzept der Fließbandarbeit in der realen Welt vergleichen.

Wie bei der Fließbandarbeit wird beim Pipelining der Gesamtauftrag in  $n$  (etwa gleichgroße) Teilaufträge zerlegt. Die Pipeline selbst besteht aus  $n$  Stationen, die ihrerseits auf die Abarbeitung genau einer Teilaufgabe spezialisiert sind. Der Auftrag "fließt" also durch die Pipeline und wird Stück für Stück bearbeitet bis er vollständig abgearbeitet die Pipeline verlässt.

Statt von Stationen spricht man bei einer Pipeline von Stufen oder *Stages*. Jede dieser Stages ist also nur  $1/n$  der gesamten Auftragsbearbeitung mit dem Auftrag beschäftigt, so dass sie, nachdem sie ihren Teil des Auftrages abgearbeitet hat, sofort einen neuen Auftrag entgegennehmen kann.

### 1.2.1 Branch Prediction



#### Branchprediction Notwendigkeit von Vorhersagemechanismen

Bei neueren Mikroarchitekturen mit langen Pipelines liegen viele Taktzyklen zwischen dem Holen eines Verzweigungsbefehls aus dem Speicher und der Auswertung der Sprungbedingung. Dazwischen werden viele nachfolgende Befehle in die frühen Pipelineinstufen geladen, ohne dass feststeht, ob sie später wirklich ausgeführt werden sollen oder nicht. Es kommt deshalb drauf an, sicher zustellen, dass die gehaltenen Befehle mit großer Wahrscheinlichkeit ausgeführt werden, oder anders ausgedrückt - dass wirklich die richtigen Befehle geholt werden. Um dies zu gewährleisten, ist eine möglichst präzise Sprungvorhersage (Branch Prediction) erforderlich. Ist die Sprungvorhersage falsch, so müssen die früheren Pipelineinstufen geleert werden. Insbesondere bei langen Pipelines treten dann massive Verzögerungen bis zum Nachladen der richtigen Befehle auf. Mit der Zeit sind viele verschiedene Ansätze entwickelt worden, um dieses Problem zu lösen. Die einfachste Möglichkeit ist, die auf einen Sprungbefehl folgenden Befehle einfach ausführen und falls sich das als falsch herausstellt, diese Befehle zu verwerfen und rückgängig zu machen. Bei dieser Methode wird jedoch die Pipeline nur zu einem geringen Prozentsatz ausgelastet, da ein Programm durchschnittlich aus 15% Sprungbefehlen besteht. Bei einem anderen Ansatz fügt der Compiler bzw. Assembler-Programmierer direkt nach einem Sprungbefehl einen von diesem Sprungbefehl unabhängigen Befehl ein (delayed branch). Dieser wird immer ausgeführt

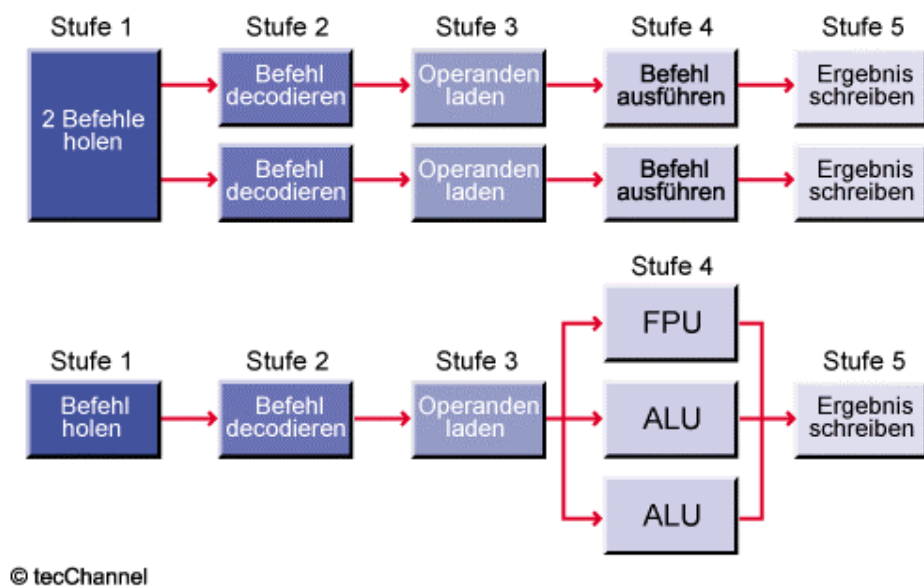
(unabhängig von dem Ausgang des Sprungbefehls). Die Pipeline muss jetzt nicht mehr angehalten werden.

Der Compiler findet jedoch nicht oft solche von der Verzweigung unabhängige Befehle und fügt einen nop (no operation) Befehl ein. Somit bringt diese Methode nicht die erwünschte Verbesserung. Deshalb versucht man den Ausgang des Sprungbefehls vorherzusagen um den nächsten Befehl laden zu können.

### 1.3 Parallele Ausführung : Superscalar Design

Es gibt zwei Möglichkeiten Pipelines weiter zu verbessern. Die eine ist die Verwendung von Superscalar Design, hierbei werden mehrere gleiche Pipelines parallel geschaltet. Dies ermöglicht bei m parallelen Pipelines und unendlich vielen unabhängigen Aufträgen einen Speedup von m.

$$S(m,1) = (N + k - 1) / (N/m + k - 1)$$



#### 1.3.1 Out-of-Order-Execution

Während noch ein Befehl in der einen Pipeline abgearbeitet wird, beginnt der Prozessor schon mit der Abarbeitung eines darauffolgenden Befehls. Dabei müssen die Abhängigkeiten zwischen den einzelnen Befehlen beachtet und evtl. nachträglich korrigiert bzw. entfernt werden.

##### Speculative Execution

RISC Feature des Pentium-Pro, K6, M-II und Pentium-II. In Zusammenhang mit einer Branch Prediction wird bereits der Code hinter einem Sprung ausgeführt, ohne daß bekannt ist, ob der Sprung auch wie vorhergesagt ausgeführt wird. War die Vorhersage korrekt, ist schon ein Befehl hinter dem Sprung in Bearbeitung oder gar ausgeführt. Eng verwandt mit Out-of-Order-Execution.

## 1.4 CISC - die natürliche Evolution (Complex Instruction Set Computer)

Bei den Begriffen geht es darum wie die CPU eines Computers arbeitet. Bei dem CISC Modell hat die CPU üblicherweise wenige Register (Speicherplätze in der CPU), wovon manche auch meist Spezialaufgaben haben. Dazu finden sich viele Befehle, darunter auch sehr mächtige, die z.B. in einer Schleife gleich mehrere Register bearbeiten. Die Befehle haben meist ungleiche Befehlslängen. Die am häufigsten benutzten nur ein Byte, weniger häufige zwei oder drei Bytes. Dadurch kann der Code kompakt gehalten werden.

Wenn eine CPU weiterentwickelt wird, kommt es oft vor das sie immer mehr in Richtung CISC wandert. Der

### RISC - Reduziert auf Geschwindigkeit (Reduced Instruction Set Computer)

RISC geht einen anderen Weg. Man beschränkt sich auf die wirklich notwendigen Befehle. Als Ausgleich hat mehr erheblich mehr Register (bis zu 256) auf dem Chip, so das man viel öfters schnelle Register-Register Operationen hat als langsame Speicher-Register Operationen. Die wenigen Befehle machen das Design einfacher und man kann den Prozessor billiger herstellen. Gleichzeitig vereinheitlicht man das Datenformat. Bei CISC kann ein Befehl mal ein Byte, mal drei Byte lang sein, dazu kommen eventuell noch einige Bytes für Daten. Kurzum, das Dekodieren eines solchen Befehles dauert, wodurch Zeit verloren geht. Bei RISC haben alle Befehle eine einheitliche Länge, wodurch das Dekodieren schneller geht, aber Code zwangsläufig größer ist.

### 1.5.1 First-Level-Cache

Der First-Level-Cache befindet sich auf dem Chip des Prozessors. Es handelt sich dabei um einen sehr schnellen Zwischenspeicher. Die Größe des Caches ist vom Prozessortyp abhängig. Der 486 DX hat acht KByte Cache, während der 486 DX4-100 von INTEL 16 KByte hat. Die AMD-Variante AMD 486 DX4-100 besitzt lediglich 8 KByte. Die Prozessoren ab der fünften Generation sind mit 32 KB internem, segmentiertem Cache ausgestattet, der in zwei getrennte Einheiten für Daten und Befehle aufgeteilt ist.

### 1.5.2 Second-Level-Cache

Dieser Zwischenspeicher (Cache)

- ist entweder im CPU-Kern integriert (z.B. 256 KB beim Pentium III *Coppermine* und beim K6-III, 128 KB beim *Celeron* und beim K6-2+) und läuft mit vollem CPU-Takt,
- oder er sitzt auf der Prozessorplatine und läuft mit halbem internen Takt (z.B. 512 KB bei Pentium II, Pentium III *Katmai* und bei AMDs Athlon).
- Dritte Möglichkeit: Er sitzt auf der Hauptplatine (*Socket 7* und *Socket Super 7*). Ausnahme: Der L2-Cache von AMDs K6-III und K6-2+ ist im Prozessorkern integriert. Diese CPUs nutzen den Platinen-Cache dann als L3-Cache.

Die Kapazität liegt in der Regel zwischen 64 und 1024 KByte. Der Zwischenspeicher puffert den Transfer von Daten und Befehlen zwischen dem *Arbeitsspeicher* (RAM), dem in der CPU integrierten First-Level-Cache (L1-Cache) sowie dem *Prozessor*. Damit erhöht sich die Geschwindigkeit der Datenübertragung, denn der schnelle Prozessor muß nicht mehr auf den langsamen Hauptspeicher warten, er kann seine Daten einfach an den Cache abgeben. Erst sein eigenständiger Controller befördert die Daten in den Hauptspeicher.

## 1.6 SIMD (Single Instruction Multiple Data):

### Systemerweiterungen (MMX-SSE)

Seit dem 8086 hatten alle Prozessoren immer die gleiche Anzahl an Registern. Diese wurden zwar mit dem 386 er auf 32 Bit verbreitert, doch die Anzahl blieb. Dagegen wiesen neue Prozessoren wie Alpha 32 oder gar 64 Register auf. Mit der MMX Version des Pentium gab es eine erste Erweiterung, jedoch mehr eine Marketing Maßnahme als eine sinnvolle Erweiterung. Bei der MMX Erweiterung können die Flieskommareinheiten anstatt Flieskommarechnungen auch mehrere einfache Integer Berechnungen mit 8 oder 16 Bit parallel durchführen. Praktisch nutzbar war dies in den seltensten Fällen. Mit dem Pentium II wurde dies zur leistungsfähigeren SSE Einheit erweitert die nun nicht die Flieskommaregister benutzt sondern eigene 64 Bit Register, mit dem Pentium 4 werden diese auf 128 Bit erweitert.

Dies bringt einen Performancegewinn bei allen Operationen bei denen mehrere Werte simultan denselben Rechnungen unterzogen werden wie z.B. JPEG Codierung / Dekodierung. Bei der normalen "Wald und Wiesen Applikation" jedoch eher nicht. Intel plant daher für die kommende 64 Bit Architektur einen Systemschnitt und für den 64 Bit Modus eine neue Architektur mit RISC Befehlen, 128 Registern, so wie andere Firmen schon längst den Schritt zu RISC getan haben wie beim Alpha oder Power PC Prozessor.

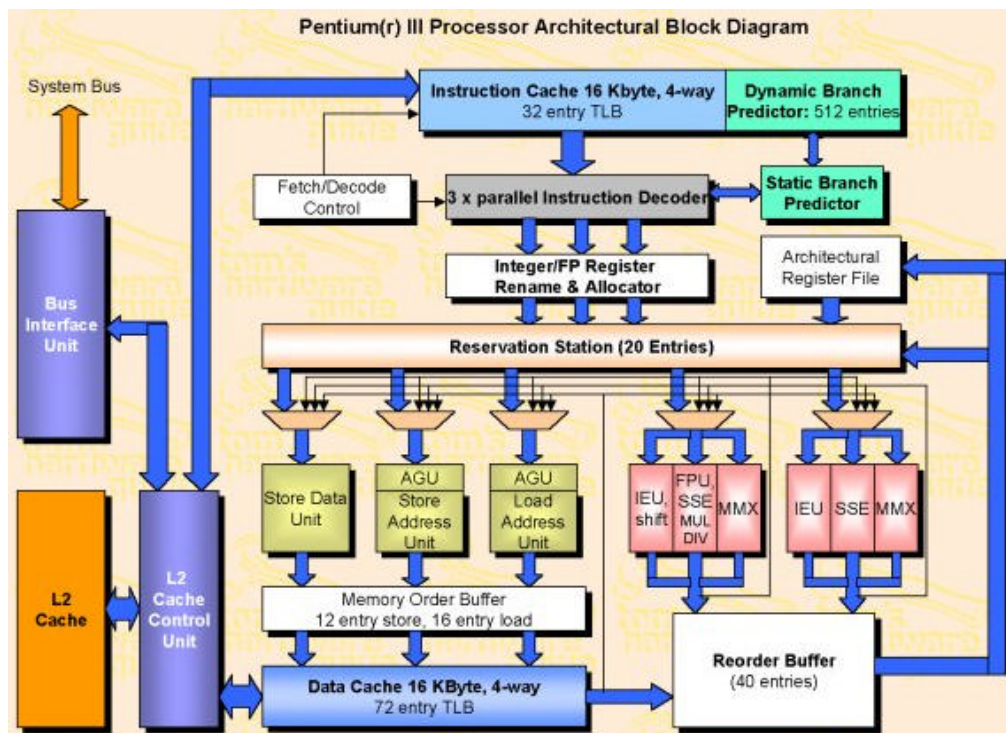
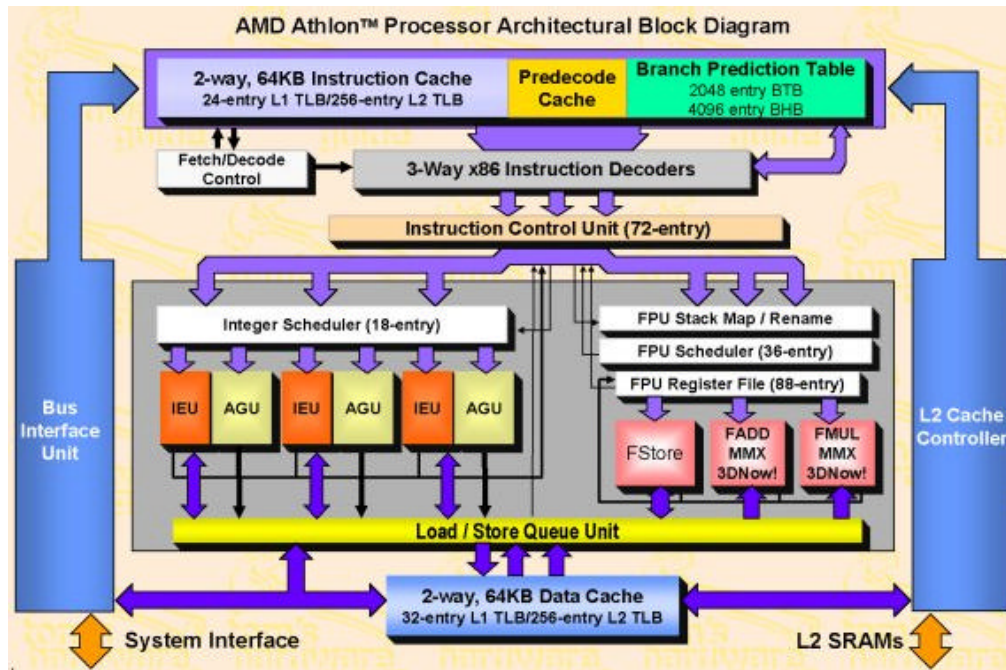
### Three-Dee-Now!

"3DNow!" ist AMDs Antwort auf Intels MMX. "3DNow!" soll 3D-Grafik und Rendering mittels spezieller, MMX-ähnlicher Befehle deutlich beschleunigen. Zu diesen Befehlen gehört zum Beispiel eine Low-Precision-Division, die nur 3 Takte im Gegensatz zu 70 und mehr für eine normale Division benötigt. "3DNow !" wird im neuen AMD K6-2, im Cyrix Cayenne und im IDT C6+ integriert sein.



## 1.7 Ablaufdiagramme:

Grundlegende Unterschiede der bekanntesten CPU-Hersteller



Begriffe:

AGU: Address Generation Unit

IEU: Integer Execution Unit

SSE: Intel's Streaming SIMD Extensions Execution Unit

BTB: Branch Target Buffer

BHB: Branch History Buffer

## **2. Sockel:**

### **Der Sockel -ist die "Heimat" des Prozessors auf dem Motherboard.**

Sockel 1, 2, 3 und 6 für 486-Prozessoren:

Sockel 1 mit 168 oder 169 Pin-Löchern (für den 486DX bzw. -SX, 5 Volt),

Sockel 2 mit 238 (486DX und -SX, 5 Volt sowie 486DX2 und -SX2, 5 Volt),

Sockel 3 mit 237 (486SX und -DX, 3,3 und 5 Volt) und

Sockel 6 mit 235 Pins (486DX4, 3,3 und 5 Volt). Da AMDs 5x86 und der 5x86 von Cyrix/IBM weniger Pins besitzen, passen sie in alle 486-Sockel.

### **Pentium-Ära**

Sockel 4 (273 Pins) für Pentium-Prozessoren mit 60 oder 66 MHz internem Takt.

Sockel 5 (320 Pins) für Pentium-Prozessoren mit 60, 66, 75 und 90 MHz.

Sockel 7 (321 Pins) für Pentium-CPU's mit 75 bis 200 Mhz, Pentium MMX 133Mhz - 233Mhz, K6, K6-2, Cyrix M2, IBM 6x86MX, IDT Winchip und weitere; diesen Sockel gibt es sowohl auf Boards mit 66 Mhz als auch auf Boards mit 100 Mhz Systemtakt. Sockel 7 ist 1999 Standard neben dem Slot 1.

Sockel 8 für den INTEL Pentium Pro.

### **Pentium II-Ära**

Pentium II-CPU's und einige Pentium III-Prozessoren werden nicht in einen Sockel sondern in einen "Slot" eingesetzt.

### **Pentium III-Ära**

Sockel 370 für Celerons im PPGA-Gehäuse mit Taktraten zwischen 400 und 533 MHz. Vorsicht: Im Sockel 370 läuft weder der gesockelte Pentium III noch der Celeron im FC-PGA-Gehäuse, obwohl beide hineinpassen. Der Sockel hat 370 Kontakte für CPU's im PPGA-Gehäuse. Obgleich er für die Spezifikationen dieser CPU's konzipiert ist (66 MHz Systemtakt, 2,0 Volt Kernspannung), bieten zahlreiche Sockel-370-Platinen einen höheren Systemtakt (ideal zum Overclocking).

Sockel 370 FC-PGA für gesockelte Pentium-III-CPU's (500 bis 1100 MHz) und Celerons: Der Sockel für CPU's im FC-PGA-Gehäuse hat 370 Kontakte. Er gleicht optisch dem Sockel 370, ist aber anders beschaltet.

### **Pentium IV-Ära**

Sockel 423 und 478 FC-PGA für gesockelte Pentium-IV-CPU's (1400 bis 2000 MHz). Die beiden Sockel 423 und 478 sehen optisch wie der 370 aus sind aber inkompatibel .

## AMD Ära

Slot A ist eine Abwandlung des Slot 1 von Intel von der Zeit in der man noch dachte Platzprobleme nur aus dem Weg zu schaffen in dem man die CPU auf eine extra Platine zu Bauen. Die erwies sich als Fehleinschätzung da sich CPUs immer in kleineren Herstellprozessen herstellen ließen und dadurch immer kleiner wurden.

Socket A ausschließlich für AMD-Prozessoren: Mit dem Duron (ab 700 MHz CPU-Takt, 200 MHz Systemtakt, 256 oder 512 KB Second-Level-Cache) will AMD ab Mitte 2000 dem Celeron und Pentium III Konkurrenz machen. Thunderbird (1 GHz CPU-Takt und mehr, 266 MHz Systemtakt, 256 oder 512 KB Second-Level-Cache) und Mustang (Taktraten wie Thunderbird, aber mit 1 oder 2 MB Second-Level-Cache) kommen voraussichtlich Ende 2000 auf den Markt.

## Hochleistung

Socket 417 für die ab Oktober 2000 erwartete 64-Bit-CPU Itanium von INTEL und Hewlett-Packard. Beim Socket 417 (417 Kontakte) sind die Signal- und Stromversorgungs-Pins der CPU voneinander abschirmt. So lassen sich auch Signale bei einem Takt von mehr als 2 GHz störungsfrei übertragen. Die bislang üblichen Pins der CPU für die Stromversorgung sind teilweise durch 14 Quadrat-mm große Leiterplättchen ersetzt, um die enorme Leistungsaufnahme von mehr als 70 Watt zu ermöglichen.

Socket 603 als Basis für Multiprozessor-PCs mit bis zu acht CPUs. Der erste INTEL-Prozessor für diesen Sockeltyp trägt den Codenamen "Foster". Der für das 4. Quartal 2000 erwartete "Foster" taktet mit mindestens 1 GHz. AMD & Co. haben (zumindest im 1. Quartal 2000 noch) keine Ambitionen auf Socket-603-CPU's. Der "Socket 603" ist ein ZIF-Sockel mit 603 Kontakten. Der Codename des dazugehörigen INTEL-Chipsatzes lautet "Colusa". Er soll zwei Speicherkanäle mit Zugriff auf bis zu 32 GB Rambus-RAM und 400 MHz Systemtakt unterstützen.



## Intel Pentium

Familie: P54C

Transistoren: 3,2/3,3 Millionen

Einführung: 7.März 1994

Taktfrequenz: 75/90/100/120/150/166/200 MHz

Level 1 Cache: 16 KB

Level 2 Cache: 256/512/1024 KB on Mainboard

3,3 Volt (Sockel 5)

0.35  $\mu\text{m}$



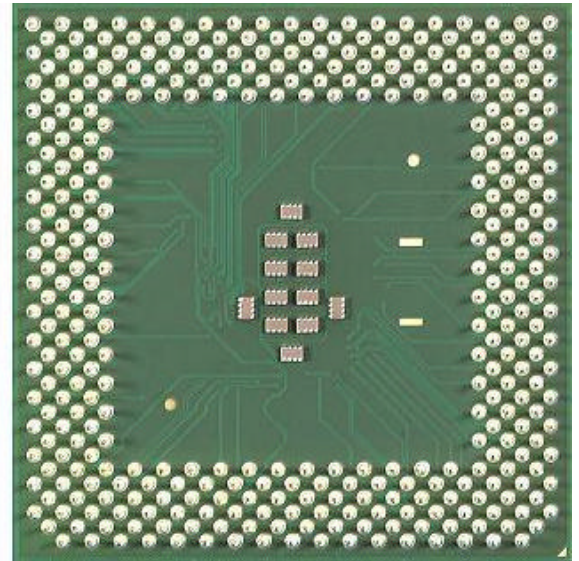
## Intel Pentium Pro

Name	Pentium Pro
Hersteller	Intel
Codename(n)	
Steckplatz	Socket 8
Taktraten	150 bis 200 MHz
Prozess	0,35Micron
1st-Level-Cache	2 x 16KByte
2nd-Level-Cache	512KByte
Cache on-die	nein
Die-Größe	204mm <sup>2</sup>
Transistoren	55 Millionen
Kernspannung	2,8Volt
Bus-Takt	66MHz
SIMD-Befehlssatz	keinen
MMX	ja
Erscheinungstermin	Nov 1995



## Intel Pentium II (Klamath)

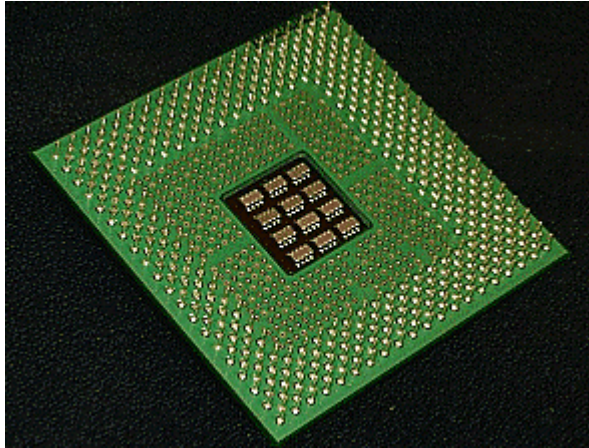
Name	Pentium II
Hersteller	Intel
Codename(n)	Klamath
Steckplatz	Slot1
Taktraten	233 bis 333MHz
Prozess	0,35Micron-Aluminium
1st-Level-Cache	2 x 16KByte
2nd-Level-Cache	512KByte
Cache on-die	nein
Die-Größe	204mm <sup>2</sup>
Transistoren	7,5 Millionen
Kernspannung	2,8Volt
Bus-Takt	66MHz
SIMD-Befehlssatz	keinen
MMX	ja
Erscheinungstermin	7. Mai 1997



## Intel Pentium III

Name	Pentium III
Hersteller	Intel
Codename(n)	
Steckplatz	Slot1 und PGA
Taktraten	600-1100MHz
Prozess	0,18Micron
1st-Level-Cache	2 x 16KByte
2nd-Level-Cache	512KByte
Cache on-die	nein
Die-Größe	204mm²
Transistoren	28 Millionen
Kernspannung	1,7 / 1,35 Volt
Bus-Takt	100-133MHz
SIMD-Befehlssatz	keinen
MMX	ja
Erscheinungstermin	1999

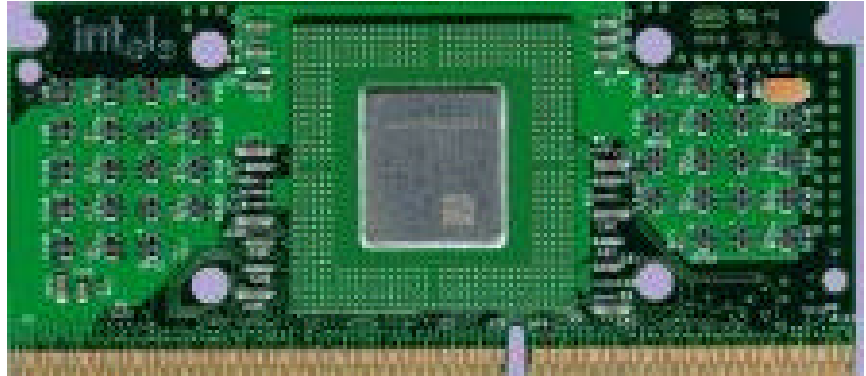




## Intel Pentium 4

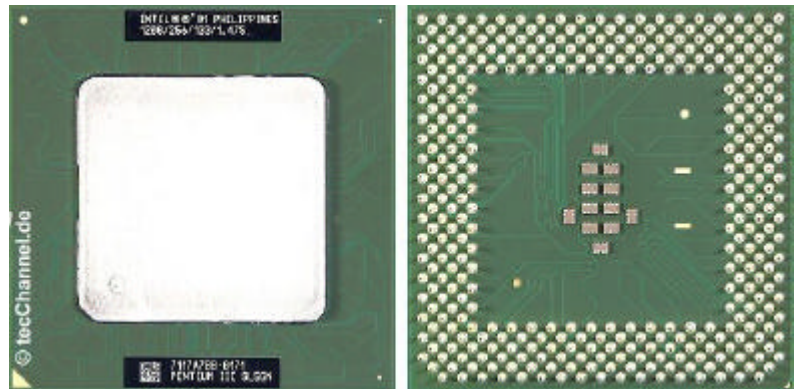
Name	Pentium 4
Hersteller	Intel
Codename(n)	Willamette
Steckplatz	Socket423
Taktraten	ab 1,4GHz
Prozess	0,18Micron-Aluminium
1st-Level-Cache	8KByte + 12KByte
2nd-Level-Cache	256KByte
Cache on-die	ja
Die-Größe	217mm <sup>2</sup>
Transistoren	42 Millionen
Kernspannung	n/a
Bus-Takt	100MHz (QDR)
SIMD-Befehlssatz	ISSE2
MMX	ja
Erscheinungstermin	Oktober 2000





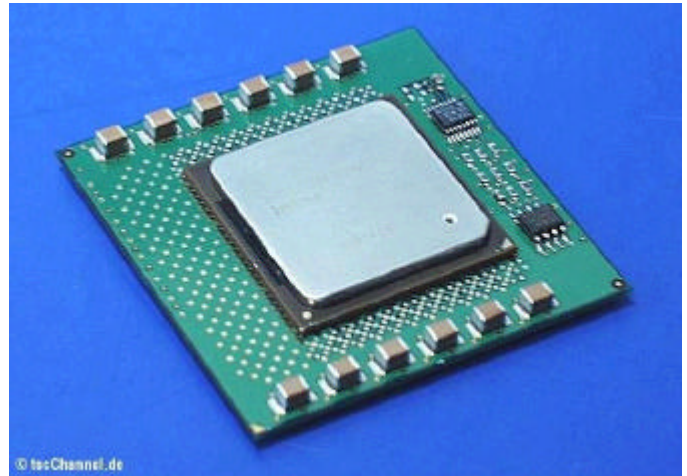
## Intel Celeron (Covington)

Name	Celeron
Hersteller	Intel
Codename(n)	Covington
Steckplatz	Slot1
Taktraten	266 und 300MHz
Prozess	0,35Micron-Aluminium
1st-Level-Cache	2 x 16KByte
2nd-Level-Cache	keinen
Cache on-die	-
Die-Größe	131mm <sup>2</sup>
Transistoren	7,5 Millionen
Kernspannung	2,0Volt
Bus-Takt	66MHz
SIMD-Befehlssatz	keinen
MMX	ja
Erscheinungstermin	15. April 1998



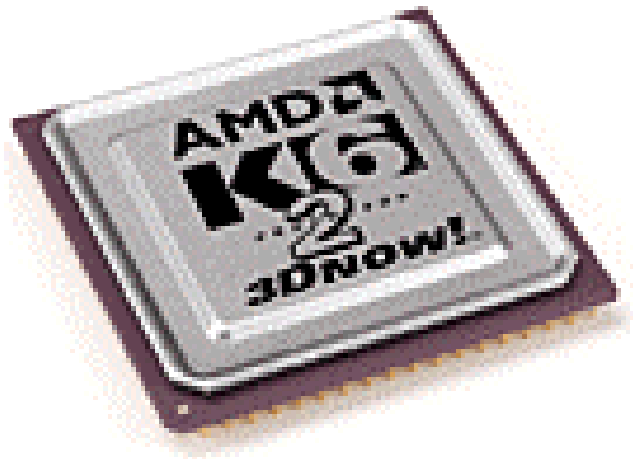
## Intel Celeron (Tualatin)

Name	Celeron
Hersteller	Intel
Codename(n)	Tualatin
Steckplatz	Socket 370 / FC-PGA2
Taktraten	1000 und 1200MHz
Prozess	0,13Micron-Aluminium
1st-Level-Cache	32KByte
2nd-Level-Cache	256KByt
Cache on-die	-
Die-Größe	131mm <sup>2</sup>
Transistoren	?? Millionen
Kernspannung	13-1,65Volt
Bus-Takt	100 MHz
Befehlssatz	SSE
MMX	ja
Erscheinungstermin	2001



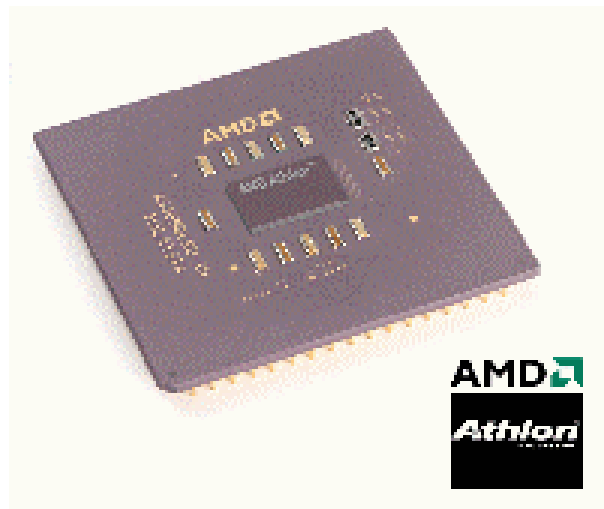
## Intel Xeon Pentium IV ()

Name	Xeon
Hersteller	Intel
Codename(n)	
Steckplatz	Socket 607
Taktraten	1400 und 2000MHz
Prozess	0,13Micron
1st-Level-Cache	32KByte
2nd-Level-Cache	256Kbyt –2MB
Cache on-die	-
Die-Größe	131mm <sup>2</sup>
Transistoren	?? Millionen
Kernspannung	13-1,65Volt
Bus-Takt	100 MHz
Befehlssatz	SSE SSE2
MMX	ja
Erscheinungstermin	Mitte 2001



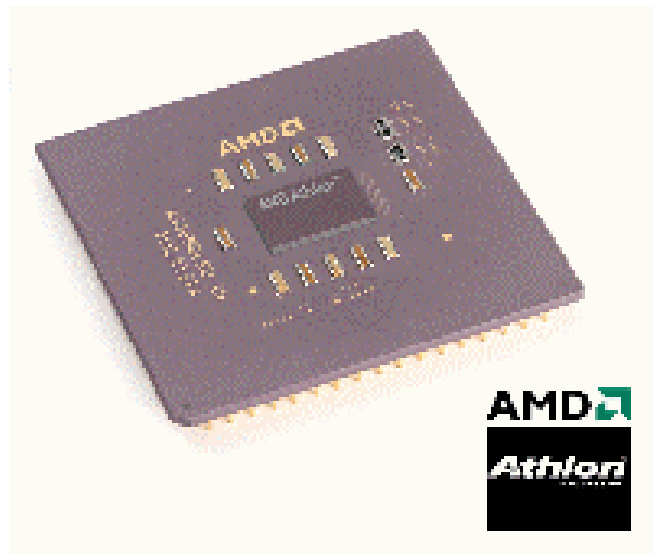
## AMD K6-2

Name	K6-2
Hersteller	AMD
Codename(n)	Chomper
Steckplatz	SuperSocket7
Taktraten	300 bis 550MHz
Prozess	0,25Micron-Aluminium
1st-Level-Cache	64KByte
2nd-Level-Cache	n/a
Cache on-die	n/a
Die-Größe	81mm <sup>2</sup>
Transistoren	9,3 Millionen
Kernspannung	2,2 bis 2,4Volt
Bus-Takt	100MHz, vereinzelte Modelle mit 66, 95 und 97MHz
SIMD-Befehlssatz	3DNow!
MMX	ja
Erscheinungstermin	28.Mai 1998



## AMD Athlon

Name	Athlon
Hersteller	AMD
Codename(n)	K7
Steckplatz	SlotA
Taktraten	500 bis 1000MHz
Prozess	0,25- und 0,18Micron-Aluminium
1st-Level-Cache	128KByte
2nd-Level-Cache	512KByte
Cache on-die	nein
Die-Größe	184mm <sup>2</sup>
Transistoren	22 Millionen
Kernspannung	1,6 bis 1,8Volt
Bus-Takt	100MHz (DDR)
SIMD-Befehlssatz	e3DNow!
MMX	ja
Erscheinungstermin	23.Juni 1999



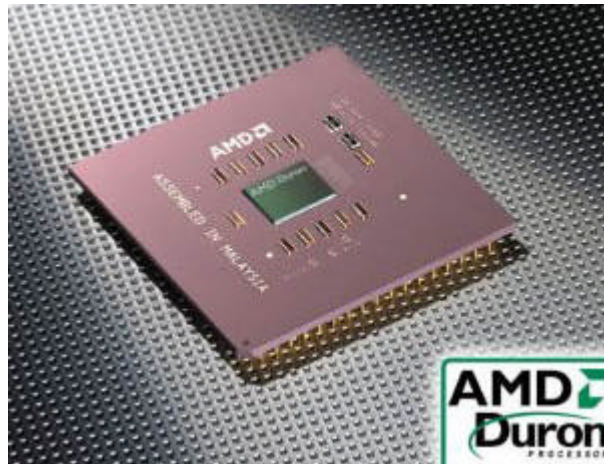
## AMD Athlon (Thunderbird)

Name	Athlon
Hersteller	AMD
Codename(n)	Thunderbird
Steckplatz	SlotA und SocketA
Taktraten	700 bis 1400MHz
Prozess	0,18Micron-Aluminium und Kupfer
1st-Level-Cache	128KByte
2nd-Level-Cache	256KByte
Cache on-die	ja
Die-Größe	n/a
Transistoren	37 Millionen
Kernspannung	1,6 bis 1,75Volt
Bus-Takt	100MHz (DDR)
SIMD-Befehlssatz	e3DNow!
MMX	ja
Erscheinungstermin	Juni 2000



## AMD Athlon XP

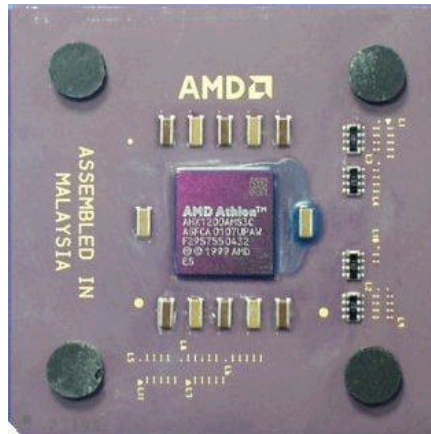
Name	Athlon XP
Hersteller	AMD
Codename(n)	Palomino
Steckplatz	SlotA und SocketA
Taktraten	Ab 1,33 MHz
Prozess	0,18Micron-Aluminium und Kupfer
1st-Level-Cache	128KByte
2nd-Level-Cache	256KByte
Cache on-die	ja
Die-Größe	n/a
Transistoren	37,5 Millionen
Kernspannung	1,6 bis 1,75Volt
Bus-Takt	100MHz 133MHz(DDR)
SIMD-Befehlssatz	e3DNow! Und SSE
MMX	ja
Thermal-Diode	ja
Erscheinungstermin	Juni 2001



## AMD Duron

Name	Duron
Hersteller	AMD
Codename(n)	Spitfire
Steckplatz	SocketA
Taktraten	600 bis 1200MHz
Prozess	0,18Micron- Aluminium
1st-Level-Cache	128KByte
2nd-Level-Cache	64KByte
Cache on-die	ja
Die-Größe	100mm <sup>2</sup>
Transistoren	n/a
Kernspannung	1,45-1,75Volt
Bus-Takt	100MHz (DDR)
SIMD-Befehlssatz	e3DNow!
MMX	ja
Erscheinungstermin	Juni 2000





## AMD Athlon MP

Name	Athlon MP
Hersteller	AMD
Codename(n)	
Steckplatz	Socket A
Taktraten	1000 und 1200MHz
Prozess	0,18Micron-Aluminium
1st-Level-Cache	128KByte
2nd-Level-Cache	64KByte
Cache on-die	ja
Die-Größe	100mm <sup>2</sup>
Transistoren	n/a
Kernspannung	1,45-1,75Volt
Bus-Takt	100MHz (DDR)
SIMD-Befehlssatz	e3DNow! Professional
MMX	ja
Erscheinungstermin	2001

#### 4 Die Zukunft:

Ein Bericht aus der Rhein Neckar Zeitung (November 2001)

## Computer bald zehn Mal schneller

New York. (dpa) Intel hat eine neue Struktur und ein neues Material für die Transistorherstellung entwickelt. Die neue Technologie soll die Wärmeentwicklung und den Stromverbrauch reduzieren. Dies hat das „Wall Street Journal“ am Montag berichtet. Die neuen Chips sollen mit einer Taktfrequenz im Terahertz-Bereich arbeiten, das heißt mit über einer Billion Arbeitszyklen in der Sekunde. Die Fortschritte werden die weitere Verkleinerung von Transistoren ermöglichen, den Bausteinen für Computerchips. Sie könnten zu einer Verzehnfachung der Geschwindigkeit führen, ohne dass mehr Strom verbraucht wird.

Diese Fortschritte und andere Ankündigungen aus jüngster Zeit werden die Entwicklung von Chips für die Erkennung von Stimmen und Gesichtern in Echtzeit sowie kleinere Rechner mit größerer Leistung und längerer Batteriedauer ermöglichen. Einige Elemente der neuen Technologie sollen bereits im Jahr 2005 in Intel-Chips zu finden sein.

Die jüngsten Innovationen würden Intel auf den Weg bringen, im Jahr 2007 Mikrochips mit einer Milliarde Transistoren in Massenproduktion herzustellen.