

See discussions, stats, and author profiles for this publication at: <https://www.researchgate.net/publication/327701041>

Grundlagen des Schaltplan- und Platinenlayouts

Presentation · January 2017

DOI: 10.13140/RG.2.2.13285.04328

CITATIONS

0

READS

854

1 author:



Michael Heindinger

Karlsruhe Institute of Technology

18 PUBLICATIONS 49 CITATIONS

SEE PROFILE

Some of the authors of this publication are also working on these related projects:



VLC Luminaire Systems [View project](#)



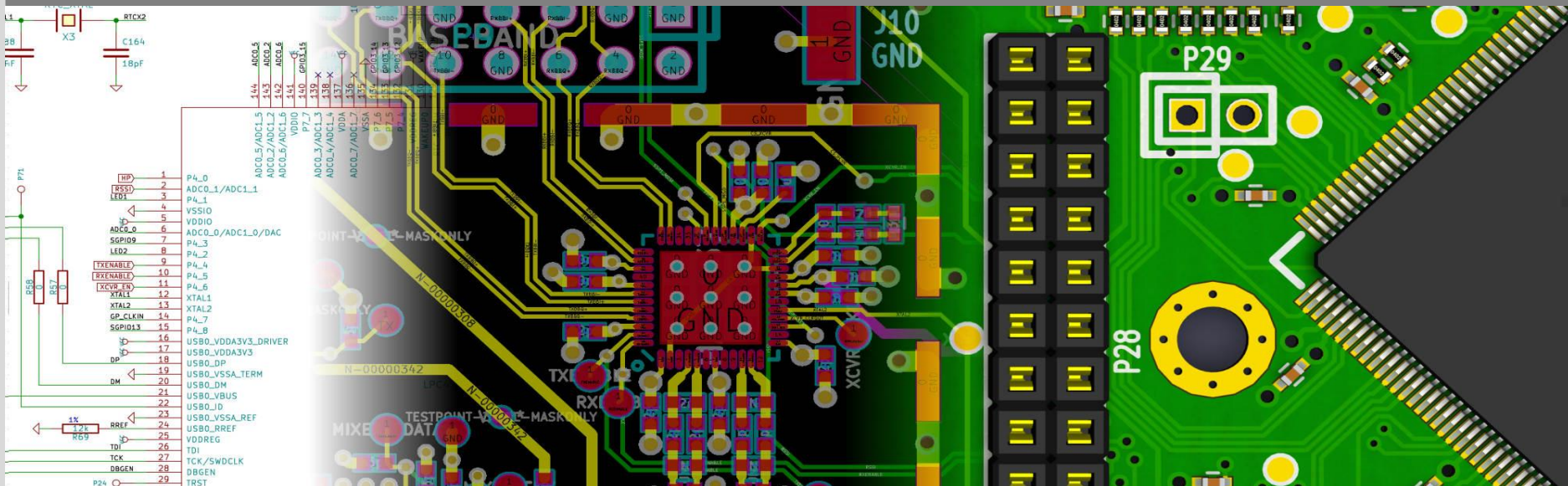
ECO UV View [project](#)

„Das erste mal gleich richtig.“

Meta

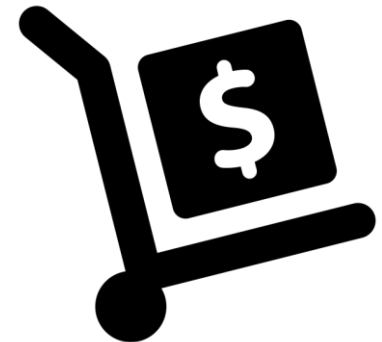
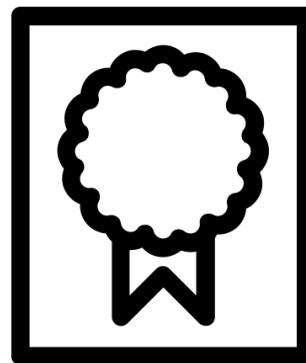
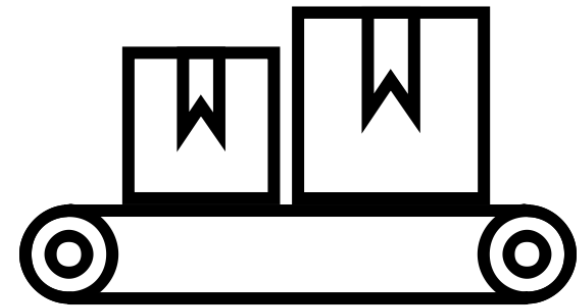
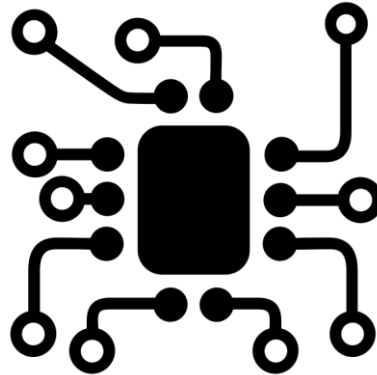
Grundlagen des Schaltplan- und Platinenlayouts

Lichttechnisches Institut – Abteilung Licht und Plasmatechnologie



From Maker to Market

Intro



- Platine macht das Produkt
 - Produzierbarkeit
 - Testbarkeit
 - Stabilität: Funktion & Mechanisch
 - Kleine Strukturen / Baugröße möglich

- Kosten der Platine
 - 5-10 Euro – 10 Stück – 100mmx100mm (+Versand)
 - Erstes Layout: 2 Tage – Monate
 - Produktionsdauer: 7 Tage
 - Bestücken: 1-3 Tage

- Kosten sind hauptsächlich Zeit

Workflow

Intro

Idee

- Was? Wie?
- Hauptkomponenten?

Schaltplan

- Bauteile erstellen
- Schaltung
- Robust gestalten

Layout

- Bauteile platzieren
- Verdrahten: Strategie
- Fallstricke

Inbetrieb-
nahme

- Bestücken
- Fehlersuche



Workshop

Idee zum Schaltplan

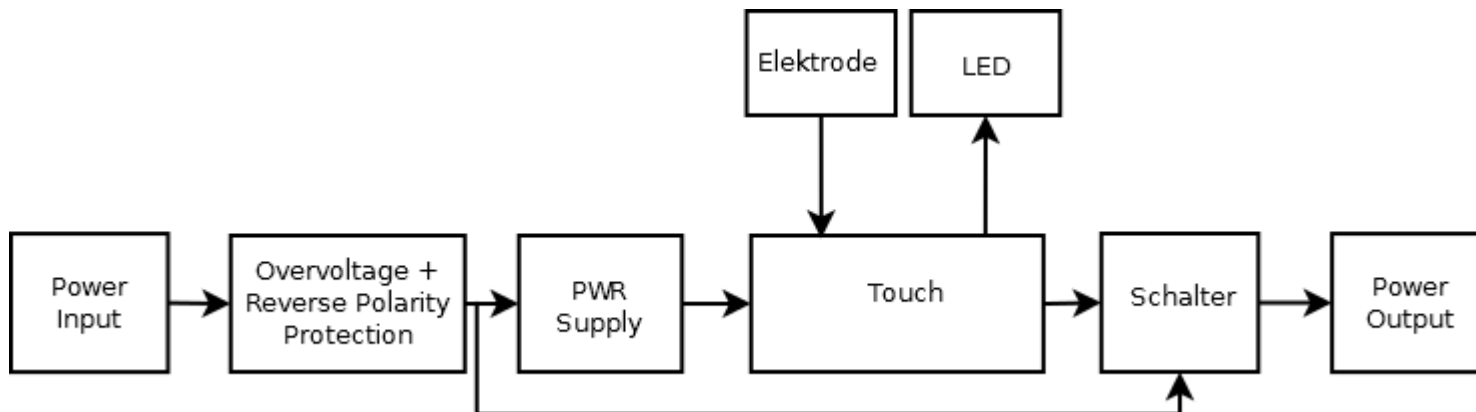
Idee

■ Idee

- Funktionalität? Wie will ich was machen?
- Baugruppen?

■ Beispiel Touch-LED-Dimmer

- Blockschaltbild hilfreich



Auswahl der Komponenten (1)



- Getestet?
 - Hauptfunktionalität überprüfen
 - Evalbord?
 - Verbesserungen?
- Gute Dokumentation?
 - Community
 - Literatur
- Komponenten
 - Marge
 - Nicht an die Limits gehen
 - Funktionalität über Kosten
- Schutzkomponenten (z.B. Überspannung) vorsehen

Beispiel LDO

Idee

Schaltplan

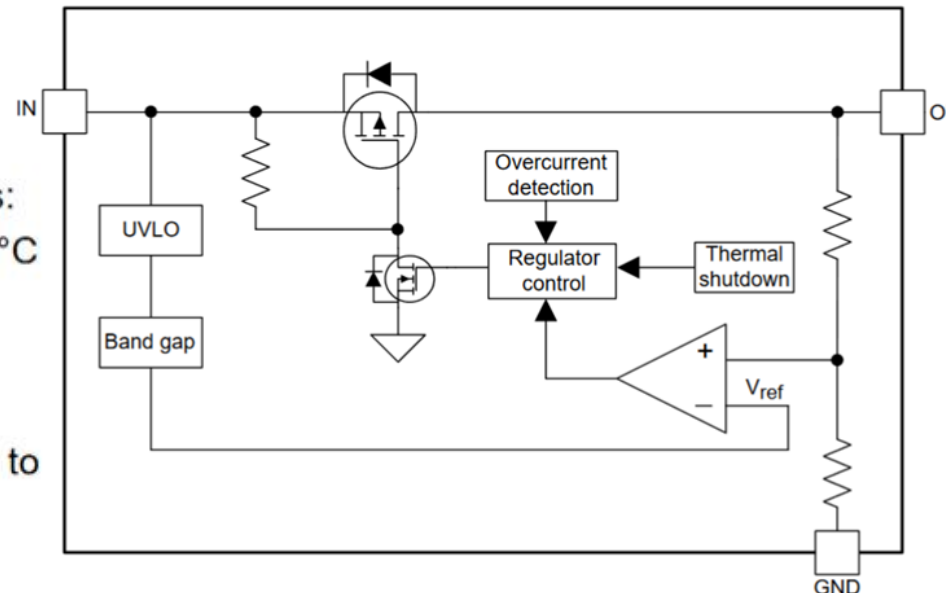
■ Auszug Datenblatt:

1 Features

- Qualified for Automotive Applications
- AEC-Q100 Qualified With the Following Results:
 - Device Temperature Grade 1: -40°C to 125°C Ambient Operating Temperature Range
 - Device HBM ESD Classification Level 2
 - Device CDM ESD Classification Level C4B
- 4 to 40-V Wide V_I Input Voltage Range With up to 45-V Transient

■ Checkpoints:

- Überspannung
- Überstrom
- Übertemperatur



Erstellen des Schaltplan Symbols

- Existierende Bauteile verwenden
=> Fehlervermeidung

- PCB Library
- Google
- Immer überprüfen

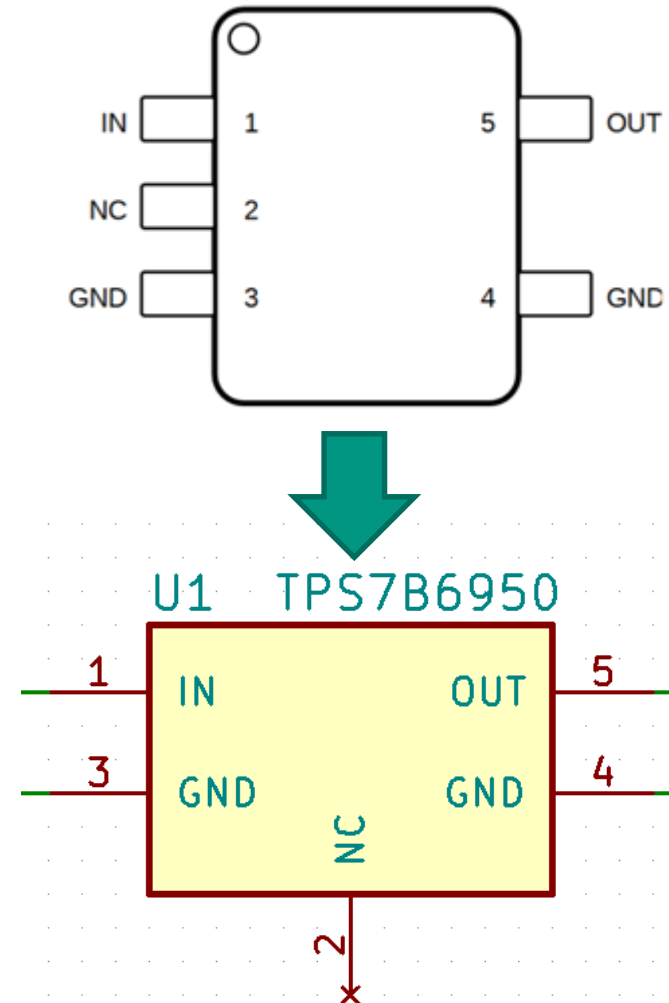
- Daten eintragen

- Partnumber
- Pinnummern
- Footprint
- Datasheet
- Bestellnummer

- 3x Überprüfen

- Fehler=Neue Revision

Bild: Texas Instruments

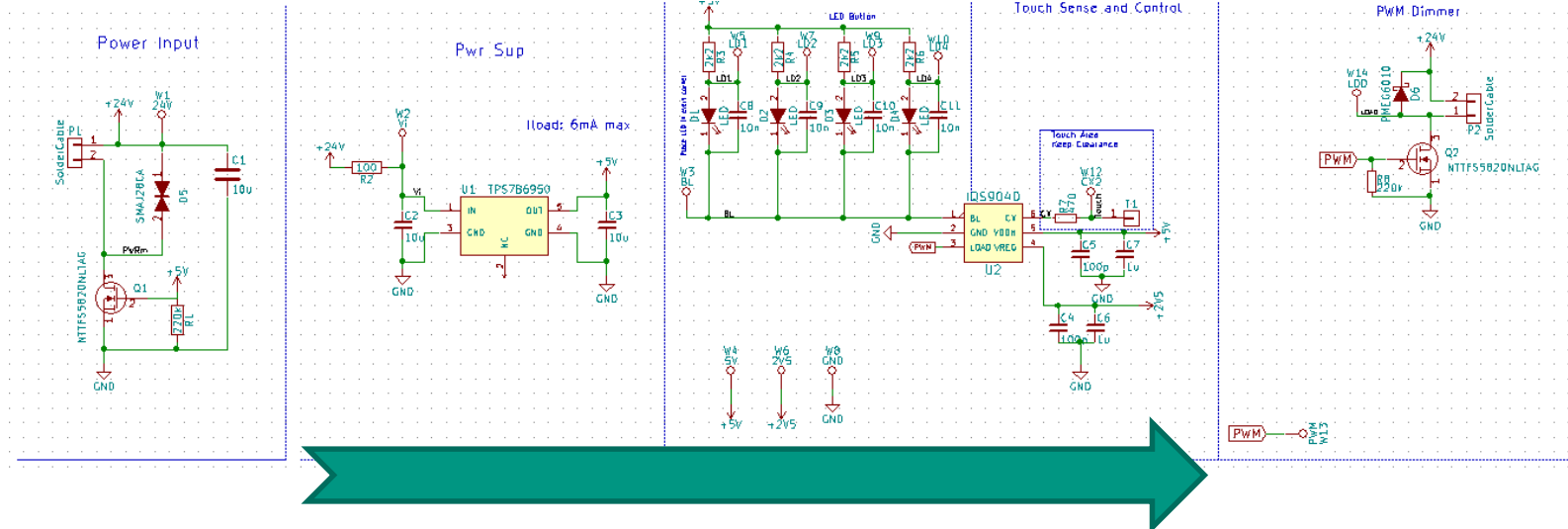
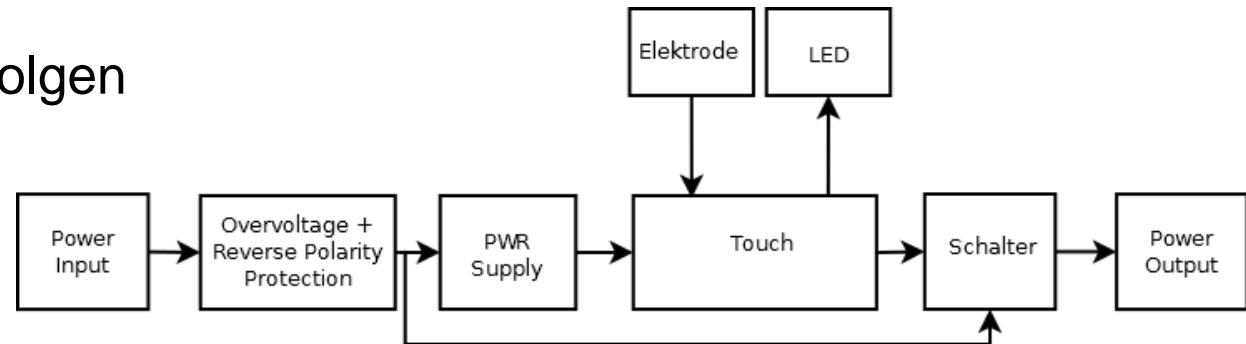


Erstellung des Schaltplans

Schaltplan

■ Von links nach rechts aufbauen

■ Blockschaltbild folgen und umsetzen



Arbeiten mit Reference Designs

- Reference Design
- Erklärt Anwendung und Beschaltung

- Datenblatt

- „Typical Application Schematic“

- Application Note

- Darf ich vom Reference Design abweichen?

- Datasheet!

- Verstehen!

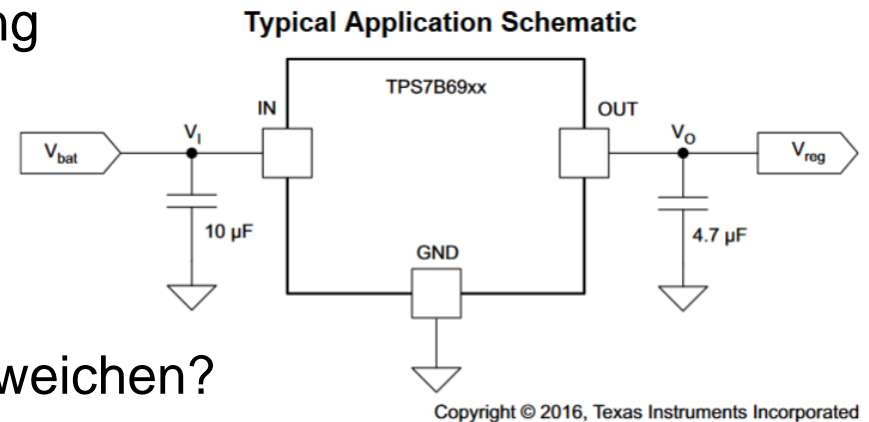
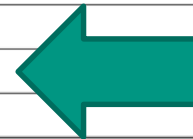


Table 1. Design Parameters

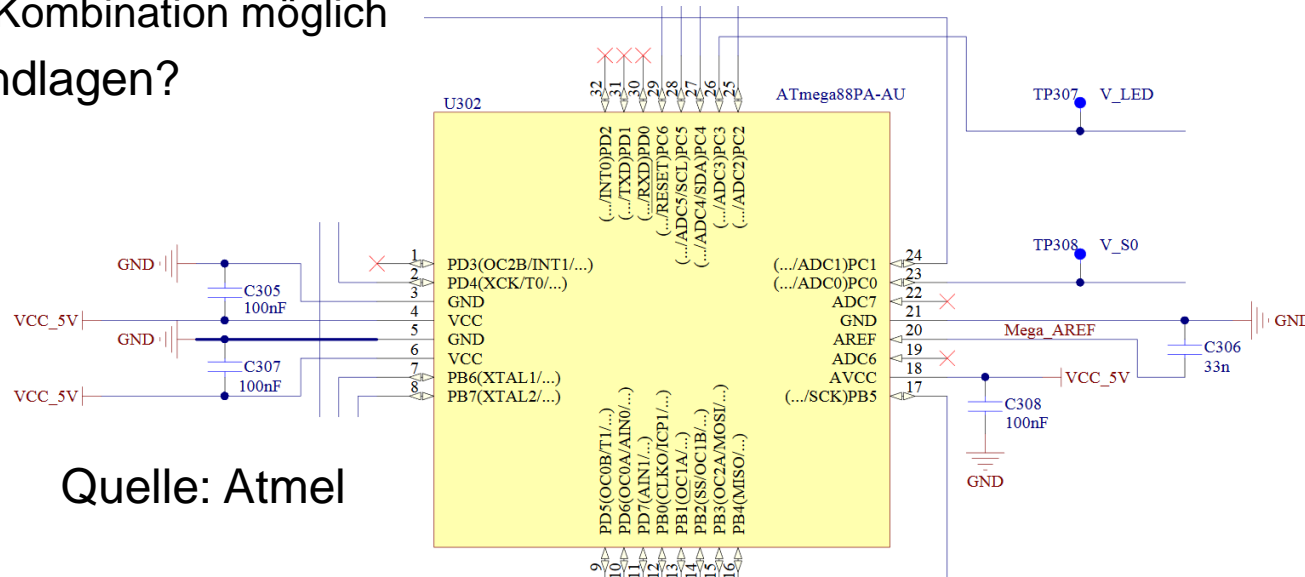
Quelle: Texas Instruments

DESIGN PARAMETER	EXAMPLE VALUES
Input voltage range	4 V to 40 V
Output voltage	3.3 V, 5 V
Output current rating	150 mA
Output capacitor range	2.2 μF to 100 μF
Output capacitor ESR range	1 m Ω to 2 Ω



100nF Regel

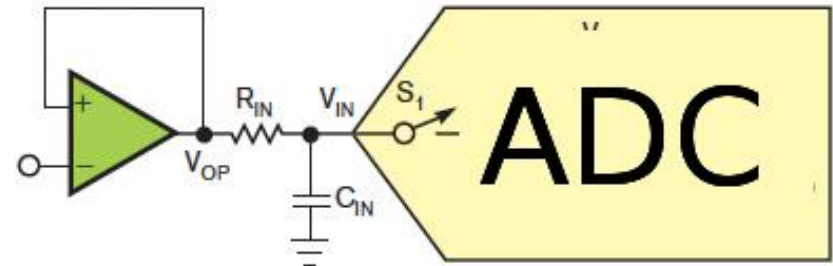
- Stabile Versorgungsspannung
 - „Die Lösung ist meist ein Kondensator, die Frage ist nur wo“
- Generell: Kondensatoren
 - Jeder IC: Vcc-Pin enthält 100nF gegen GND
 - Können einige sein bei MCUs.
 - Wert 100pF-1uF
 - Je hochfrequenter, desto kleiner
 - Kombination möglich
- Grundlagen?



Mikrocontroller: ADC

- Analog zu Digital Wandler (ADCs) haben Eingangskapazität
 - Messen=Verfälschen

- Eingänge mit OpAmp treiben

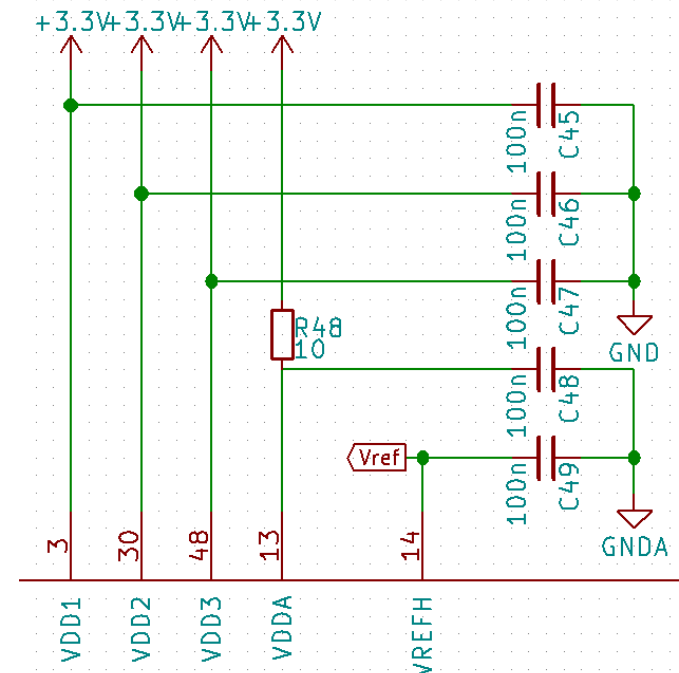


- Bandbreite am Eingang begrenzen mit RC-Tiefpass

- $F_S \geq 2F_G$

- Analoge Versorgungsspannung filtern

- Tiefpass (R=10 - C=100p || 100n || 10u)
 - Ferritperle



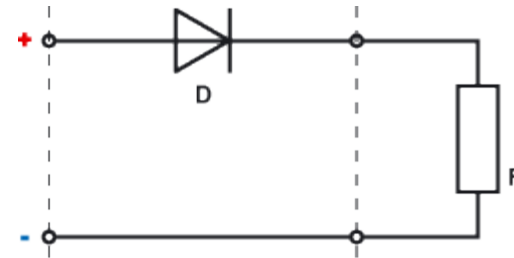
- 100nF Regel
- Programmier-Pins (ISP)
 - Pins nicht doppelt belegen
 - Programmier Connector
- Debugging
 - UART Verbindung vorsehen
 - Extern: ESD-Schutz vorsehen



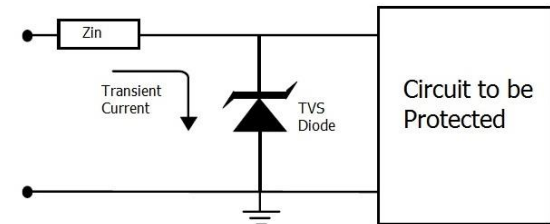
Sicherheitsmaßnahmen

- Vor falscher Polarität schützen
 - Verpolungsschutzdiode
- Überspannung schützen
 - TVS Diode: Transient Voltage Suppressor
 - Diode wird leitend bei Überspannung
- ESD: Elektro-Static Discharge
 - Datenleitungen (z.B. USB)
- Überlast
 - Linearregler mit Strombegrenzung
 - Keine Sicherung (zu langsam)

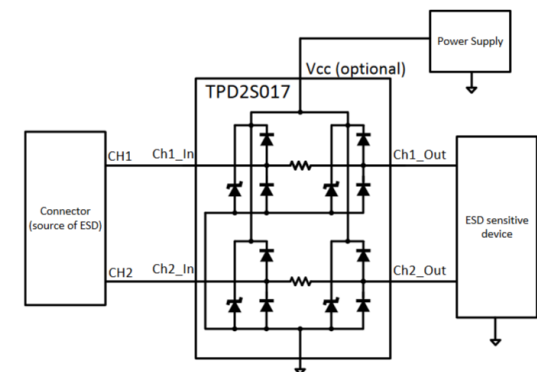
Schaltplan



Quelle: Elektronik-Kompodium

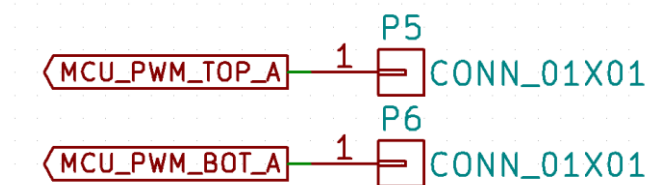


Quelle: RF Wireless World

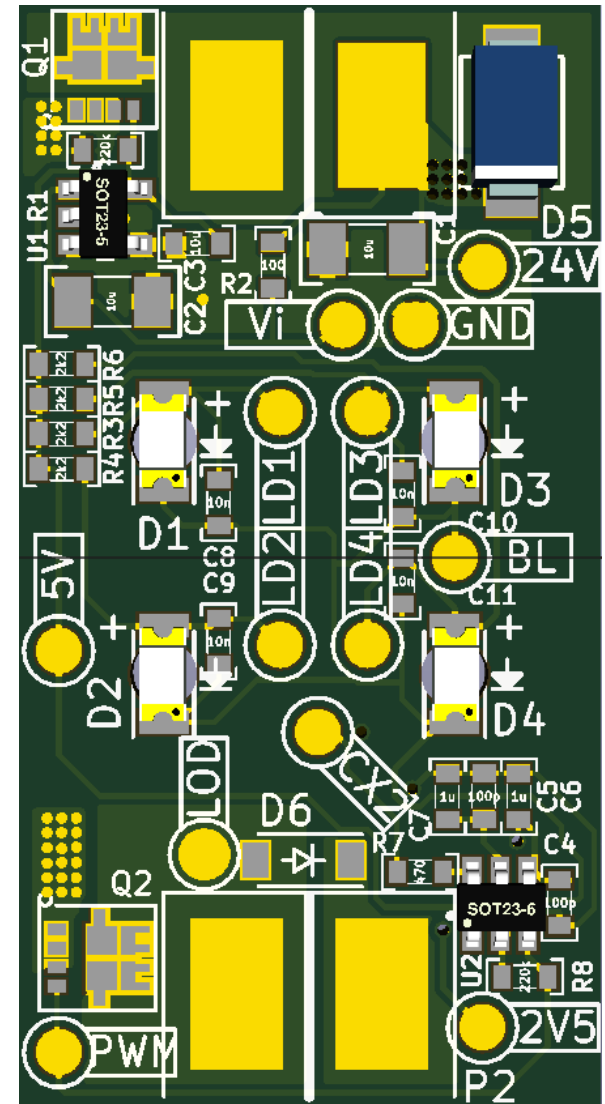


Testpunkte

- Strukturen klein
 - Vereinfachtes testen relevanter Signale
 - Schnelleres Debugging durch Beschriftung
 - Mechanisch stabiles Messen
- Testpunkte
 - 0.6mm – 1.2mm
 - Platzieren wo Platz
 - Kurz, knapp und präzise beschriften
 - Möglichst alles immer auf einer Höhe



Schaltplan



Let's play: Mean Questions

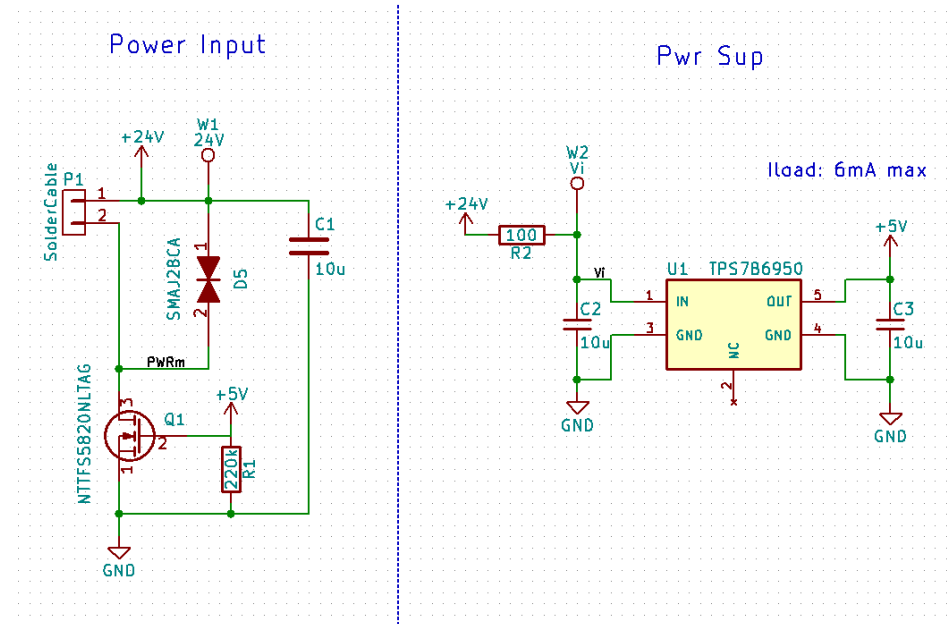
- Spiel: Man denkt sich einen möglichen Fehlerfall aus, und schlussfolgert was passiert.

- Beispiel LDO

- Was passiert bei Transienten? (z.B. Blitzschlag).

- Überspannung könnte zu Ausfall führen

- Abhilfe: TVS Diode
 - Abhilfe: High Voltage LDO
 - Abhilfe: Filter R2 / C2



Mean Questions: Frage 2

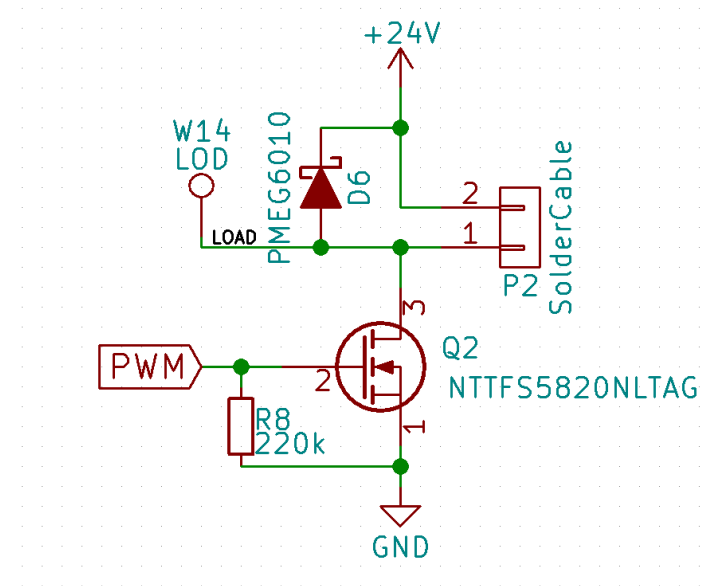
- Was passiert, wenn MosFET Q2 induktive Lasten schaltet?
 - Q2 sieht Überspannung

- Avalanche

- Energie wird im MosFET aufgenommen
- MosFET erwärmt sich im besten Fall
- MosFET wird wegen Überspannung zerstört.

- Abhilfe:

- 1. Freilaufdiode (D6) oder TVS

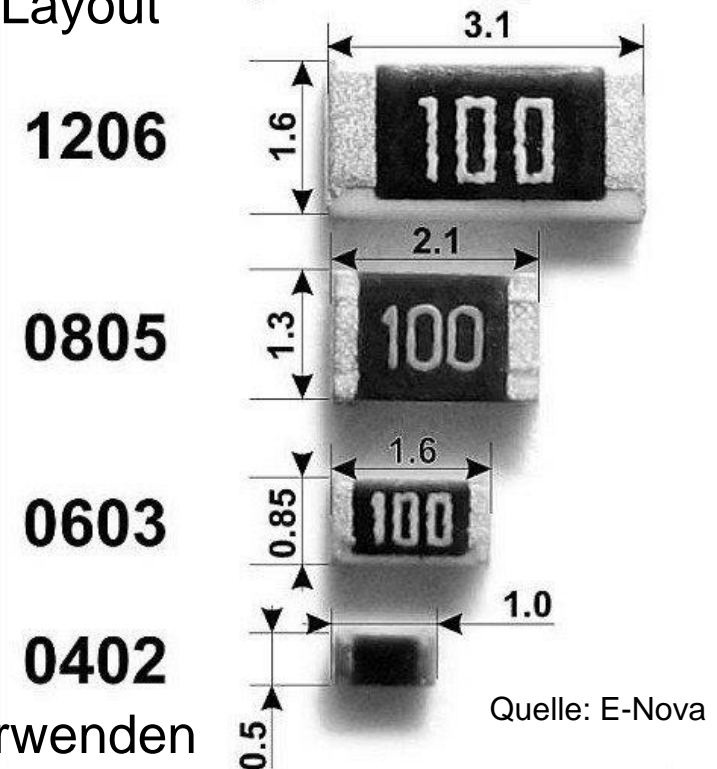


Welche Bauform?

PCB

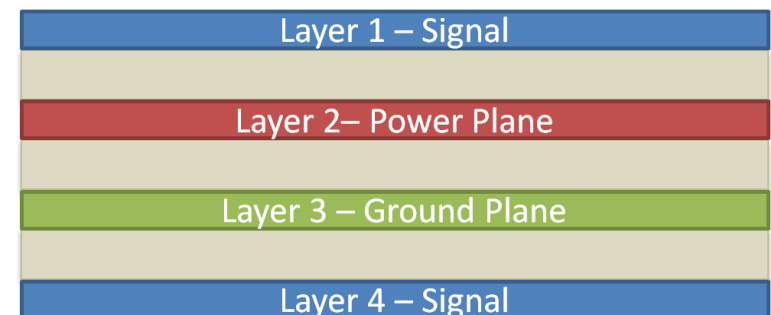
Schaltplan

- Schaltplan Bauform zuordnen
- Je kleiner eine Bauform, desto kleiner das Layout
 - Bauform sollte leicht zu verlöten sein.
- True-Hole vermeiden
 - Viel Platz, Baugruppen groß
 - Auslöten schwer
- Empfehlenswerte Bauformen:
 - SOT23, SOIC, 1206, 0805
- Kleine Bauformen erst wenn notwendig verwenden
 - BGA, 0402, etc.



2 Lagig vs 4 Lagig

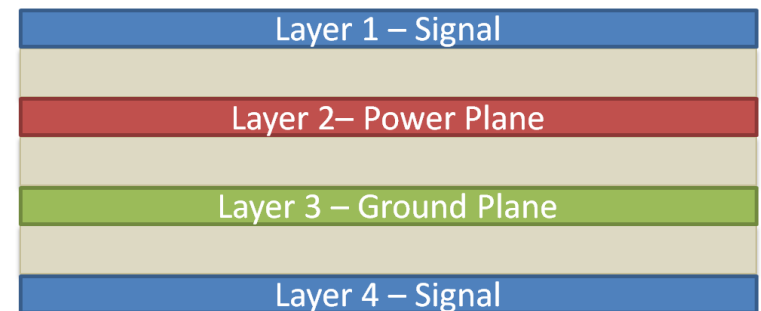
- 101 Platinenlagen:
 - Je mehr Lagen, desto leichter
 - Je mehr Lagen, desto teurer
- Anwendungen:
 - Standardprojekte: 2 lagig
 - 4 Lagig kann bei komplizierteren Projekten Sinn machen
- 2 lagig: Jede Lage kann beliebig genutzt werden.
- 4 lagig: Äußere Lagen sind Signale, innere GND und VCC.



Quelle: aerospacepal

Vorurteile Lagenanzahl

- 4 lagig: unbezahlbar
 - Ca. 30% teurer
- 4 lagig: bessere EMV
 - GND Plane hilft sehr
 - Schlechtes Design kann Layout trotzdem ruinieren
- 4 Lagig Layout einfacher
 - Auch nur 2 Signallagen
 - Versorgungsspannungen sind leichter



Quelle: aerospacepal

PCB: Deutschland vs Asien

PCB

■ „Recommended Specs“ des Leiterplattenherstellers:

Deutschland
(Multi Circuit Boards)

Asien
(All PCB.com)

- Leiterbahn, Leiterbahnabstand: 125µm
- Restring umlaufend: 125µm
- Bohrungen: 0.2mm

Leiterbahnabstand: 150µm
Bohrungen: 0.3mm

Preis(inc. Versand):
100x100mm: 1 Stück 45 Euro

Preis(inc. Versand):
100x100mm: 10 Stück 30 Dollar

- Asiaten sind billiger, aber schlechter
- Kommunikation in Europa leichter (Kulturunterschiede)
- Lieferzeit (inc. Versand) in etwa ähnlich
- DHL: Märchengebühr von 12.50 Euro

PCB: Einstellungen übernehmen (Track)



- Erster Schritt:
- Einstellungen des Herstellers übernehmen
 - Leiterbahnabstand
 - Min. Leiterbahndicke
 - Lötstopmmaske Abstand
 - Lötstopmmaske Mindestdicke

Pads Mask Clearance [X]

Note: For clearance values:
- a positive value means a mask bigger than a pad
- a negative value means a mask smaller than a pad

Solder mask clearance: millimeters

Solder mask min width: millimeters

Solder paste clearance: millimeters

Solder paste ratio clearance: %

Design Rules Editor [X]

Net Classes Editor | Global Design Rules

Via Options:

Blind/buried Vias:

☒ Do not allow blind/buried vias
☐ Allow blind/buried vias

Micro Vias:

☒ Do not allow micro vias
☐ Allow micro vias

Minimum Allowed Values:

Min track width (mm):

Min via diameter (mm):

Min via drill dia (mm):

Min uvvia diameter (mm):

Min uvvia drill dia (mm):

Specific via diameters and track widths, which can be used to replace default Netclass values on demand, for arbitrary vias or track segments.

Custom Via Sizes:

Drill value: a blank or 0 => default Netclass value

	Diameter	Drill
Via 1	0.7	0.3
Via 2		
Via 3		
Via 4		
Via 5		
Via 6		
Via 7		
Via 8		

Custom Track Widths:

	Width
Track 1	0.25
Track 2	1
Track 3	
Track 4	
Track 5	
Track 6	
Track 7	
Track 8	

Platine erstellen

- 0. Platinengröße (Outline)
- 1. Zuerst externe Komponenten platzieren
 - LEDs
 - Schalter
 - Stecker
- 2. zentrale Komponenten (MCU) zentral platzieren.
- 3. Funktionsgruppen um MCU anbinden
 - Hauptkomponente (z.B. OpAmp)
 - Hilfskomponente (z.B. Widerstand)
- 4: Hilfskomponenten (Widerstände, Kondensatoren) platzieren
 - Verbindungslänge minimieren

Verbindungen

PCB

- Leitungen:
 - Kurz & Dick
 - Kompakt: Weniger Platz & niedrigere Induktivität
 - Direkt: (Keine Umgehungsstraße)

- Leiterbahnbreite
 - Signale: Minimal
 - (typ. 200um)
 - Leistung: Strom

Regulators	Track Width	Electrical Spacing	TransLine	RF Attenuators	Color Code	Board Classes
Parameters						
Current	4					A
Temperature rise	10					deg C
Conductor length	40					mm
Resistivity	1.72e-8					Ohm-meter
External layer traces						
Trace width	2.03286					mm
Trace thickness	0.035					mm
Cross-section area	0.0711502					mm x mm
Resistance	0.00966969					Ohm
Voltage drop	0.0386787					Volt
Power loss	0.154715					Watt

- Abstand zwischen Leiterbahnen
 - Signale: Hersteller
 - Hochspannung: Spannungsfestigkeit beachten
- KiCAD: PCB-Calculator

Komponenten verdrahten

■ Autorouter:

PCB

Return to Zero

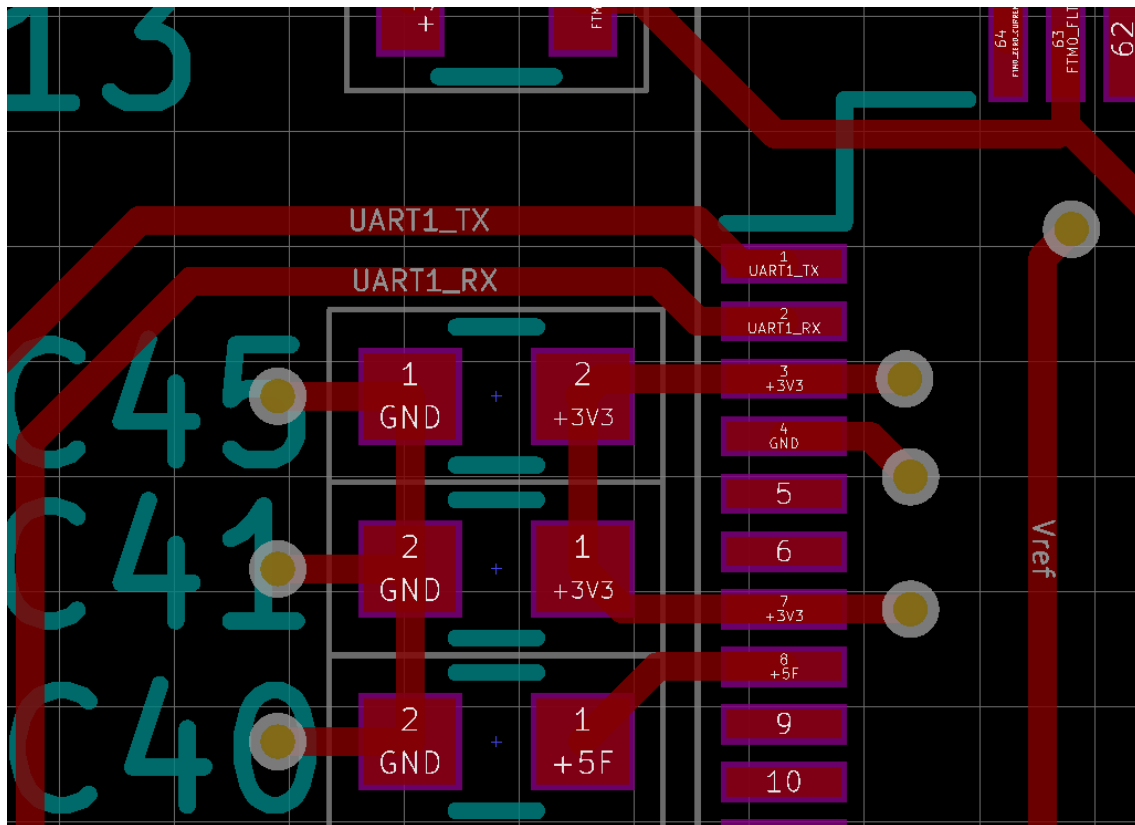


EEWeb.com

Komponenten verdrahten 4 Lagig

PCB

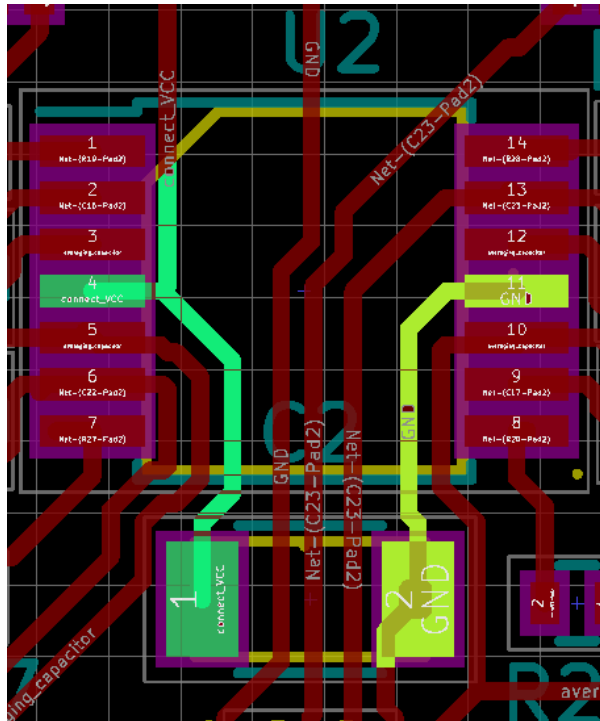
- VCC und GND, einfach Via setzen.
- 100n angrenzend platzieren



Beispiel 100nF an TSSOP

PCB

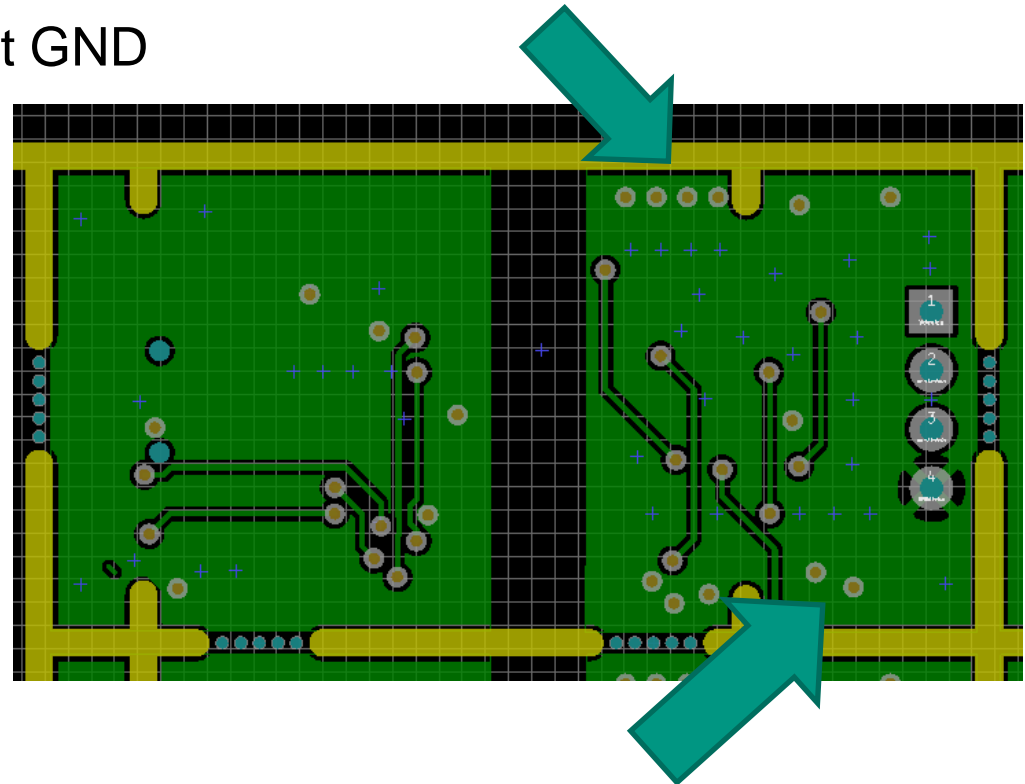
- 100nF soll möglichst direkt angebunden werden
- Beispiel: 1 lagige Platine 100n



GND-Plane

PCB

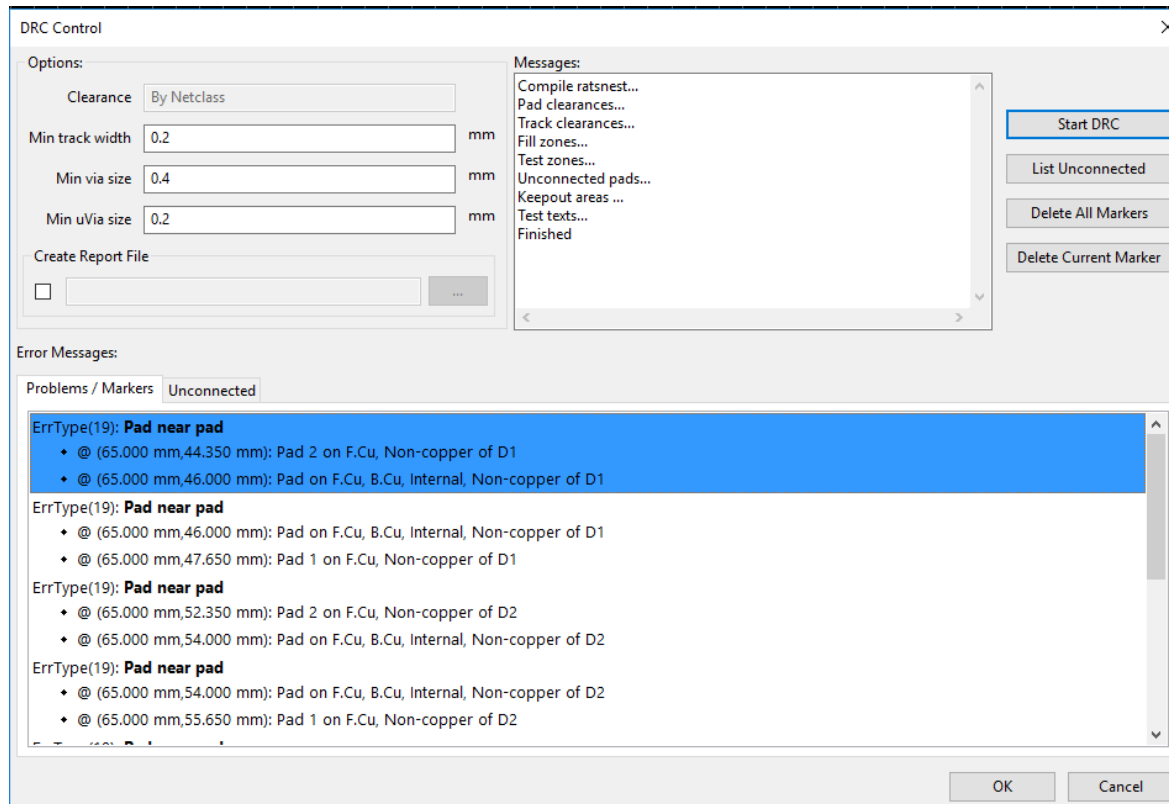
- Füllen aller offene Fläche mit GND
- Vorteile
 - Starkes GND reduziert Störungen
- Keine GND-Plane
 - Unter Spulen (Induktionsheizung)
 - Hohe Spannungssprünge
- Einige Vias zur Durchkontaktierung



Design Rule Checking

PCB

- Design Rule Checking überprüft aufgestellte Regeln



- DRC findet viele Fehler, aber nicht alle
 - Nicht auf DRC verlassen, sondern selbst alles überprüfen.

Checkliste

- Was könnte beim Layout schief gegangen sein?
 - Paranoid: Alles
 - Ausgangskondensator / Überspannungsschutz
 - GND Fläche fehlt

- Alles verbunden?
 - Schaltplan

- Strahlt Digital in Analog ein?
 - Trennen von Analog und HF (z.B. Schaltregler)

- Bestückungsdruck schön?

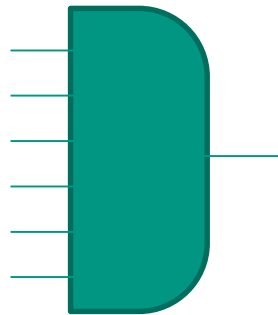
State of Mind: Be paranoid!

- „Compile-Time“ sind 2 Wochen

- Fix möglich
- Iteration startet erneut

- Fehler:

- Oder
Gatter



- Paranoid:

- „Only the paranoid survives“ –
or „Murphy always gets you“
- Jeder Schritt könnte
gefährlich sein – Darf ich das wirklich?



Source: NetDoctor

- Abhilfe schafft sauberes, gewissenhaftes Arbeiten und stetige Qualitätskontrolle

Panelizing

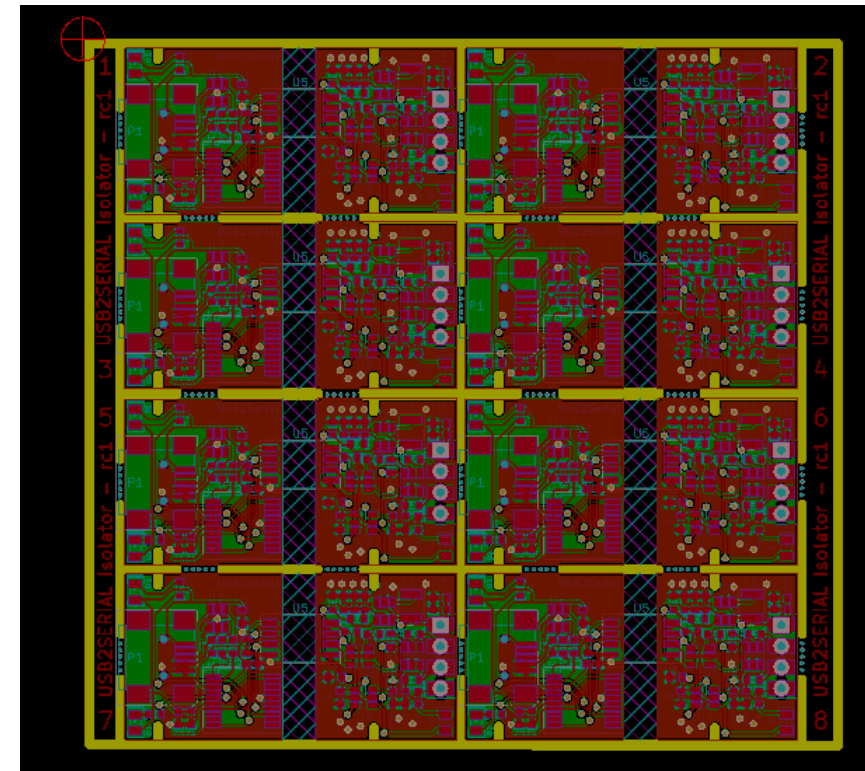
PCB

■ Fräßen

- Kontur wird gefräst
 - Typisch: 0.8mm (1.2mm)
- Design von Breakouts:
 - Mehrere Bohrungen nebeneinander

■ PCB Rand

- 5mm-10mm für SMD Bestückungsmaschine
- Beschriftung



- Anbringen von Befestigungen

■ Breakouts-Nachteil: Rauer Rand

- Bohrungen nach Möglichkeit nach Innen verschieben

Bestellen der Platine – Welche Layer

PCB

■ Welche Layer für was?

- F.Cu: Kupfer Vorderseite
- B. Cu: Kupfer Rückseite
- Adhes: Kleber für Komponente
- Paste: Lötpaste
- Silk: Bestückungsdruck
- Mask: Lötstopplack
- Edge: Kanten / Außenmaße
- Fab: Fabrikation Layer (Bauteilewerte)
 - Eventuell nützlich für Bestückung
- Bohrdatei

Plot

Plot format: Gerber Output directory: gerber/ Browse...

Layers

- ☒ F.Cu
- ☒ B.Cu
- ☐ B.Adhes
- ☐ F.Adhes
- ☐ B.Paste
- ☐ F.Paste
- ☒ B.SilkS
- ☒ F.SilkS
- ☒ B.Mask
- ☒ F.Mask
- ☐ Dwgs.User
- ☐ Cmts.User
- ☐ Eco1.User
- ☐ Eco2.User
- ☒ Edge.Cuts
- ☐ Margin
- ☐ B.CrtYd
- ☐ F.CrtYd
- ☐ B.Fab
- ☐ F.Fab

Options

- ☐ Plot sheet reference on all layers
- ☐ Plot pads on silkscreen
- ☒ Plot footprint values
- ☒ Plot footprint references
- ☐ Force plotting of invisible values/references
- ☐ Do not tent vias
- ☒ Exclude PCB edge layer from other layers
- ☐ Mirrored plot
- ☐ Negative plot
- ☐ Use auxiliary axis as origin

Current solder mask settings:

Solder mask clearance: 0.13 mm

Solder mask min width: 0.2 mm

Gerber Options

- ☒ Use Protel filename extensions
- ☐ Include extended attributes
- ☒ Subtract soldermask from silkscreen

Format

☐ 4.5 (unit mm)

☒ 4.6 (unit mm)

Drill marks: None

Scaling: 1:1

Plot mode: Filled

Default line width (mm): 0.1

Messages:

Filter: ☒ All ☒ Warnings ☒ Errors ☒ Infos ☒ Actions Save report to file...

Plot Generate Drill File Close

- Reflow-Prozess:
 - Stencil hilft Lötpaste gleichmäßig aufzutragen
 - Höhere Lötqualität
- Kosten: ca. 20 Euro
- Generell empfehlenswert
- Lötpaste
 - Viele kleinen Kugeln Lot
 - Flußmittel
 - Lötpaste kühl lagern
 - Lötpaste nach ½-1 Jahr neu kaufen



Quelle: Hoelektronik



Quelle: Taube Elektronik

Bestellen der Komponenten

PCB

Inbetriebn.

- Checkliste Komponenten-Bestellung:
 - Partnumber?
 - Bauform?
 - lieferbar?

- Wie viele Komponenten brauche ich?
 - Lötfehler miteinkalkulieren (je kleiner desto wahrscheinlicher)
 - Nachlieferung/Nachbestellen kostet Zeit
 - Zeit teurer als Verschwendung
 - Billig: 10 Stück mindestens oder + 30%
 - Teuer: 2 mehr bestellen

- Widerstände/Kondensatoren
 - Rollen 5k/10k Stück können sich lohnen

- Bauteile immer einsortieren & beschriften
 - Nicht beschriftete Bauteile sind wertlos!

- Schaltplan: Computer
- Visuelle Kontrolle
 - Lötverbindungen
 - Korrekte Bauteile
- Stromversorgung
 - Ausgangsspannung überprüfen
- MCU
 - Programmierbar?
- Weitere Sektionen dann in Betrieb nehmen und langsam testen
 - Power
 - Actio
 - Reactio
- Überlegt vorgehen
- Wichtig: Alle Änderungen protokollieren

Fehler protokollieren mit GitLab

Inbetriebn.

- Gesamtes Projekt auf GitLab hochladen
- Issue erstellen und beschriften
- Kategorien nutzen

<input type="checkbox"/>	Check is Dual PNP is available in larger footprint #14 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision	Function	Manufacturing
<input type="checkbox"/>	MosFETs Pin1 marker not visible on SilkScreen #13 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision	Estetic	Manufacturing
<input type="checkbox"/>	Q1 polarity marker missing on silk screen #12 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision		Manufacturing
<input type="checkbox"/>	R9 copper at boarder too small #11 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision	Function	
<input type="checkbox"/>	Add polarity marker for P1 #10 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision		Manufacturing
<input type="checkbox"/>	Add polarity marker for D75 #9 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision		Manufacturing
<input type="checkbox"/>	Rotate C73 180° to improve RF performace(=reduce wire) #8 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision	Function	
<input type="checkbox"/>	Make copper pour more uniform #7 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision		Estetic
<input type="checkbox"/>	MosFETs incorrectly wired #6 · opened 3 weeks ago by greenscreenflicker	🕒 Second revision	Function	

- Schaltplan anders bestücken als auf Dokument angegeben
 - Änderungen sofort notieren
- Einfach mal Strom und schauen was passiert
 - Gefahr: Zerstörung der noch funktionierenden Schaltungsteile
 - Stattdessen: Sehr konservativ Schritt für Schritt
- Übermüdung
 - Nur frisch und entspannt
 - Pause einlegen / keine Aufputschmittel
- „Ich wills‘ jetzt wissen...“
 - ... und booom.
 - Stattdessen: Schaltplan & Nachdenken
- Große Sektion Code auf einmal programmieren
 - Stattdessen: Code schritt für Schritt etappenweise gliedern
 - Komplexe Algorithmen auf PC vortesten

Return to Zero



EEWeb.com

- Schritt für Schritt testen
 - Problem zerlegen und Fehler lokalisieren
- Einzelne Baugruppen gezielt außer Betrieb nehmen
 - Fehlerursachen minimieren
 - Langsam vortasten
- Schaltung in Forum posten

Take Home Message

- Platinen machen ein Elektronikprodukt.
 - Produzierbar
 - Verlässlich
 - Testbar

- Compile-Time: 2 Wochen
 - Genau & präzise Arbeiten

- Platinenlayout ist einfach, wenn man sich an die Regeln hält
 - Jeder Schritt überlegt
 - Jeden Schritt doppelt überprüfen
 - ERC/DRC nutzen
 - Nicht schludern / eigenmächtig handeln
 - Nachlesen & nachfragen beim Hersteller

Kontakt

- Doktorrand

- Michael Heidinger, M. Sc.
 - Engesserstrasse 13, Geb. 30.34
 - Arbeitsgruppe Licht- und Plasmatechnologien
 - Geb. Raum: 212

- Kontakt
 - michael.heidinger@kit.edu

