

**Universitatea
Transilvania
din Brașov**

**FACULTATEA DE INGINERIE ELECTRICĂ
ȘI ȘTIINȚA CALCULATOARELOR**

Multiplicator de numere complexe

Student:

Gheorghe Ștefan

BRAȘOV, 2020

Cuprins

1	Prezentare generală	2
2	Implementare cu un singur modul de multiplicare.....	2
2.1	Arhitectură	2
2.2	Logica de control	3
2.3	Scenarii de test și forme de undă	4
3	Implementare cu două module de multiplicare.....	5
3.1	Arhitectură	5
3.2	Logica de control	6
3.3	Forme de undă obținute	7
4	Implementare cu patru module de multiplicare	8
4.1	Arhitectură	8
4.2	Logica de control	9
4.3	Forme de undă obținute	9

1 Prezentare generală

Circuitul implementat realizează înmulțirea a două numere complexe reprezentate sub forma algebrică.

Părțile reale și imaginare ale operanzilor sunt numere întregi reprezentate pe 8 biți, în complement față de 2.

În acest document sunt prezentate trei variante de implementare, fiecare cu un grad diferit de paralelism.

2 Implementare cu un singur modul de multiplicare

2.1 Arhitectură

În Figura 1 este prezentată arhitectura modulului. Tabelul 1 prezintă interfețele modulului, semnalele interne și semnificația acestora.

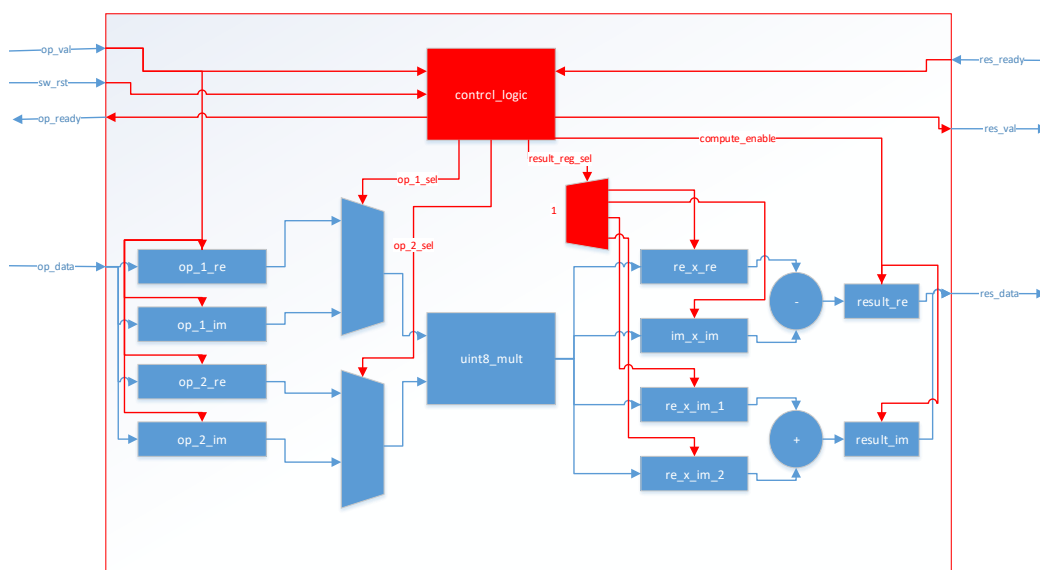


Figura 1 : Arhitectura modulului implementat

Tabel 1 : Prezentarea interfețelor și semnalelor interne.

Denumire	Tip	Explicatie
op_val	I	Semnalizează faptul că operandii sunt gata de preluat de către modul.
sw_rst	I	Reset sincron al modului.
op_ready	O	Semnalizează faptul că modulul este pregătit pentru a primi noi operanzi.
op_data	I	Datele de intrare ale modului.
res_ready	I	Modulul Master este gata de a primi rezultatul.
res_val	O	Rezultatul multiplicării este pregătit pentru a fi transmis.
res_data	O	Datele de ieșire ale modului.
op_1_sel	Intern	Semnalul de selecție pentru primul operand al modului de multiplicare.
op_2_sel	Intern	Semnalul de selecție pentru al doilea operand al modului de multiplicare.
res_reg_sel	Intern	Semnalul de selecție a registrului în care va fi stocat rezultatul multiplicării curente.
compute_enable	Intern	Semnal de enable pentru realizarea adunării și scăderii finale.

2.2 Logica de control

În Figura 2 este prezentat graful de tranziții al modului implementat. Tabelul 2 conține o scurtă explicație a fiecărei stări în parte.

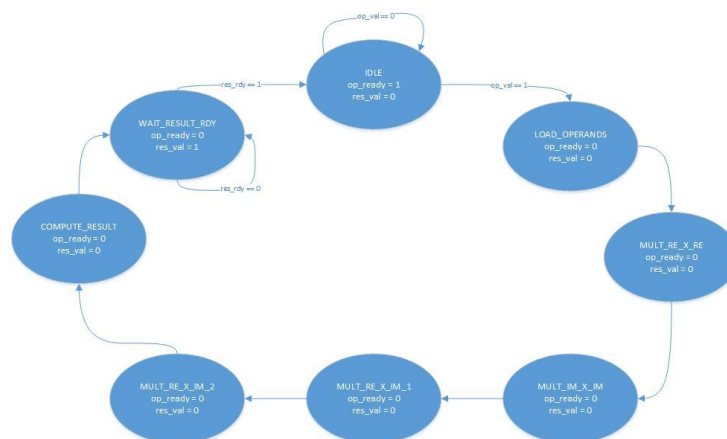


Figura 2: Graful de tranziție a stărilor

Tabel 2 : Explicarea stărilor modulului.

Denumire	Explicație
IDLE	Modulul este în așteptare de noi operanzi, op_ready este 1.
LOAD_OPERANDS	Operanzii sunt încărcăți în registrele interne.
MULT_RE_X_RE	Se înmulțesc părțile reale ale fiecărui operand și se stochează în registrul corespunzător.
MULT_IM_X_IM	Se înmulțesc părțile imaginare ale fiecărui operand și se stochează în registrul corespunzător.
MULT_RE_X_IM_1	Se înmulțește partea reală a primului operand cu partea imaginară a celui de-al doilea operand și se stochează în registrul corespunzător.
MULT_RE_X_IM_2	Se înmulțește partea imaginară a primului operand cu partea reală a celui de-al doilea operand și se stochează în registrul corespunzător.
COMPUTE_RESULT	Se calculează adunarea și scăderea finală.
WAIT_RESULT_RDY	Se așteaptă semnalul de res_ready, res_val este activ.

2.3 Scenarii de test și forme de undă

Pentru testarea modulului au fost implementate mai multe scenarii de test. Acestea sunt prezentate mai jos, în codul pentru modulul complex_nr_mult_tb. Acest modul, împreună cu monitor_complex_multiplier, vor fi folosite pentru simularea și verificarea funcționalității tuturor modulelor implementate în cadrul acestui proiect.

Fiecare scenariu de test are un task asociat. Din modulul test_environment se poate alege ce scenariu va fi rulat. Proiectantul are posibilitatea de a selecta operanzii, de a trimite valori aleatoare, de a trimite valori extreme sau de a efectua mai multe calcule consecutiv.

Modulul monitor_complex_multiplier are rolul de a verifica automat dacă operațiile efectuate sunt corecte.

Formele de undă obținute în urma simulării primului scenariu de test cu valorile preluate din specificațiile proiectului sunt prezentate în Figura 3.

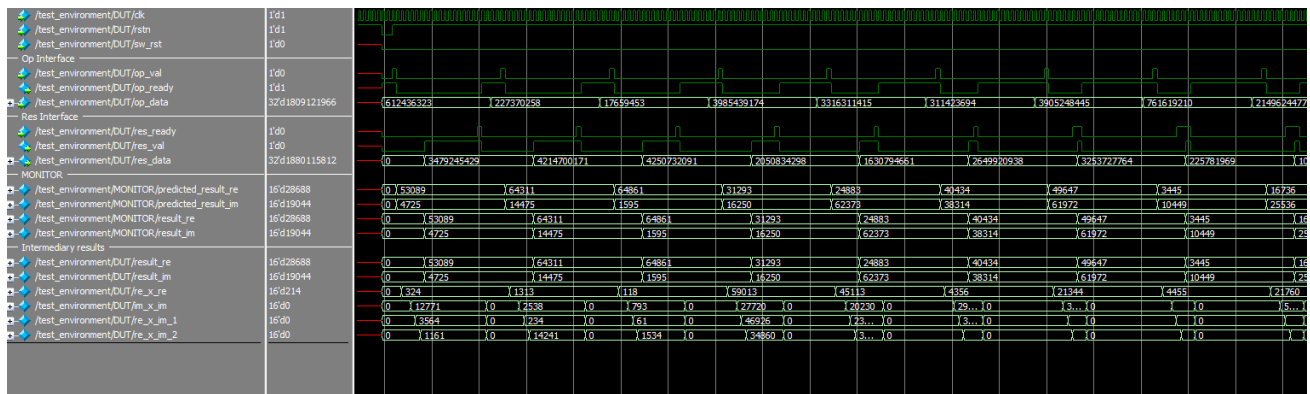


Figura 3 : Forme de undă obținute

3 Implementare cu două module de multiplicare

3.1 Arhitectură

În Figura 4 este prezentată arhitectura modului. Tabelul 3 prezintă semnalele interne ale modului și semnificația acestora. Interfața acestuia este aceeași cu implementarea cu un singur modul de multiplicare, interfață prezentată în Tabelul 2.

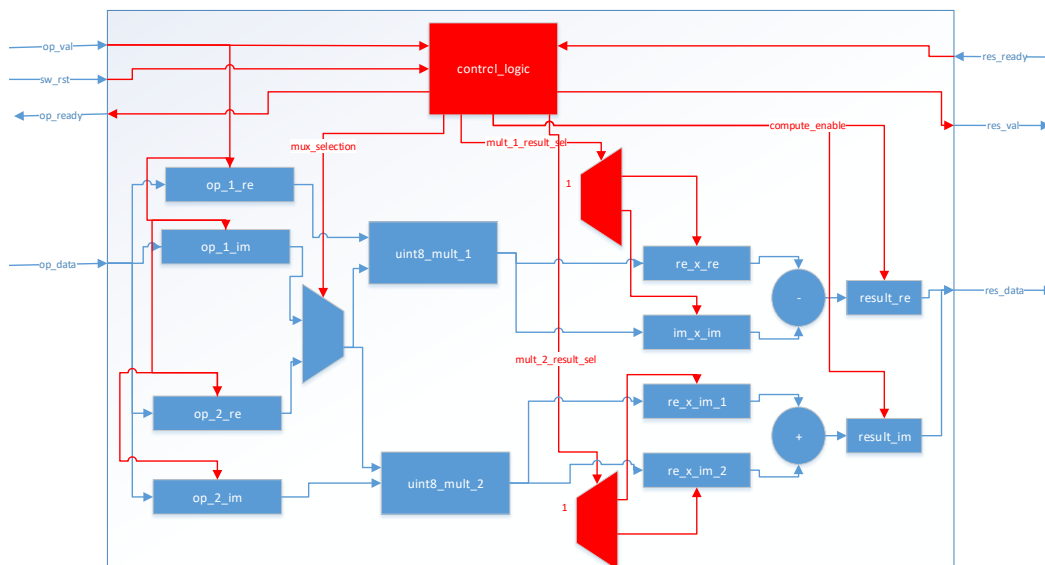


Figura 4 : Arhitectura modului implementat

Tabel 3 : Prezentarea semnalelor interne.

Denumire	Tip	Explicatie
mux_selection	Intern	Semnal de selecție pentru al doilea operand al fiecărui multiplicator.
mult_1_result_sel	Intern	Semnal de selecție pentru registrul de stocare al rezultatului de la ieșirea multiplicatorului 1.
mult_2_result_sel	Intern	Semnal de selecție pentru registrul de stocare al rezultatului de la ieșirea multiplicatorului 2.
compute_enable	Intern	Semnal de enable pentru realizarea adunării și scăderii finale.

3.2 Logica de control

În Figura 5 este prezentat graful de tranziții al modului implementat. Tabelul 4 conține o scurtă explicație a fiecărei stări în parte.

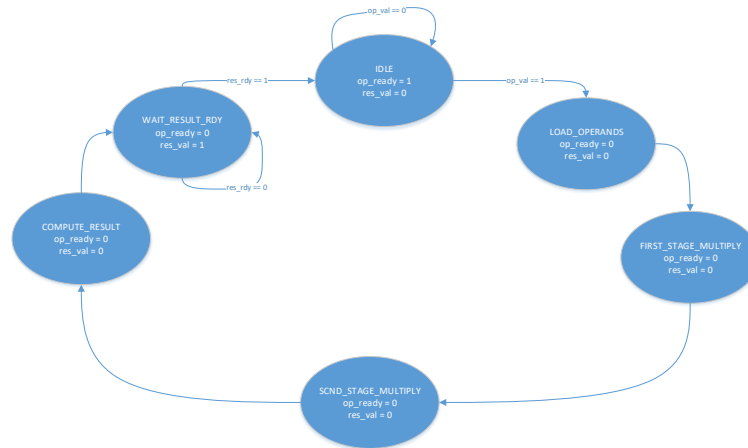


Figura 5: Graful de tranziție a stărilor

Tabel 4 : Explicarea stărilor modului.

Denumire	Explicație
IDLE	Modulul este în așteptare de noi operanzi, op_ready este 1.
LOAD_OPERANDS	Operanzii sunt încărcăți în registrele interne.
FIRST_STAGE_MULTIPLY	Se înmulțesc părțile reale ale fiecărui operand și părțile imaginare între ele.

SCND_STAGE_MULTIPLY	Se calculează valorile pentru adunare.
COMPUTE_RESULT	Se calculează adunarea și scăderea finală.
WAIT_RESULT_RDY	Se așteaptă semnalul de res_ready, res_val este activ.

3.3 Forme de undă obținute

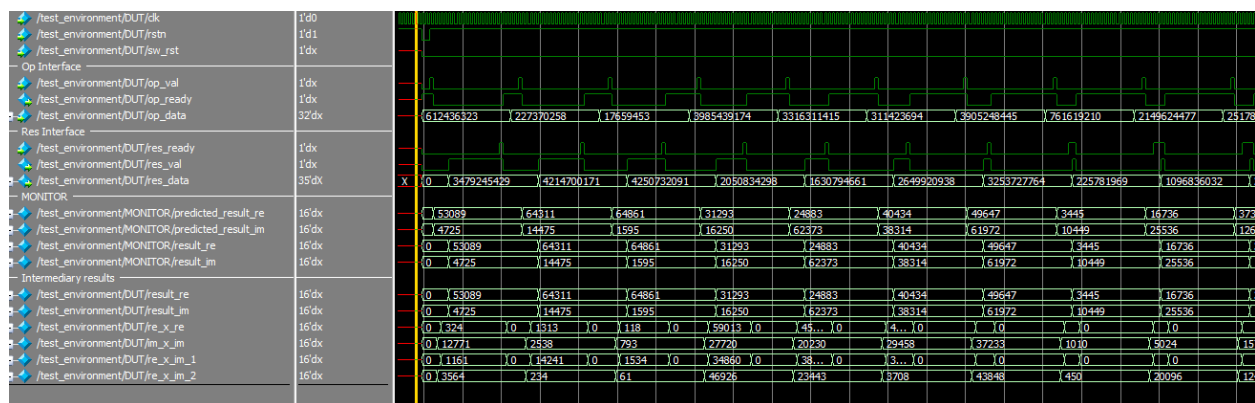


Figura 6: Forme de undă obținute

4 Implementare cu patru module de multiplicare

4.1 Arhitectură

În Figura 7 este prezentată arhitectura modulului. Tabelul 5 prezintă semnalele interne ale modulului și semnificația acestora. Interfața acestuia este aceeași cu implementarea cu un singur modul de multiplicare, interfață prezentată în Tabelul 2.

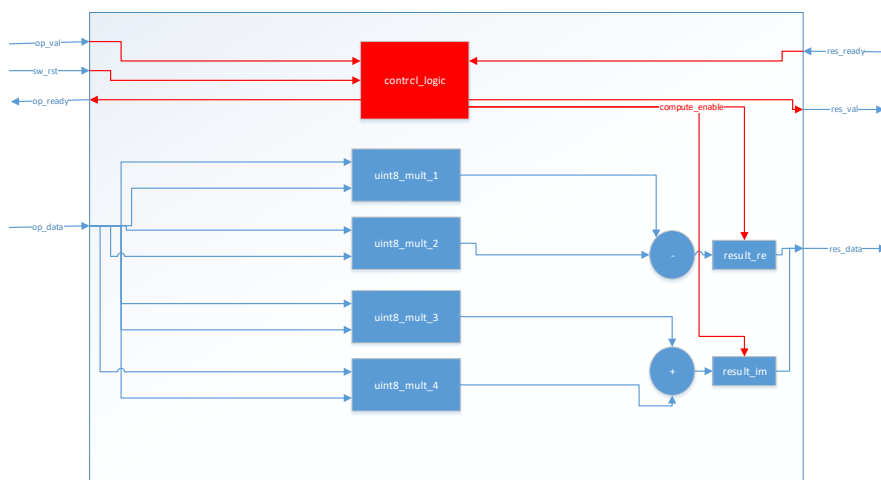


Figura 7 : Arhitectura modulului implementat

Tabel 5 : Prezentarea semnalelor interne.

Denumire	Tip	Explicatie
compute_enable	Intern	Semnal de enable pentru realizarea adunării și scăderii finale.

4.2 Logica de control

În Figura 8 este prezentat graful de tranziții al modului implementat. Tabelul 5 conține o scurtă explicație a fiecărei stări în parte.

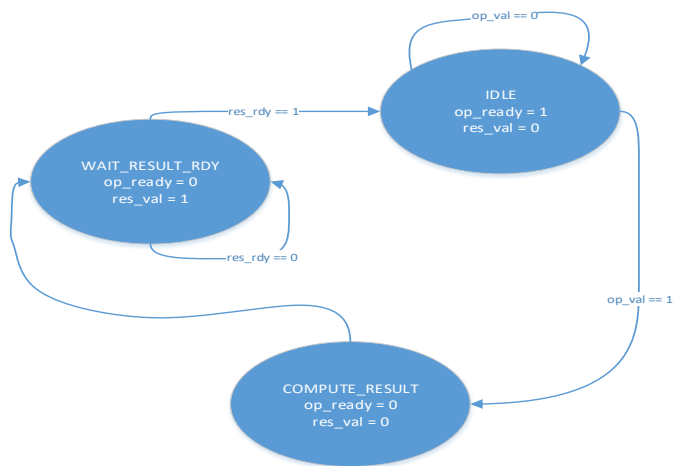


Figura 8: Graful de tranziție a stărilor

Tabel 6 : Explicarea stărilor modului.

Denumire	Explicație
IDLE	Modulul este în așteptare de noi operanzi, op_ready este 1.
COMPUTE_RESULT	Se calculează adunarea și scăderea.
WAIT_RESULT_RDY	Se așteaptă semnalul de res_ready, res_val este activ.

4.3 Forme de undă obținute

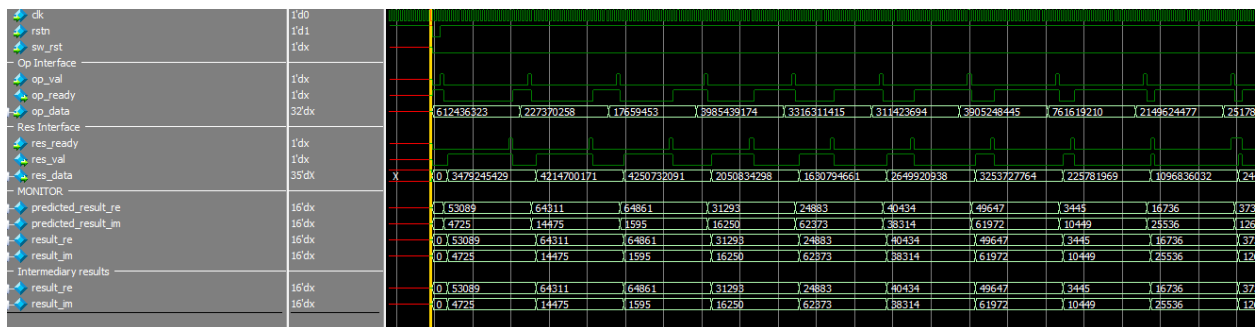


Figura 8: Forme de undă obținute