**LAB2 译码器和编码器**

一、**译码器**

1. **真值表**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | **输出** | | | | | | | |
| **x** | **y** | **z** | **D0** | **D1** | **D2** | **D3** | **D4** | **D5** | **D6** | **D7** |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

2. **布尔函数**

D0 = x’y’z’

D1 = x’y’z

D2 = x’yz’

D3 = x’yz

D4 = xy’z’

D5 = xy’z

D6 = xyz’

D7 = xyz

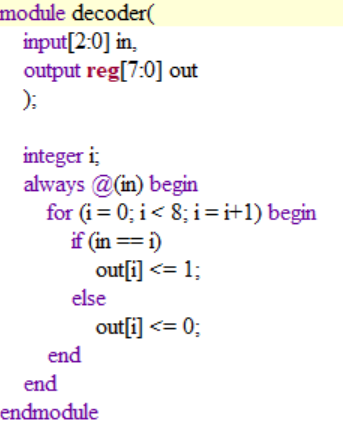
3. **实验设计**

(1)实验的**输入**、**输出**和对应的**管脚**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **变量名** | **类型** | **描述** | **宽度** | **管脚** |
| in | input | 三位输入 | 3 | J15,L16,M13 |
| out | output | 八位输出 | 8 | H17,K15,J13,N14,  R18,V17,U17,U16 |

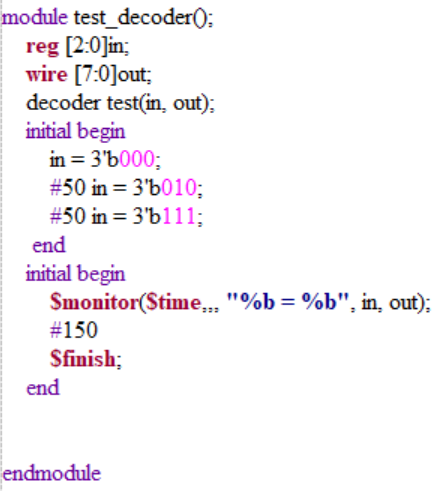
**备注：以上表中的管脚顺序对应于相应变量的二进制表示的顺序为：从权重较小的位到权重较大的位（如： in[0]对应的是J15，in[1]对应的是L16）**

(2)根据真值表，可以看出输出的结果中只有下标与输入的值相等的位值为1，其他都为0，因此可以用循环来实现：

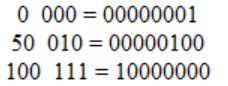


4. **仿真**

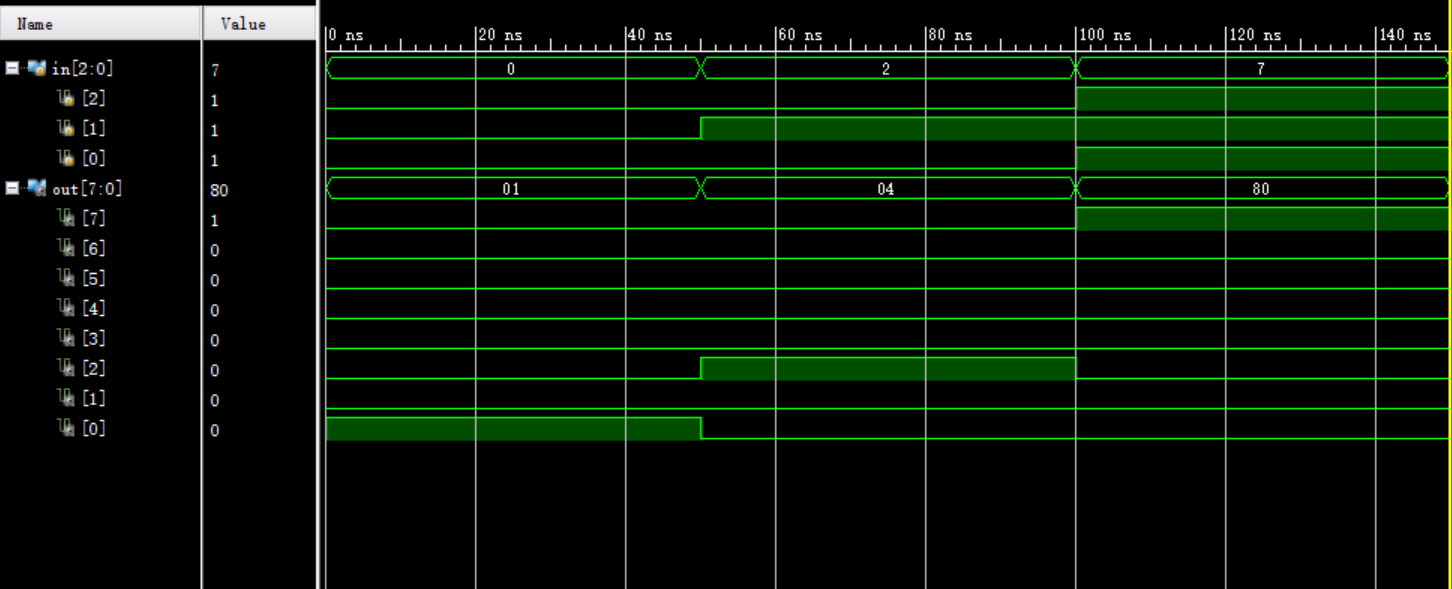
(1)**测试代码**：



(2)**从000-111我选取了三个输入测试，测试数据在控制台的输出如下(格式为：时间 输入=输出)**：



(3)**仿真波形**



二、**编码器**

1. **真值表**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **输入** | | | | **输出** | | |
| **D0** | **D1** | **D2** | **D3** | **x** | **y** | **v** |
| 0 | 0 | 0 | 0 | x | x | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| x | 1 | 0 | 0 | 0 | 1 | 1 |
| x | x | 1 | 0 | 1 | 0 | 1 |
| x | x | x | 1 | 1 | 1 | 1 |

2. **布尔函数**

x = D2 + D3

y = D3 + D1D2’

v = D0 + D1 + D2 + D3

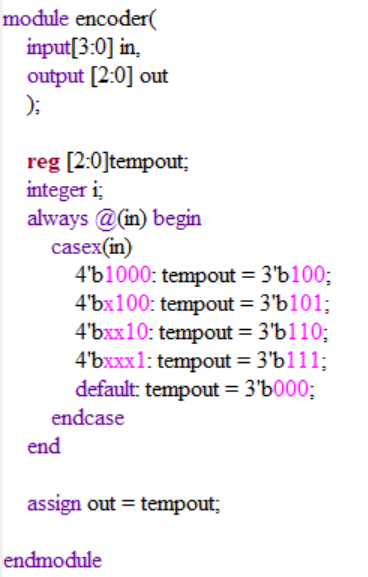
3. **实验设计**

(1)实验的**输入**、**输出**以及对应的**管脚**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **变量名** | **类型** | **描述** | **宽度** | **管脚** |
| in | input | 四位输入 | 4 | J15，L16,M13,R15 |
| out | output | 两位结果+一位有效位 | 3 | H17,K15,J13 |

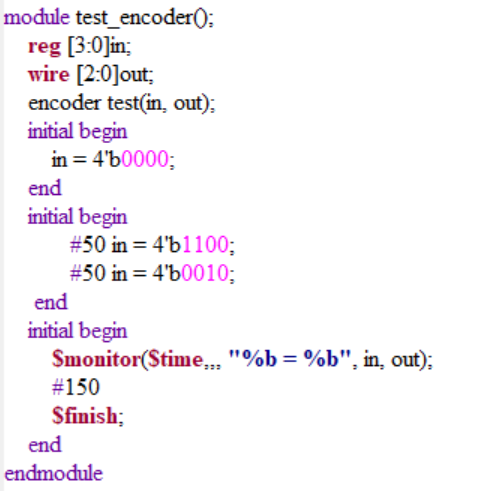
**备注：管脚的顺序与译码器相同**

(2)根据真值表，对五种不同的输入，对应五种输出，因此**代码实现**如下，其中out[0]是有效位，等于1表示结果有效，否则无效

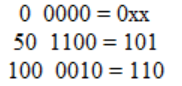


4. **仿真波形**

(1)**测试代码**



(2)**我选取了三中不同的输入进行测试，分别代表了无效输入、包含don’t-care的有效输入和不包含don’t-care的有效输入，对应在控制台的输出如下（格式：时间 输入=输出）：**

****

(3)**仿真波形**



三、**实验中遇到的问题和解决方案**

1. Error: Syntax error near ‘for’

原因：在包含改for循环的外层always语句的最后添加了多余的分号

2. 当包含不确定值x时，case语句需要使用其拓展，也就是casex语句

四、**实验中的体会与感想**

因为有了LAB1的经验，这次做LAB时对软件的使用和整体设计的流程以及verilog的语法都熟悉了很多，总体感觉，这次的实验相比第一次更为简单。