



**中国科学技术大学**  
University of Science and Technology of China

# **模拟与数字电路实验** **课程介绍**

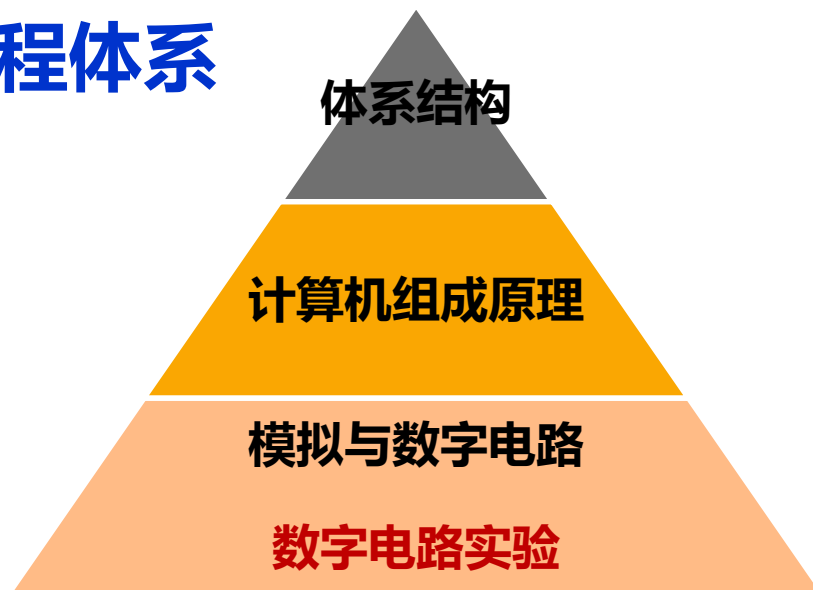
**卢建良**

**计算机科学与技术学院**

**2022-09-29**

# 课程介绍

- **数字电路实验**是面向计算机专业学生的一门专业基础课，课程以数字电路理论为基础，利用理论课中的原理性知识，由易到难、由浅入深逐步完成一系列功能电路的分析、验证、设计工作。本课程的系列实验涵盖了验证型、设计型、创新型等不同层次的内容
- 计算机专业所有硬件类课程的基础
- 构建系统能力培养统一实验课程体系
  - **数字电路实验：部件设计**
  - **组成原理实验：片上系统**
  - **体系结构实验：优化加速**



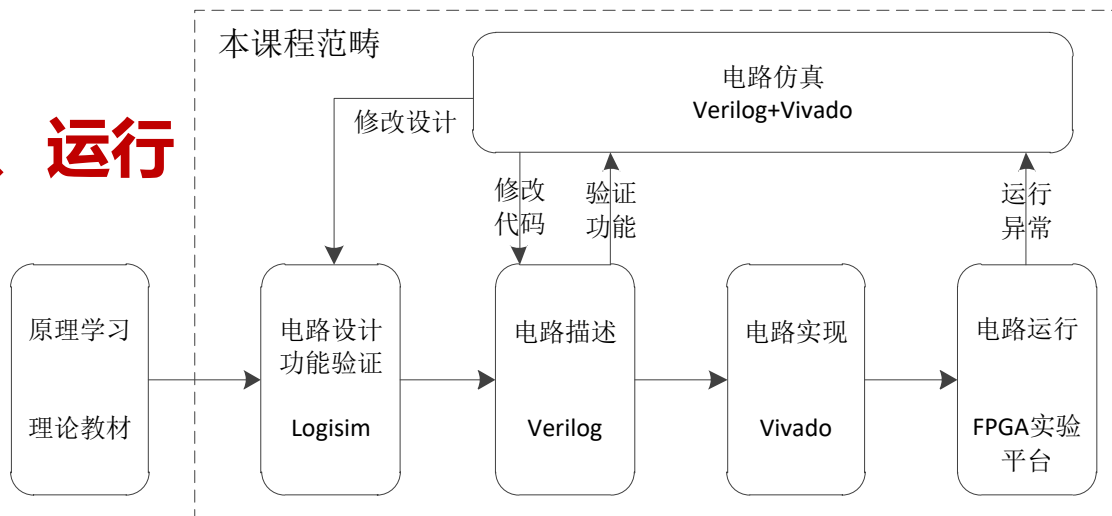
# 课程范畴

## ■ 课程范畴

■ 设计、编码、仿真、运行

## ■ 课程目标

■ 理论、工具、语言



理论

• 理解、掌握并设计出理论课中讲到的各类功能电路

工具

• 熟练使用数字电路设计流程中相关的各种EDA工具

语言

• 熟练掌握业界主流的硬件描述语言——Verilog HDL

# 具体目标

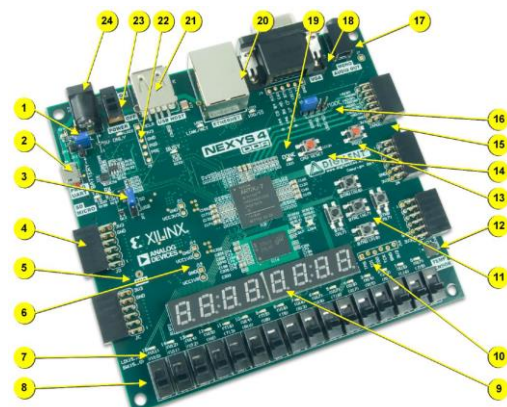
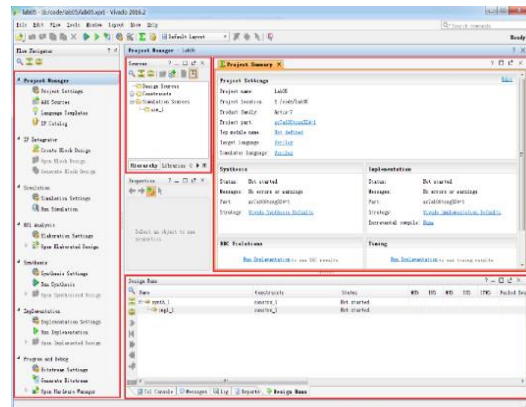
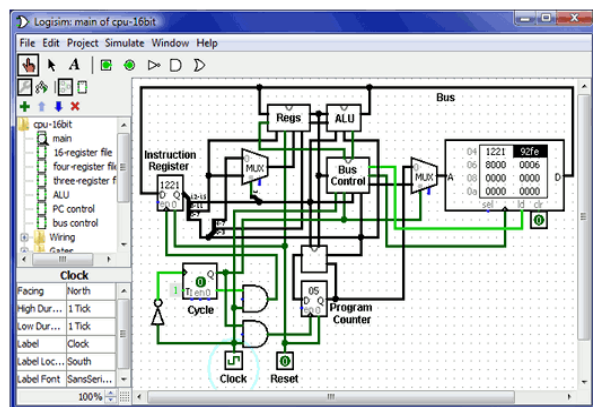
- **数字电路实验：**培养学生理解并设计数字逻辑功能电路的能力，为后续的计算机组成原理实验课程奠定基础
  - **Logisim：**对电路结构原理进行图形化的演示和仿真
  - **Verilog：**对电路功能进行设计（描述）  
对电路功能进行行为仿真（需查看波形图）
  - **Vivado：**将Verilog代码转换为电路文件
  - **FPGA：**运行电路的真实芯片
  - **FPGAOL：**以FPGA为核心构成的真实在线实验环境
- **组成原理实验：**依次完成部件、**处理器**、片上系统的设计
  - 与数字电路实验使用相同的语言、工具和环境

# 实验流程

## 1. 电路分析

## 2. 编码综合

## 3. 运行调试



图形化电路仿真软件  
——Logisim

集成式EDA开发软件  
——Vivado

可编程硬件实验平台  
——FPGA开发板

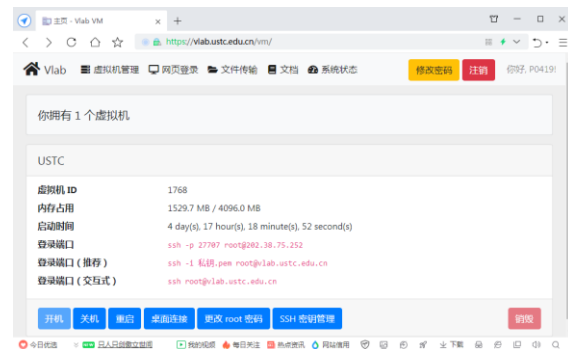
## ■ 面临不足

- 软件下载安装费时费力、系统兼容性差 (20GB+)
- 缺乏快速的编码正确性检查、学习效率低下
- 硬件开发板易损坏, 使用不便、管理成本高、使用效率低

# 教学平台 (vlab.ustc.edu.cn)

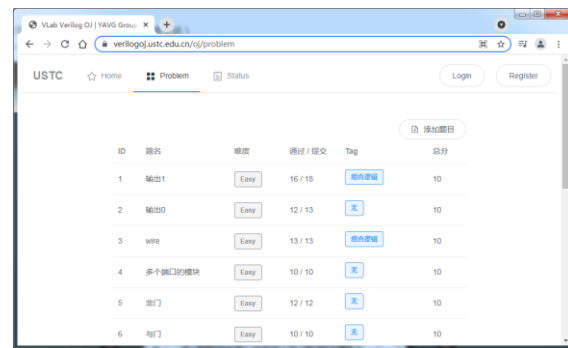
## ■ Vlab: 远程虚拟云桌面系统

- vlab.ustc.edu.cn
- 7\*24小时在线的统一实验环境
- 预装实验相关的各种工具软件



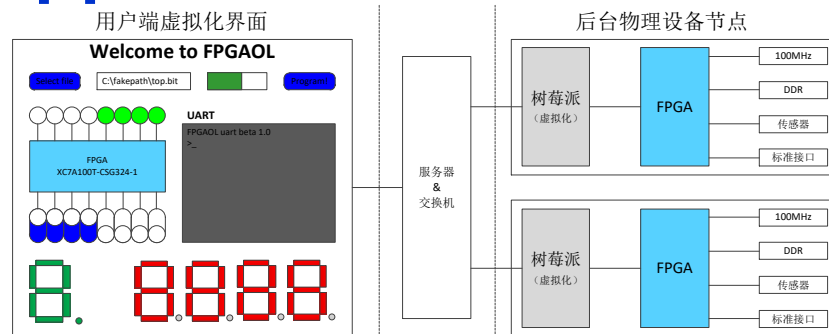
## ■ Verilog OJ: Verilog在线测评系统

- 自动化评测, 提高Verilog学习效率
- <https://hdlbits.01xz.net> (ref)
- verilogoj.ustc.edu.cn



## ■ FPGAOL: FPGA在线实验平台

- fpgaol.ustc.edu.cn
- 分时复用的在线实验平台
- 用户通过浏览器访问设备节点





# 教学平台



Vlab平台



FPGAOL平台



# 课程信息

---

## ■ 学时、学分

- 40学时，1个学分
- 10周，10个实验，每个实验持续两周时间

## ■ 辅导方式

- $280-40=240$ 个学生，分成10组，每位助教负责一组
- 过程化管理，重点关注不交或迟交的同学
- 提高班40人，单独上课，实验内容也有所不同

## ■ 课程考核

- **完成实验文档中的“实验练习”，检查完成情况，提交报告**
- 助教负责实验检查及打分，最终成绩为百分制
- 实验完成占80%，实验报告+VerilogOJ题目20%
- **本学期新增15分的考勤分数，仅总评不及格时可用**
- 优秀率：85分以上占比不能超过35%
- 不及格率没有要求



# 课程信息

---

## ■ 课程QQ群

- 群号：612304335

- 课程通知及实验内容将主要通过QQ群发布

## ■ 实验检查时间

- 周四下午2:00~5:00（电三楼406）

- 周四晚上6:30~9:30（电三楼406）

两个时间段，二选一，联系自己组助教检查实验

## ■ 自由上机时间

- 周三下午2:00~5:00（电三楼410）

- 自由上机，安排答疑，不检查实验

## ■ 说明

- 电三楼406室，108个机位

- 电三楼410室，36个机位

# 实验安排

数字电路实验关键时间节点				
时间	实验发布（23：59前）	实验讲解（上课时间）	检查截止（21:30前）	报告提交截止（23:59前）
第四周 (09. 22)	实验01_Logisim入门			
第五周 (09. 29)	实验02_简单组合逻辑电路	实验01_Logisim入门		
第七周 (10. 13)	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门	
第八周 (10. 20)	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门
第九周 (10. 27)	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路
第十周 (11. 03)	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路
十一周 (11. 10)	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言
十二周 (11. 17)	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真
十三周 (11. 24)	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合
十四周 (12. 01)	实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核
十五周 (12. 08)		实验10_综合实验	实验09_竞争冒险及流水线技术	实验08_信号处理及有限状态机
十六周 (12. 15)			实验10_综合实验	实验09_竞争冒险及流水线技术
十七周 (12. 22)				实验10_综合实验

# 教辅团队

姓名	身份	邮箱	办公室	说明
卢建良	教师	lujl@ustc.edu.cn	电三楼411	
张俊霞	教师	zjx@ustc.edu.cn	电三楼409	提高班
樊颜恩	教师	fye1985@ustc.edu.cn	电三楼407	提高班
赵雅楠	教师	yananzh@ustc.edu.cn	电三楼407	
龚小航	助教	gxh2018@mail.ustc.edu.cn		
李思逸	助教	kd19030926@mail.ustc.edu.cn		
陈兴焱	助教	chenxingyan@mail.ustc.edu.cn		
吴承泽	助教	wuchengze@mail.ustc.edu.cn		
冯子洋	助教	fzy617@mail.ustc.edu.cn		
胡冰	助教	hb20080708@mail.ustc.edu.cn		
王浩东	助教	napi@mail.ustc.edu.cn		
林宸昊	助教	mojizooo@mail.ustc.edu.cn		
殷尘龙	助教	yinchenlong@mail.ustc.edu.cn		
马子睿	助教	madrid@mail.ustc.edu.cn		提高班

# 学习建议

---

- 摆正心态，有所取舍
- 提前准备，主动学习
- 认真学习，夯实基础，避免组成原理实验爆雷
- 不懂就问，拒绝矜持
- 充分利用网络资源，比如“Bilibili大学”
- 重点==难点==学习目标
  - 语言：Verilog（学生戏称“Veribug”）
  - 工具：Vivado、Logisim
  - 平台：FPGA（FPGAOL）
  - 能力：电路设计

# 课程评价

【匿名】猎人 9:18:35

你说的对，但是模拟与数字电路实验是由中国科学技术大学计算机学院开设的一门必修实验课。实验室坐落在一个被称作「电三楼」的真实区域，在这里，不论是否被选中，将被要求学习「Verilog」，理解晦涩的命名。你将扮演一位名为科南的角色，在艰苦的学习过程中邂逅性格各异、卷到飞起的同学们，和他们互相击败对方，提高自己的代码长度——同时，逐步发掘「xc7a100tcsg324-1」的真相。

【匿名】狼人 9:27:52

你说的对，但是模拟与数字电路实验是由中国科学技术大学计算机学院开设的一门必修实验课。实验室坐落在一个被称作「电三楼」的真实区域，在这里，不论是否被选中，将被要求学习「Verilog」，理解晦涩的命名。你将扮演一位名为科南的角色，在艰苦的学习过程中邂逅性格各异、卷到飞起的同学们，和他们互相击败对方，提高自己的代码长度——同时，逐步发掘「xc7a100tcsg324-1」的真相。

【匿名】女巫 9:28:55

你说的对，但是模拟与数字电路实验是由中国科学技术大学计算机学院开设的一门必修实验课。实验室坐落在一个被称作「电三楼」的真实区域，在这里，不论是否被选中，将被要求学习「Verilog」，理解晦涩的命名。你将扮演一位名为科南的角色，在艰苦的学习过程中邂逅性格各异、卷到飞起的同学们，和他们互相击败对方，提高自己的代码长度——同时，逐步发掘「xc7a100tcsg324-1」的真相。

【匿名】法官 9:31:10

你说的对，但是模拟与数字电路实验是由中国科学技术大学计算机学院开设的一门必修实验课。实验室坐落在一个被称作「电三楼」的真实区域，在这里，不论是否被选中，将被要求学习「Verilog」，理解晦涩的命名。你将扮演一位名为科南的角色，在艰苦的学习过程中邂逅性格各异、卷到飞起的同学们，和他们互相击败对方，提高自己的代码长度——同时，逐步发掘「xc7a100tcsg324-1」的真相。

你说的对，但是模拟与数字电路实验是由中国科学技术大学计算机学院开设的一门必修实验课。实验室坐落在一个被称作「电三楼」的真实区域，在这里，不论是否被选中，将被要求学习「Verilog」，理解晦涩的命名。你将扮演一位名为科南的角色，在艰苦的学习过程中邂逅性格各异、卷到飞起的同学们，和他们互相击败对方，提高自己的代码长度——同时，逐步发掘「xc7a100tcsg324-1」的真相。

关键词：Verilog、Vivado、FPGA、Logisim



# 课程评价

## 模拟与数字电路实验

2022秋 2021秋 2020秋 2019秋 2018秋 2017秋 2016秋 2015秋 2014秋 课程号: 01115201

★★★★☆ 6.2 (40人评价)

课程难度: 中等    作业多少: 很多    给分好坏: 一般    收获大小: 一般

选课类别: 计划

教学类型: 实验课

课程类别: 本科计划内课程

开课单位: 计算机科学与技术系

课程层次: 专业基础

学分: 1.0

Q1: 老师咋样?

答: 老师水平不做评价, 因为这门课似乎不是很能体现出老师的水平。只是说实验文档还是不太行, 不仅描述不好, 而且实验任务也不够明确, 检查点不清楚。不过, 看得出来老师一定程度上尽力给我们减轻负担, 比如取消了不少内容。上课时也尽量在解释他编的、基本啥也没讲的实验讲义。也在群里反复提醒要我们完成作业、提醒濒临挂科的人找他商量如何避免挂科(印象太深刻了)。

Q2: 给分咋样?

答: 我感觉优秀率是满的, 以及但凡认真一些都不至于拿特低分。

优秀率似乎是按组算的, 在比较躺的组有优势。

前面的实验虽然痛苦但是多数人能做完; 感觉最后决定分数的还是大作业。大作业一般会有一个比较水的题目用来水过去, 当然分数也不会高。大作业我就两个小时写完的, 总评84, 还算满意, 大部分做这个的都是3.3, 不过也有3.7的也有2.7的。卷一点的大部分都3.7+, 也有一些人可能比较倒霉拿个3.3的。评课社区大佬多, 不过我认为评课社区不应该变成4+社区, 应该多一些排名中等的学生的想法。

提醒一下, 大作业有人做生成logisim电路文件的程序。那个文件是个文本文件, 打开logisim加载就能出现电路。这个实验虽然是比较水的题目辛苦, 但是跟数电实验似乎没啥关系, 也很难得高分。

Q3: 选课建议?

答: 计科的没得选, 辅修的如果时间多可以选(请同时学习模拟与数字电路, 或者其他为数电课程), 其他的不建议。

另外这门课实际上课时间可能与教务系统上排的时间不一样(是可选时间段的, 有一个选项就是正好在教务系统上排课时间上)。如果有需要与这门课叠课的, 虽然实验不能叠课, 但是考虑到特殊性, 可以询问本课程的上课时间选项后尝试跟相关老师解释, 有可能成功。

---

**Q&A**



**中国科学技术大学**  
University of Science and Technology of China

# **实验01**

# **Logisim入门**

**卢建良**

**计算机科学与技术学院**

**2022-09-29**

# 实验目的

---

- 能够自行创建Logisim实验环境
- 熟悉Logisim的各种基础器件和基本操作
- 能够使用Logisim搭建组合逻辑电路并进行仿真
- 能够在Logisim内封装子电路并进行电路设计

# 实验环境

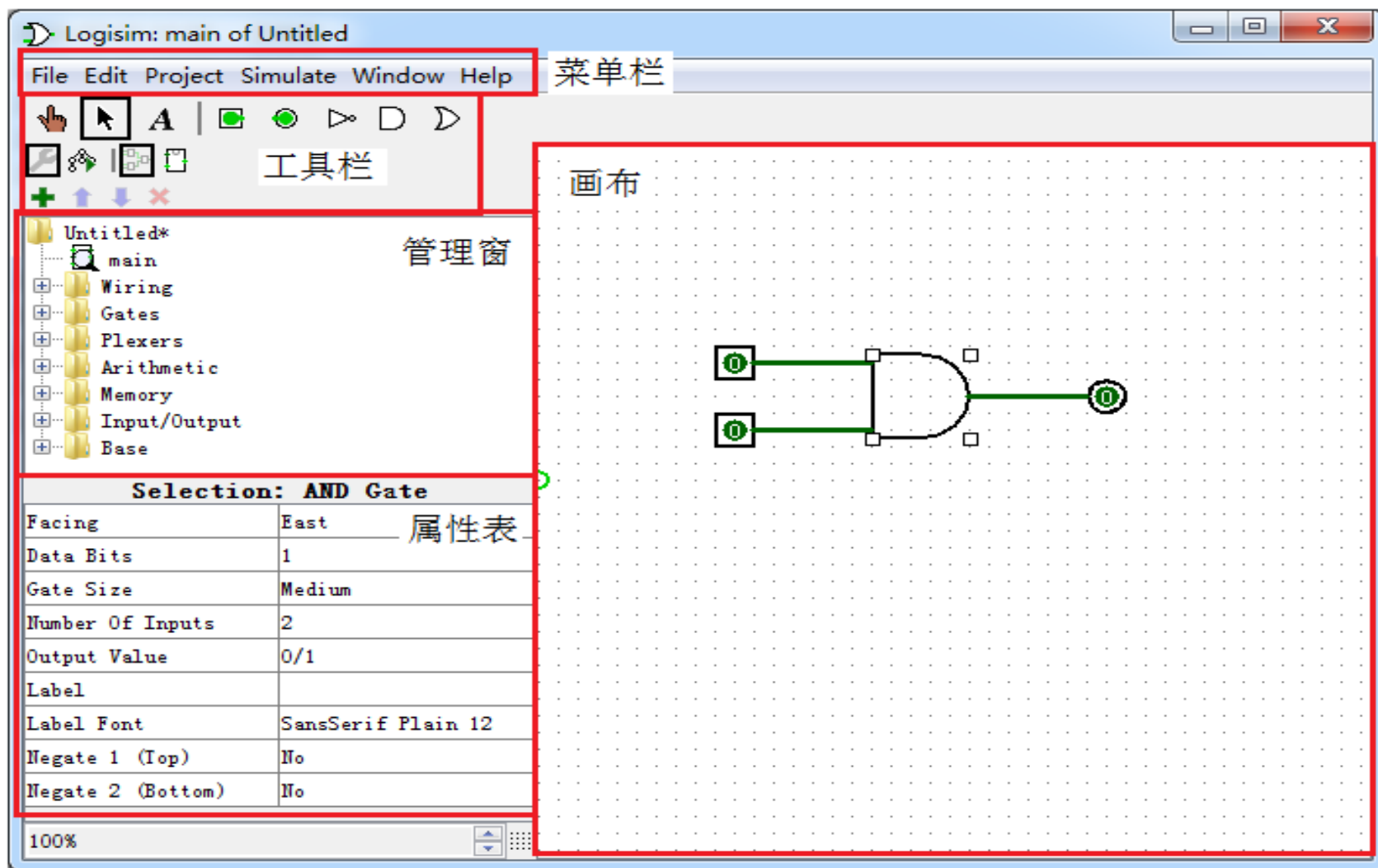
---

- PC一台：能流畅的连接校园网
- 远程虚拟机：[vlab.ustc.edu.cn](http://vlab.ustc.edu.cn)
- Logisim仿真工具



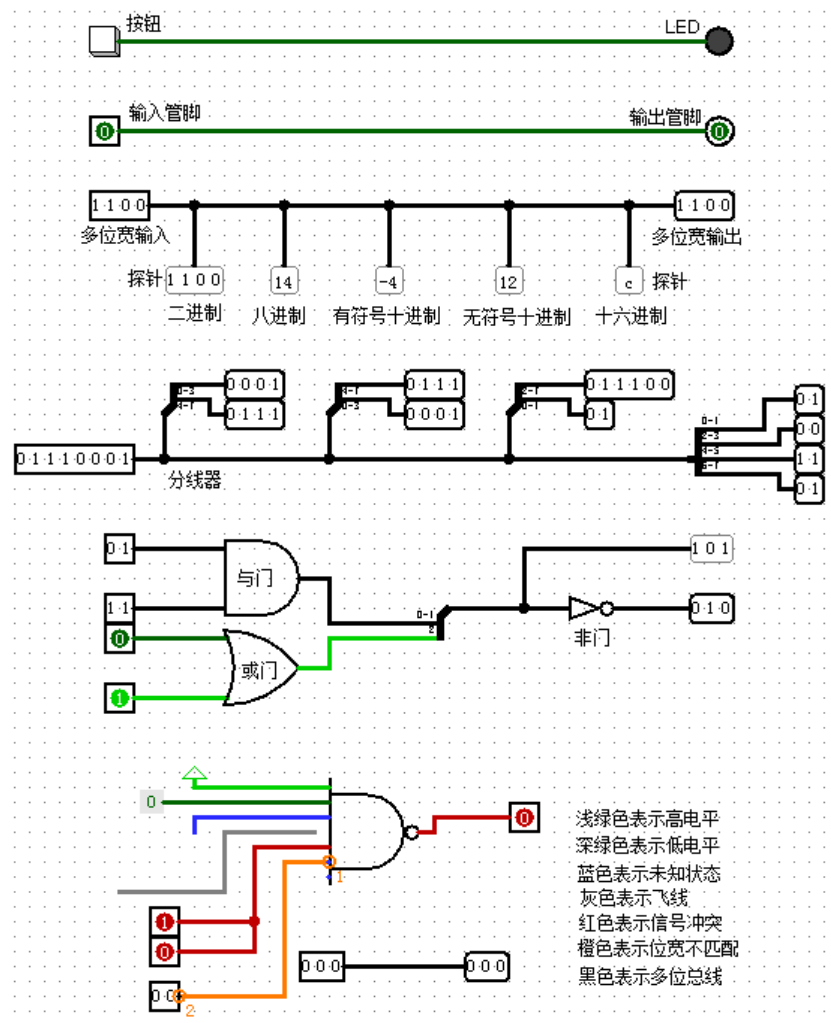
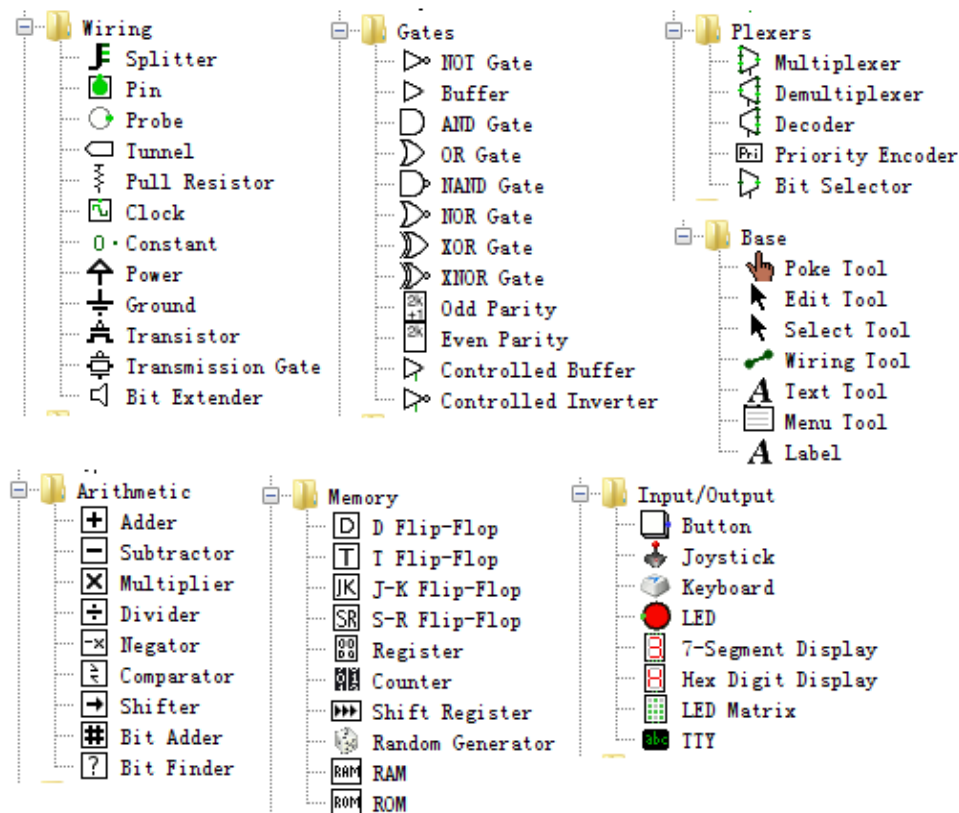
# 实验原理

## ■ Logisim主界面介绍



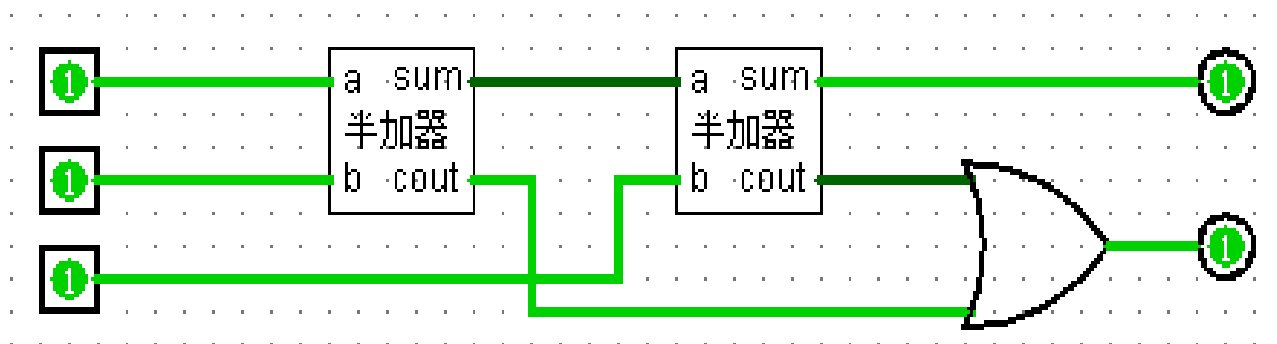
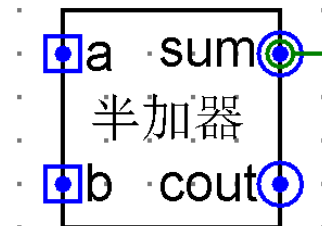
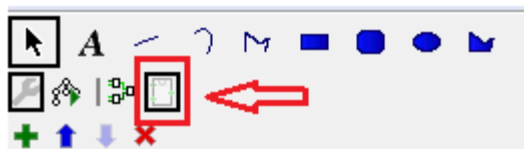
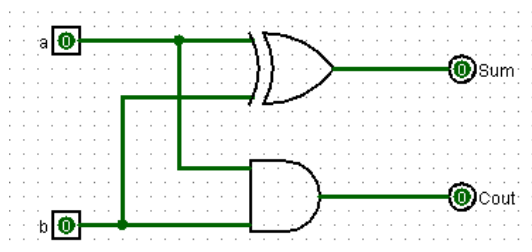
# 实验原理

## Logisim基本操作



# 实验原理

## ■ 模块封装



# 实验内容

---

- 完成实验指导书中的所有题目，截止时间前提交
- 撰写实验报告，截止时间前提交
  - 实验报告中应体现实验过程中的关键环节和最终结果
  - 填写对于本次实验的总结与思考
  - 欢迎给出改进建议
  - 不建议卷实验报告

---

**谢谢！**