



中国科学技术大学
University of Science and Technology of China

实验10 综合实验

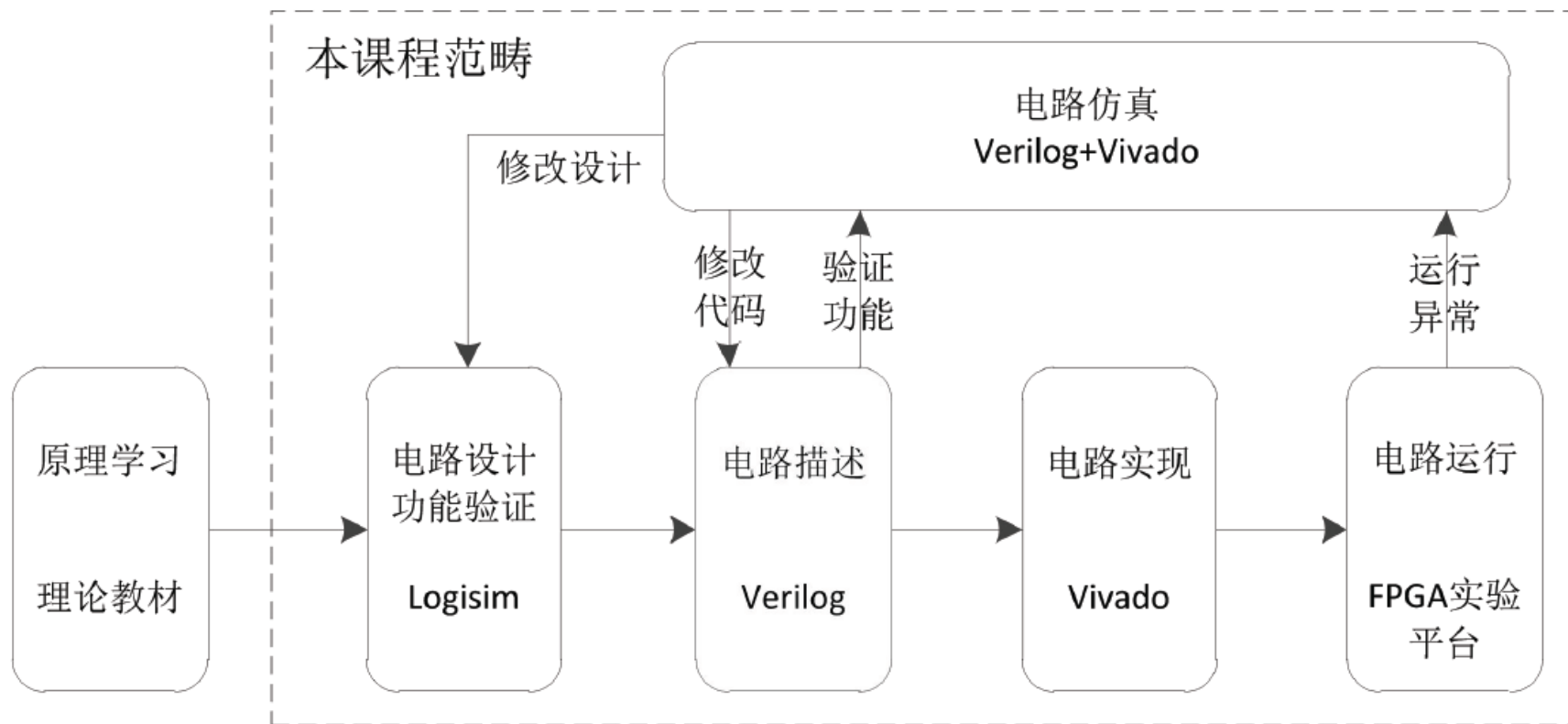
2022/12/01

实验安排

数字电路实验关键时间节点				
时间	实验发布（23：59前）	实验讲解（上课时间）	检查截止（21:30前）	报告提交截止（23:59前）
第四周 (09. 22)	实验01_Logisim入门			
第五周 (09. 29)	实验02_简单组合逻辑电路	实验01_Logisim入门		
第七周 (10. 13)	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门	
第八周 (10. 20)	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路	实验01_Logisim入门
第九周 (10. 27)	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路	实验02_简单组合逻辑电路
第十周 (11. 03)	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言	实验03_简单时序逻辑电路
十一周 (11. 10)	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真	实验04_Verilog硬件描述语言
十二周 (11. 17)	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合	实验05_使用Vivado进行仿真
十三周 (11. 24)		实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核	实验06_FPGA原理及Vivado综合
十四周 (12. 01)	实验10_综合实验	实验10_综合实验	实验08_信号处理及有限状态机	实验07_FPGA实验平台及IP核
十五周 (12. 08)				实验08_信号处理及有限状态机
十六周 (12. 15)			实验10_综合实验	
十七周 (12. 22)				实验10_综合实验

实验目的

- 熟练掌握前面实验中的所有知识点
- 熟悉几种常用通信接口的工作原理及使用
- 独立完成具有一定规模的功能电路设计



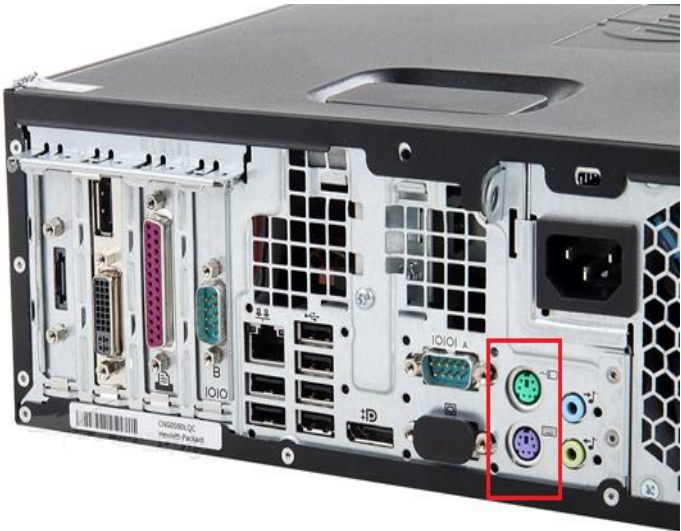
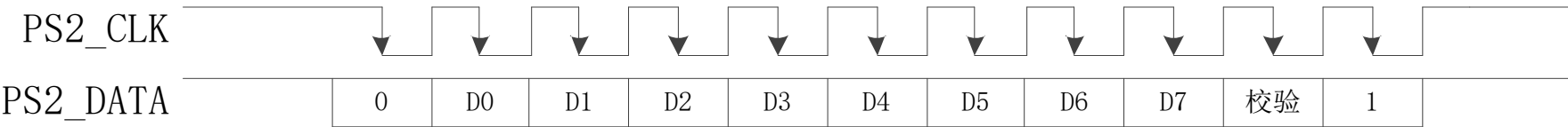
实验环境

- PC一台
- Windows或Linux操作系统
- Vivado
- FPGAOOL/Nexys4 DDR
- Logisim
- vlab.ustc.edu.cn
- 自选外设

实验原理

■ PS2接口

- 多用来作为鼠标、键盘接口
- 4根信号：电源、地、时钟、数据
- 时钟、数据为双向信号
- FPGA可当作输入信号，只接收数据



Male 公的	Female 母的	5-pin DIN (AT/XT):	5 脚 DIN(AT/XT)
		1 - Clock	1—时钟
		2 - Data	2—数据
		3 - Not Implemented	3—未实现，保留
		4 - Ground	4—电源地
(Plug) 插头	(Socket) 插座	5 - +5v	5—电源+5V

Male 公的	Female 母的	6-pin Mini-DIN (PS/2):	6 脚 Mini-DIN(PS/2)
		1 - Data	1—数据
		2 - Not Implemented	2—未实现，保留
		3 - Ground	3—电源地
		4 - +5v	4—电源+5V
(Plug) 插头	(Socket) 插座	5 - Clock	5—时钟
		6 - Not Implemented	6—未实现，保留

实验原理

■ PS2接口

- 键盘按下发送“通码”，松开发送“断码”
- 断码比通码多一个F0
- Eg: 'a' 键通码为“1C”，断码为“F0 1C”

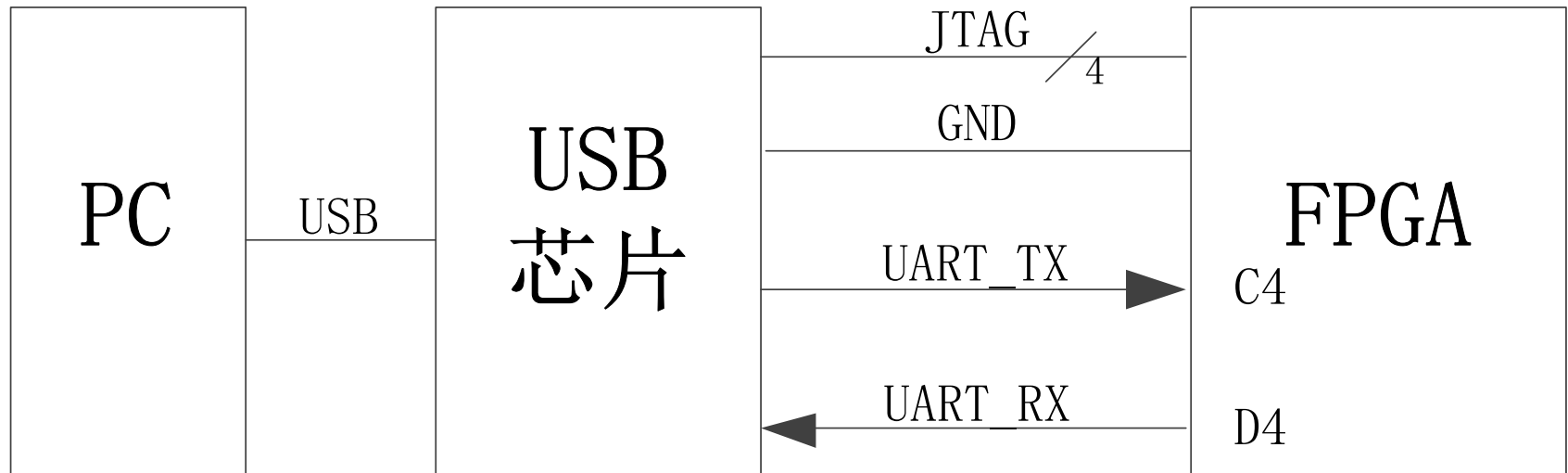
ESC 76	F1 05	F2 06	F3 04	F4 0C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	
`~ 0E	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6^ 36	7 & 3D	8* 3E	9(46	0) 45	-_ 4E	=+ 55	BackSpace ← 66
TAB 0D	Q 15	W 1D	E 24	R 2D	T 2C	Y 35	U 3C	I 43	O 44	P 4D	[{ 54]} 5B	\\ 5D
Caps Lock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J 3B	K 42	L 4B	:: 4C	"" 52	Enter ↵ 5A	
Shift 12	Z 1Z	X 22	C 21	V 2A	B 32	N 31	M 3A	,< 41	>. 49	/? 4A	↑ 59	Shift 59	
Ctrl 14	Alt 11	Space 29							Alt E0 11	Ctrl E0 14			

Figure 9. Keyboard scan codes.

实验原理

■ 串口

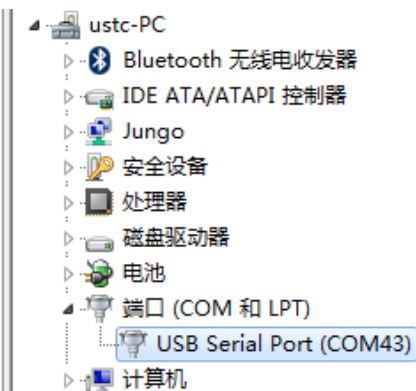
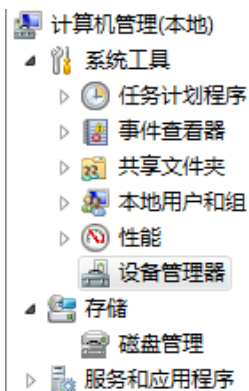
- 串口一般是指通用异步收发器 (Universal Asynchronous Receiver/Transmitter)
- 包含RX、TX、GND三个接口信号
- Nexys4DDR开发板用USB芯片模拟串口

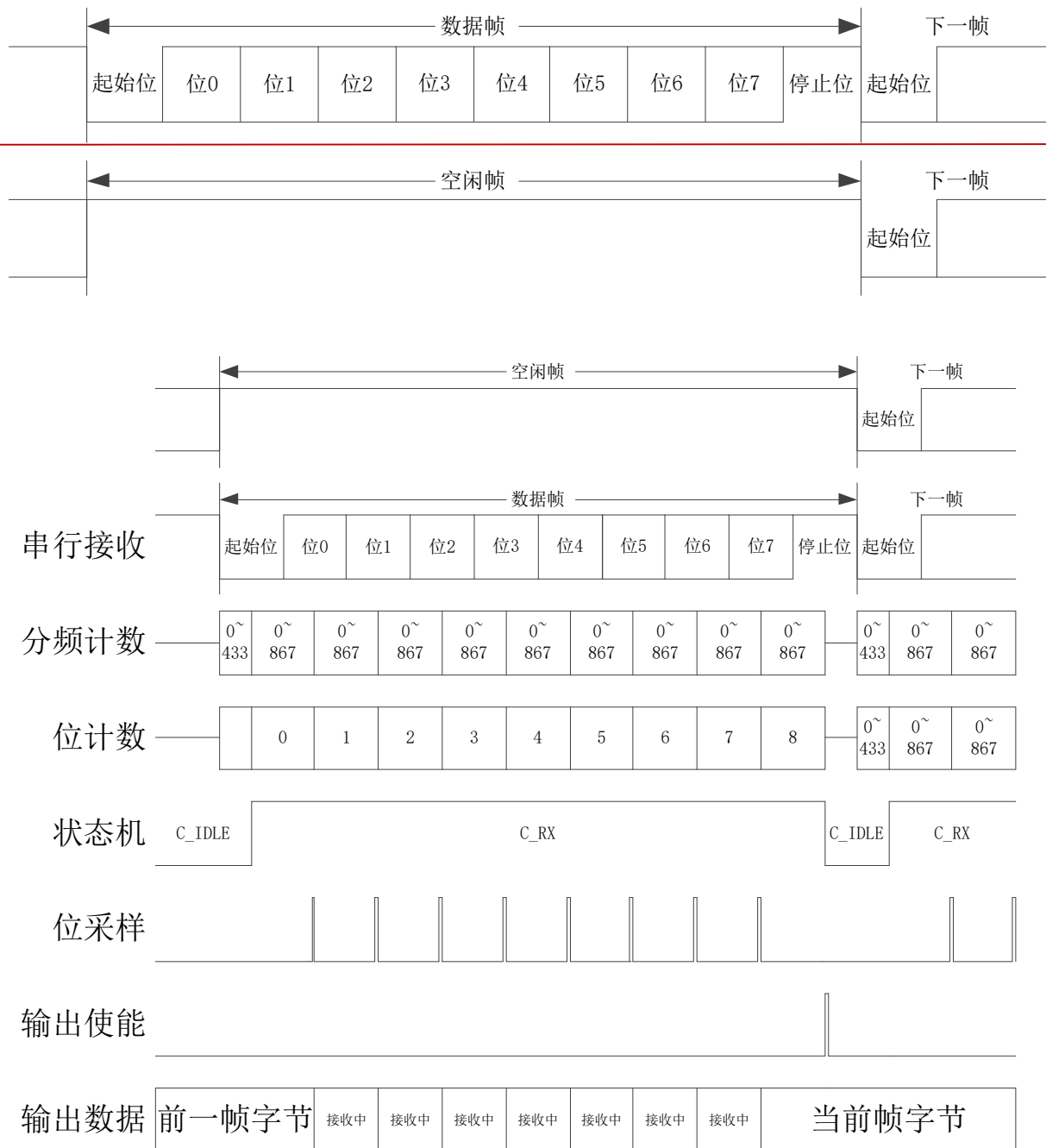


实验原理

■ 串口参数

- 波特率：9600、115200等
- 数据位：5,6,7,8
- 停止位：1,1.5,2
- 校验位：奇、偶校验、无
- 流控：DTR、RTS、XON

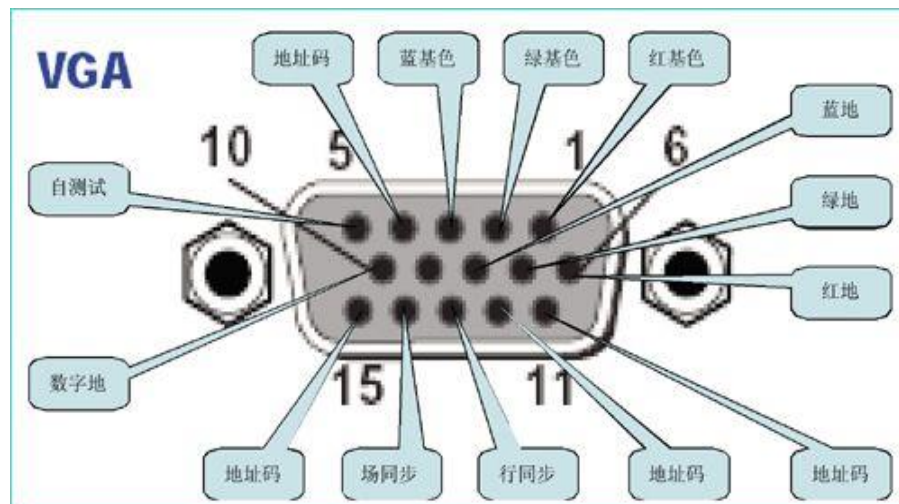




实验原理

■ VGA接口

- VGA (Video Graphics Array) 即视频图形阵列，是IBM在1987年推出的使用模拟信号的一种视频传输标准，这种接口不支持热插拔，也不能传输音频信号，RGB三色均为模拟信号，通过电流大小表征颜色值，这种接口在如今看来有些过时，但仍然是应用最为广泛的视频接口标准。

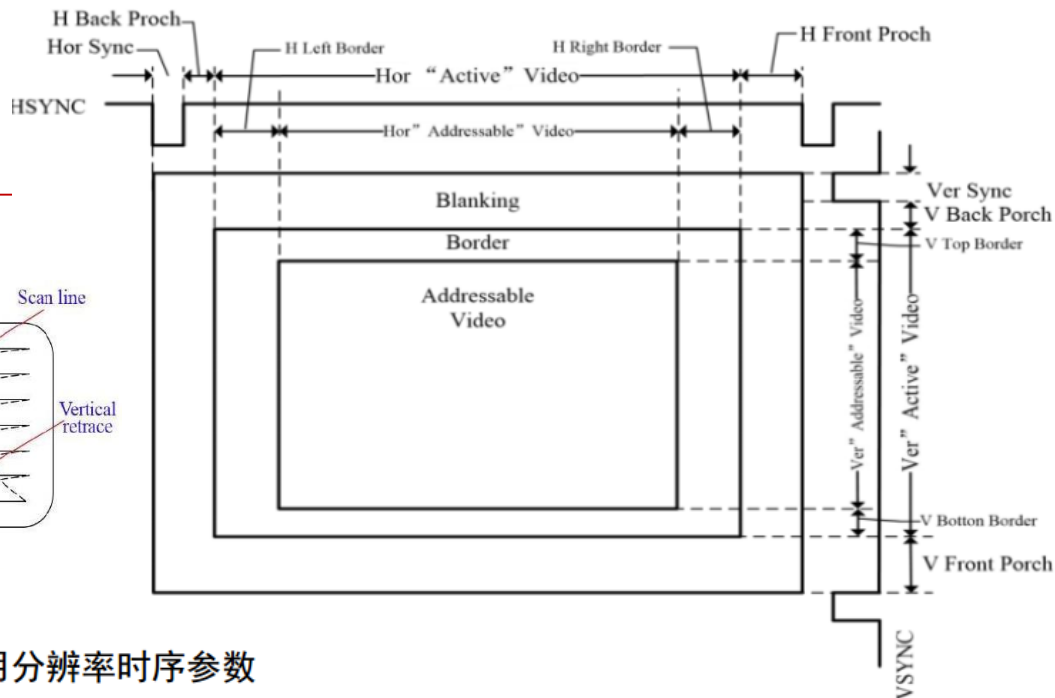
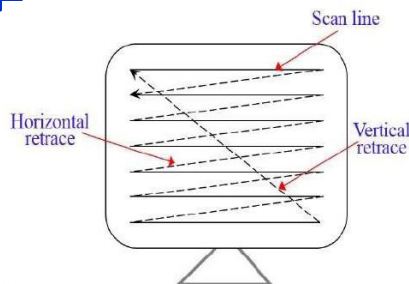


实验原理

■ VGA时序参数

■ 工作原理图

■ 常用分辨率



VGA 常用分辨率时序参数

显示模式	时钟 /MHz	行时序参数(单位: 像素)					列时序参数(单位: 行)				
		a	b	c	d	e	f	g	h	i	k
640x480@60Hz	25.175	96	48	640	16	800	2	33	480	10	525
800x600@60Hz	40	128	88	800	40	1056	4	23	600	1	623
1024x768@60Hz	65	136	160	1024	24	1344	6	29	768	3	806
1280x720@60Hz	74.25	40	220	1280	110	1650	5	20	720	5	750
1280x1024@60Hz	108	112	248	1280	48	1688	3	38	1024	1	1066
1920x1080@60Hz	148.5	44	148	1920	88	2200	5	36	1080	4	1125

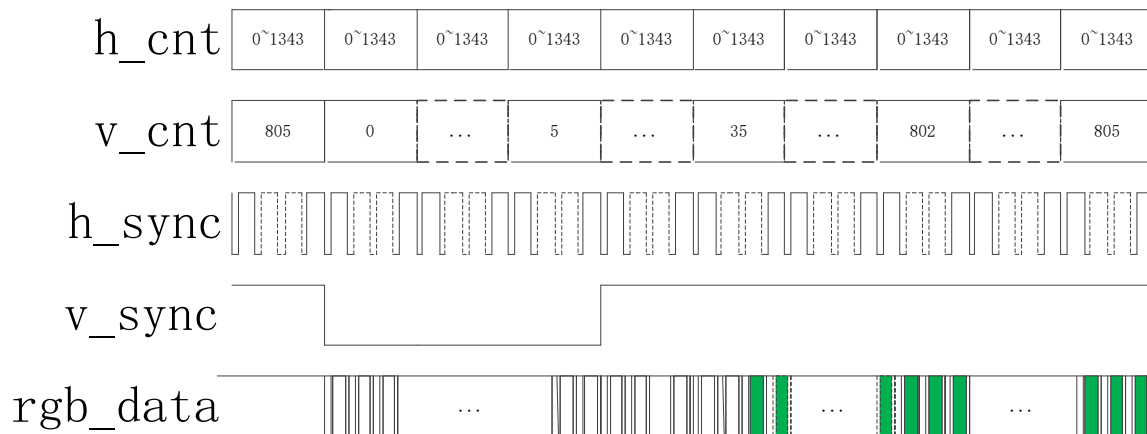
实验原理

■ VGA接口

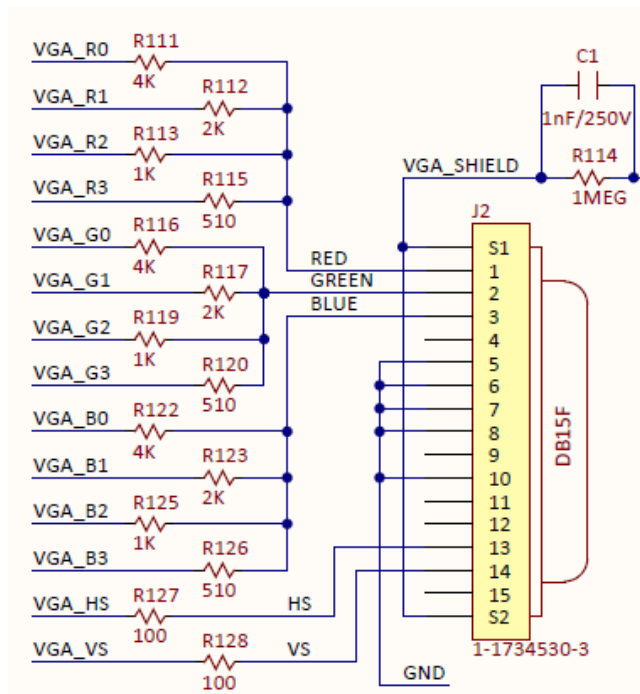
显示模式	时钟 /MHz	行时序参数(单位: 像素)					列时序参数(单位: 行)				
		a	b	c	d	e	f	g	h	i	k
1024x768@60Hz	65	136	160	1024	24	1344	6	29	768	3	806

- Nexys4DDR开发板上, 每种颜色的数据信号都由4个IO通过电阻阵列来模拟
- 当行、列控制信号均处于可显示时刻时, rgb信号有数据, 其余时刻均为0

■ Eg: 1024*768分辨率时序图



注: rgb_data只在行同步处于C段且列同步处于H段时有数据(图中绿色部分), 其余时刻均为0



实验内容

- 可完成实验指导手册中的任意一道或多道题目，也可自行确定题目
- 实验手册中的内容仅供参考，不需体现在实验报告中
- 实验报告内需要详细介绍自己所设计电路的功能、原理、使用方法及测试结果
- 如需使用Nexys开发板，请找助教申请，实验结束后及时归还
- 如使用Nexys开发板，需在自己电脑上安装Vivado，VLAB环境下无法烧写开发板

谢谢！