## Notas sobre el Timer 1 (PIC18F452)

- Este módulo utiliza un contador de 16 bits para contar los flancos de subida de la señal que se haga llegar a su entrada.
- El contenido del contador del *Timer* 0 se guarda en los registros Timer1 *High Byte* y TMR1L (*low byte*). Al Timer1 high byte se tiene acceso a través del registro TMR1H. Al TMR1L se tiene acceso directo desde el bus de datos.
- La señal a la que le cuenta los flancos de subida puede ser interna (*Fosc*/4) o externa (pines RC0 y RC1).
- El contenido del Timer 1 se puede modificar (escribir) y leer en cualquier momento por medio de los registros TMR0H y TMR0L. No siendo necesario detener el funcionamiento del *timer* 1 ni para escribir ni para leer su contenido.

Nota: contenido del contador del *timer*  $1 \equiv$  contenido del *timer* 1

• El Timer 1 puede provocar una interrupción por 'overflow' (si se habilita) cuando su contenido pasa de 0xFFFF a 0x0000.

```
PIR1.TMR1IF = 0;

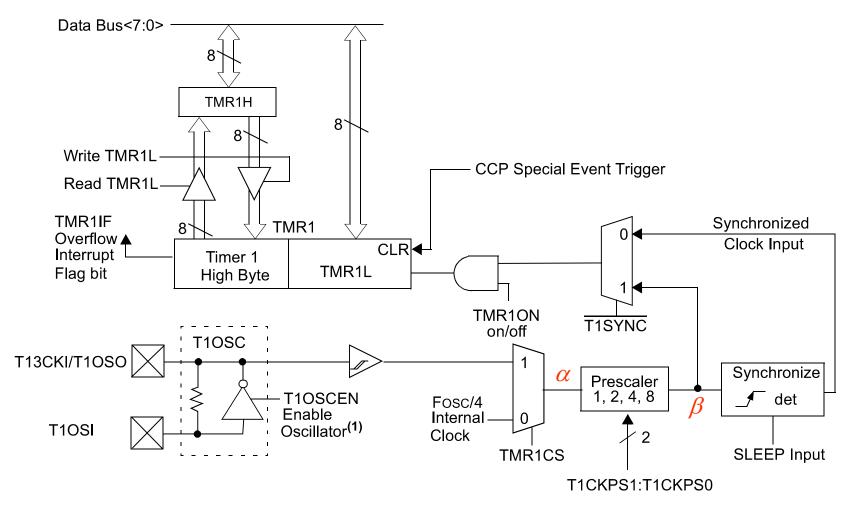
PIE1.TMR1IE = 1;

INTCON.PEIE = 1; // es de tipo peripheral

INTCON.GIE = 1;
```

• El funcionamiento del *Timer* 1 se configura y se controla con el registro T1CON.

| R/W-0 | U-0 | R/W-0   | R/W-0   | R/W-0   | R/W-0  | R/W-0  | R/W-0  |
|-------|-----|---------|---------|---------|--------|--------|--------|
| RD16  | _   | T1CKPS1 | T1CKPS0 | T10SCEN | T1SYNC | TMR1CS | TMR10N |



**Note 1:** When enable bit T1OSCEN is cleared, the inverter and feedback resistor are turned off. This eliminates power drain.

• **RD16** = 1  $\rightarrow$  se escriben y se leen los 16 bits a la vez (contenido del contador del timer 1)

 $RD16 = 0 \rightarrow los$  bytes alto y bajo que forman el contenido del Timer 1 ni se escriben ni se leen a la vez. Esto puede ser un problema si el Timer 1 está funcionando (contando flancos de subida)

• T1CKPS1 – T1CKPS0: se utilizan para establecer el *prescaler*.

$$(T1CKPS1, T1CKPS0) = 11 \rightarrow prescaler = 8$$
  
 $(T1CKPS1, T1CKPS0) = 10 \rightarrow prescaler = 4$   
 $(T1CKPS1, T1CKPS0) = 01 \rightarrow prescaler = 2$   
 $(T1CKPS1, T1CKPS0) = 00 \rightarrow prescaler = 1$ 

Nota: la escritura de un valor en el registro TMR1L pone a cero el contador que implementa el *prescaler*.

• T1OSCEN =  $1 \rightarrow$  se habilita el hardware para el oscilador.

T1OSCEN =  $0 \rightarrow$  se deshabilita el hardware para el oscilador.

## • TISYNC

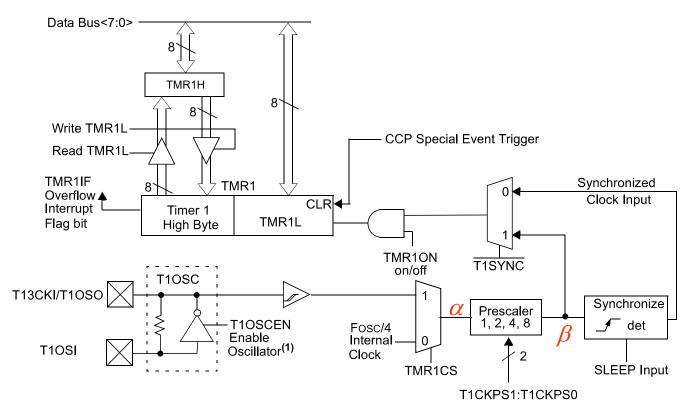
Si el bit TMR1CS = 1, entonces

- \_ si  $\overline{\text{T1SYNC}} = 1$  → no se sincroniza la señal  $\beta$  con la señal de reloj del PIC18F452
- \_ si  $\overline{\text{T1SYNC}} = 0$  → se sincroniza la señal  $\beta$  con la señal de reloj del PIC18F452

Si el bit TMR1CS = 0, entonces el bit  $\overline{T1SYNC}$  no afecta al funcionamiento del Timer 1

- TMR1CS: con este bit se selecciona el origen de la señal de reloj a la que el Timer 1 le cuenta los flancos de subida:
  - \_ si TMR1CS = 1 entonces la señal de reloj la obtiene del pin RC0.
  - \_ si TMR1CS = 0 entonces la señal de reloj la obtiene de una señal de reloj interna del microcontrolador cuya frecuencia es igual a  $f_{osc}/4$
- TMR1ON =  $1 \rightarrow \text{el Timer } 1$  cuenta flancos de subida.

 $TMR1ON = 0 \rightarrow el Timer 1 no cuenta (su contenido no cambia).$ 



Note 1: When enable bit T1OSCEN is cleared, the inverter and feedback resistor are turned off. This eliminates power drain.

•  $Para\ TMR1CS = 0$  se cumple que,

$$f_{\alpha} = F_{osc}/4$$
 y  $T_{\alpha} = 4 \cdot T_{osc}$ 

$$f_{\beta} = F_{osc}/(4 \cdot prescaler)$$
 y  $T_{\beta} = 4 \cdot T_{osc} \cdot prescaler$ 

$$t_{overflow} = 4 \cdot T_{osc} \cdot prescaler \cdot (2^{16} - alfa)$$

Lectura contenido TIMER1,

1° se lee TMR1L

2° se lee TMR1H

• Escritura contenido TIMER1,

1° se escribe TMR1H

2° se escribe TMR1L

