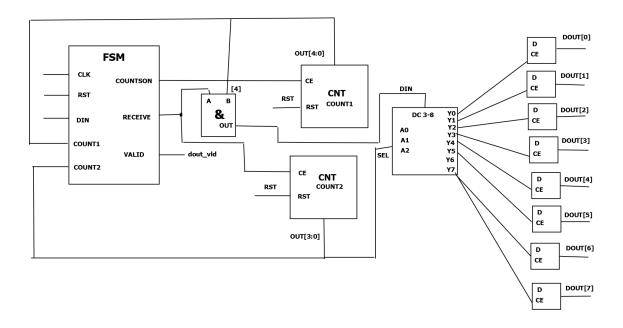
Příloha: Výstupní zpráva

Jméno: Štěpán Bárta Login: xbarta50

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Poznámky:

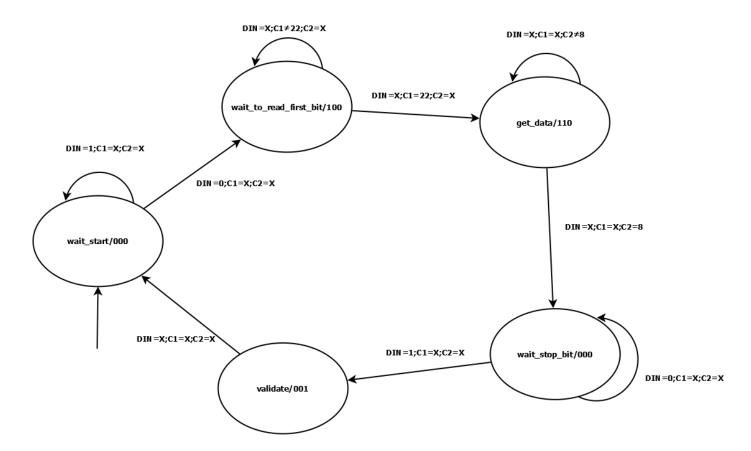
- COUNT1 počítá hodinové signály
- COUNT2 počítá načtené bity
- pokud se COUNT1 dostane do midbitu zapisuje jednotlivé bity

Návrh automatu (Finite State Machine)

Schéma automatu

Legenda:

- Stavy automatu: wait start, wait to read first bit, get data, wait stop bit, validate
- Vstupní signály: DIN, COUNT1, COUNT2
- Moorovy výstupy: COUNTSON, RECEIVE, VALID



Poznámky:

- wait start Čeká na příchod start bitu, jakmile přijde start bit(0) přechází do dalšího stavu
- wait to read first bit Čeká do doby, než bude možné číst první datový bit
- get data Zde se čtou a ukládají data do té doby, kdy jsou všechny data přečteny
- wait stop bit Poté co jsou všechny data přečteny, čeká na stop bit
- validate Potvrdí se načítané bity a poté se přepne do stavu wait start
- COUNT1 počítadlo hodinových signálů
- COUNT2 počítadlo načtených bitů
- COUNTSON Zda se v daném stavu počítají hodinové signály
- RECEIVE Zda se v daném stavu přijímají bity

Wave -																									
€1 +	Msgs																								
Global Signals rst	0																								
♦ dk		nmmmini		MINIMUM.	mmumm	mmunu	MANAMAN MINI	uuummuu	uuuuun	amanaaraara	mmunum	LTILTTI.TTUU		MANAMANA	amananana	mmuuu	mmmuu	MINIMUM.	THUMHAN	mirini	ammunu	i uummmuu	uummuu	mmmm	mmmmi
♦ dn			\perp																						
		CCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCCC		LLLLLLUUU	1 0000001	1 000001	1 (000001	11 UUU00111	UU0001	.11 U1000	111 (01000	111						(0:	000101			01010101			
- ⋄ (7) - ⋄ (6) - ⋄ (5)																									
	1																								
(4)	1																								
(3)																									
- ♦ (1)																									
L-(0)												_													
dout_vld																									
— Internal Signals ———																									