

# 1 Einführung im Labor – Aufgaben zum Warmwerden

Diese Aufgaben fließen nicht in die Bewertung ein. Das Ziel dieser Laboreinheit ist, dass Sie mit den Entwicklungs-Tools Quartus und ModelSim sowie VHDL vertraut werden.

## 1.1 Durchführung Quartus/Modelsim-Tutorial

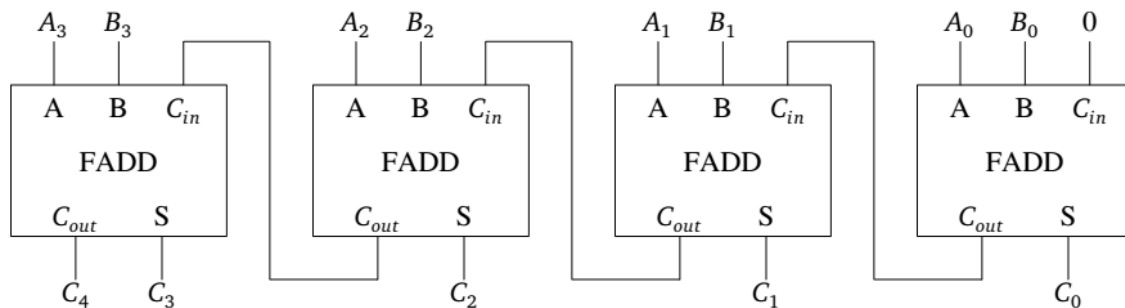
Führen Sie das auf Moodle vorhandene Quartus-Tutorial der Firma Terasic mit Quartus und Modelsim durch.

## 1.2 Simulation einiger Beispiele aus der Vorlesung

Simulieren Sie mit Modelsim die auf Moodle bereitgestellten VHDL-Dateien mit so genannten Do-Files.

## 1.3 VHDL-Modell und Simulation eines 4-Bit Ripple-Carry-Addierers

- Modellieren Sie einen 4-Bit-Ripple-Carry-Addierer in VHDL
- Simulieren Sie den 4-Bit-Ripple-Carry-Addierer mit Modelsim unter der Verwendung eines eigenen Do-Files



## **Beispielhaftes Do-File**

```
#####
#   Example Do File   #
#####

# -- Undock wave Window
view -undock -title {VHDL_Kurs} wave

# -- Restart Simulation
restart -force -nolist -nowave -nobreak -nolog
onerror {resume}
configure wave -signalnamewidth 1

#--log all waves including the not shown ones
log -r /*

#-- Add the waves needed to be displayed
#-- Two ways can be used to add signals
#-- either each signal by its name and path
#-- or use add wave /*
add wave /*
add wave 7top_sheet/sub_sheet/signalname

#-----FORCE SIGNALS HERE -----
#-- Syntax: force signalname value1 time1, value2 time2,..
#-- e.g.
#-- force signal_x 0 0ns, 1 10ns, 0 30ns, Z 100ns
#-- use s, us, ms, ns, ps, fs as timescale
#-- To override the signal of a driver use -freeze
#-- default timescale is ns
#-- '-r' is used for repetition

force clk 0 0,1 5 -r 10
force reset 0 0
force reset 1 10
force up 1 0, 0 500
force down 0 0,1 500

force a 1 0, 0 {20000 ps} -r {40 ns}
force b 1 0, 0 {10000 ps} -r {20 ns}
force cin 1 0, 0 {5000 ps} -r {10 ns}

#-- run the simulation for a specific time

run 1000
```