

## 0 Übersicht Projektaufgaben, Deadlines, sonstige Zeitplanung

Insgesamt gibt es 3 Projektaufgaben, die im Rahmen des Kurses Digitalsystementwurf mit HDLs (EI) / Mikroelektronik (MT) absolviert werden müssen und bewertet werden. Die unten angegebenen Deadlines zur Abgabe der Projektaufgaben (sowohl praktische Abnahme und Abgabe der Dokumentation in Moodle) ist zwingend einzuhalten. In Tabelle 1 ist eine Übersicht der Projekte inklusive der entsprechenden Deadlines zur Abgabe der Projektaufgaben zu finden. In Tabelle 2 ist eine generelle Zeitplanung für das WS1516 aufgeführt.

Projektaufgabe	Kurzbeschreibung	Deadlines <sup>1</sup> zur Abgabe der Projektaufgaben (Praktische Abnahme und Abgabe der Dokumentation in Moodle)
Einführung im Labor – Aufgaben zum Warmwerden (siehe Kapitel 1 des Dokuments)	KEINE BEWERTUNG KEINE ABGABE von Dokumentation notwendig	
Projektaufgabe 1 (von jedem Teilnehmer durchzuführen)	Ergänzung des Entwurfs eines 2-Bit-Zählers und Entwurf eines BCD-Zählers mit 7-Segment-Anzeige	Mo. 9.11./Di.10.11.2015
Projektaufgabe 2 (von jedem Teilnehmer durchzuführen)	Entwicklung eines Kurzzeitweckers/einer Eieruhr	Mo.7.12/Di.8.12.2015
Projektaufgabe 3 (als Gruppe durchzuführen)	Aufgabenstellung zum Zeitpunkt 24.10.15 noch nicht fixiert: Thema jedoch: Testbench-Entwicklung für VHDL-Modelle	Mo.18.1./Di.19.1.16

**Tabelle 1: Übersichtprojektaufgaben inklusive Deadlines zur Abgabe der Aufgaben**

<sup>1</sup> An diesem Tag muss die Funktionsweise der gestellten Aufgabe auf der Hardware nachgewiesen werden. Zudem müssen spätestens an diesem Tag die restlichen geforderten Ergebnisse/Dokumentationen auf Moodle in digitaler Form hochgeladen werden.

---

Datum	Thema/Aktivität
Mo. 9.11./Di.10.11.2015	<ul style="list-style-type: none"><li>• Abgabe Projektaufgabe 1</li><li>• Vorstellung und Erläuterungen zu Projektaufgabe 2</li></ul>
Mo. 16.10.2015 (E008)	Theorie-Einheiten Synthesegerechte Modellierung, Designrules, Unterprogramme
Mo.7.12/Di.8.12.2015	<ul style="list-style-type: none"><li>• Abgabe Projektaufgabe 2</li><li>• Vorstellung und Erläuterungen zu Projektaufgabe 3</li></ul>
Mo.14.12.15	Theorie-Einheit Simulation von VHDL-Modellen
Mo.18.1./Di.19.1.16	Abschließendes Kolloquium

***Tabelle 2: Generelle Zeitplanung für das WS1516***