实验三三态门和OC门的研究

一、 实验目的：

了解负载电阻Rl对集电极开路门工作状态的影响；

掌握集电极开路门的使用方法；

掌握三态门的HDL设计和使用。

二、 实验任务：

1. 基本要求

利用OC门（74LS01)实现线与功能。

1. 进阶要求

用HDL设计三态门，用它设计一个选通电路，仿真验证并下载到FPGA中测试功能。

三、 实验要求说明

1. OC门的线与功能

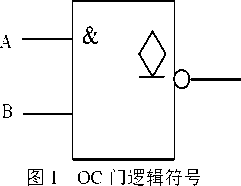
1. 用四个OC门线与，驱动四个与非门；
2. 计算负载电阻Rl;
3. 在该阻值条件下，测量VOH与V\_OL。

2.三态门的逻辑功能

1. EN= 1 时：F=A;
2. EN=0 时：F=Z (高阻）。
3. 选通电路

可以用两个三态门和一个非门构成；电路功能：C=0时F=A, C=1时F=B; 下载到实验箱上，测试电路功能，写出真值表。

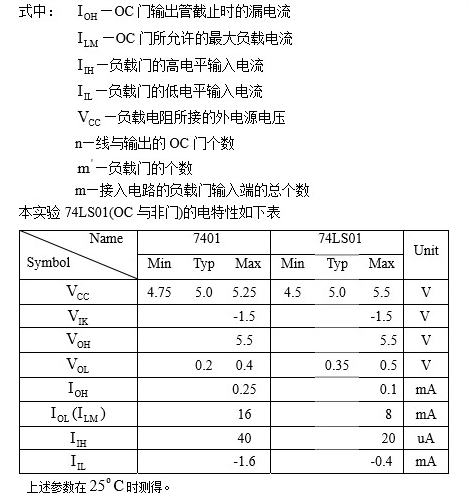
四、实验设计说明：

集电极开路门是将推拉式输出改为三极管集电极开路输 出的特殊TTL电路，它允许把多个OC门的输出端并联起来 实现一定的逻辑功能。其逻辑符号如图。

Y

OC门共用一个集电极负载电阻RL和电源Vcc,从而可 将n个OC门的输出端并联使用，实现n个OC门输出的线 与。

假定将n个OC门输出端并联去驱动m个TTL与非门，则负载RL可根据OC门数目n 与负载TTL与非门的数目m进行选择。为保证输出的高、低电平符合所在数字系统的要求， 对外接集电极负载电阻RL的数值选择范围为：



五、实验设备与元器件:

|  |  |  |
| --- | --- | --- |
| 1. | 数字电路与系统实验箱 | 1台 |
| 2. | 数字万用表 | 1块 |
| 3. | 计算机 | 1台 |
| 4. | Quartus II 软件 | 1套 |

|  |  |  |  |
| --- | --- | --- | --- |
| 5.元器件 |  |  |  |
| 74LS01 | 1片 | 74LS00 | 1片 |
| 电阻 |  | 变阻器 | 1个 |

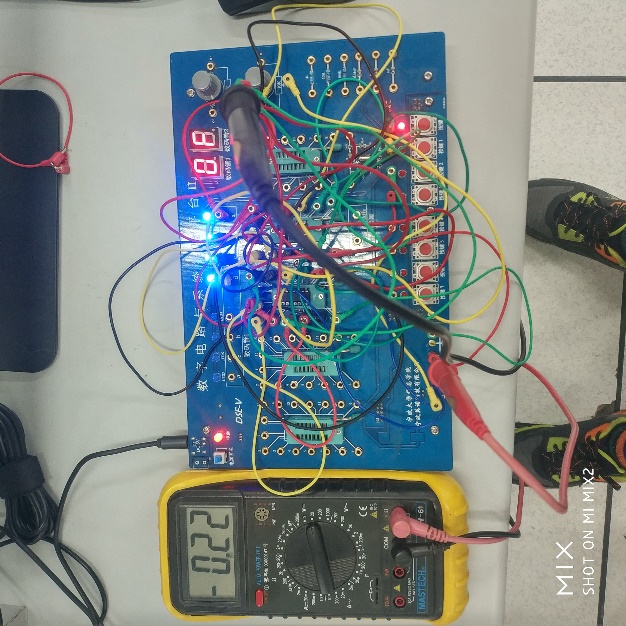
六、实验内容

1.按照上式查表，经计算得=3888.88，

=347.22.

即可变电阻阻值应在347.22-3888.88之间.

按照实验手册附录连接电路，结果如下：



可见，当输入有一个为1时，输出全为1；输入全为0时，输出全为0.

因此，线与功能成功实现.

利用万用表测量电压，测得，.

2.设计选通电路

利用Quantus II软件，用Verilog语言设计选通电路。

电路的真值表如下：

|  |  |  |  |
| --- | --- | --- | --- |
| C | A | B | F |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |

Verilog语言如下：

module a(a,b,c,f);

input a,b,c;

output f;

reg f;

always @ (c or a or b) begin

if (c==0)

f=a;

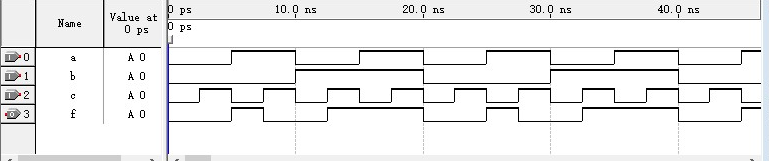
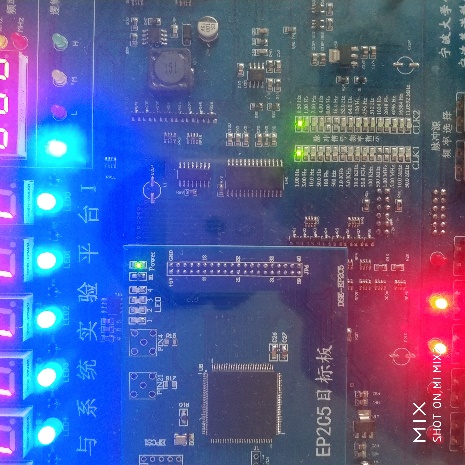
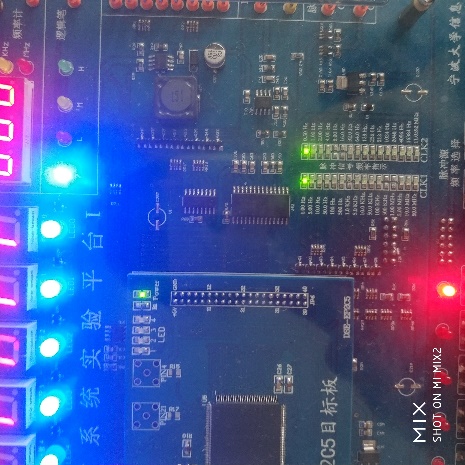
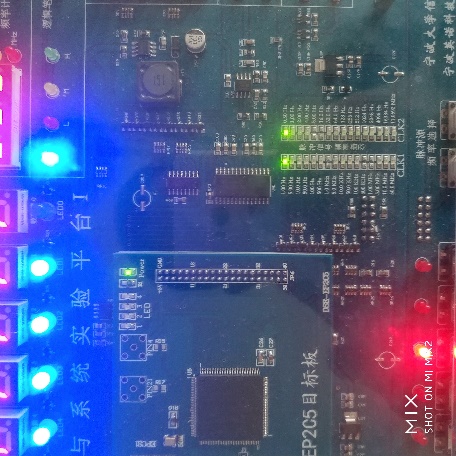
else

f=b;

end

endmodule

波形图：

可见，波形图符合实验要求。

如图所示，输入分别为C，B，A，输出为最右侧发光二极管。因此，可见C=1、B=1、A=0时F=1；可见C=0、B=0、A=1时F=1；可见C=1、B=0、A=0时F=0.、可见，实验结果符合预期。