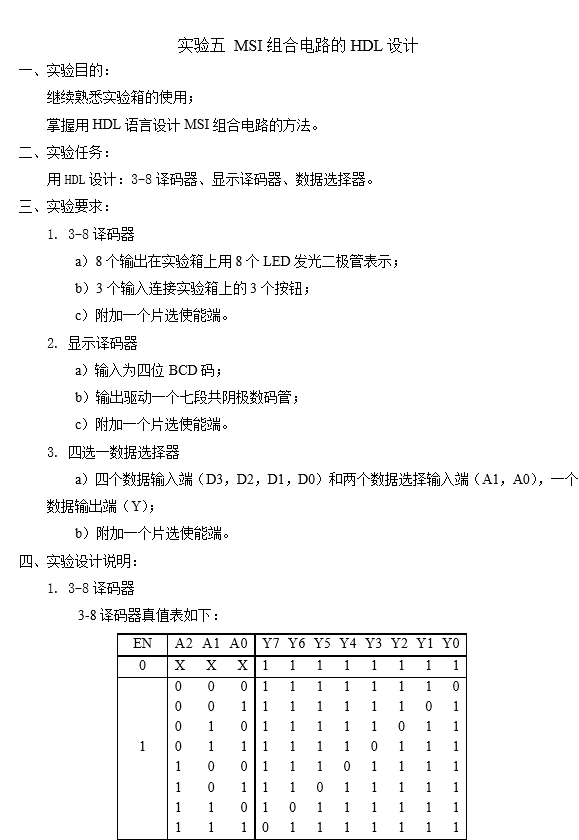
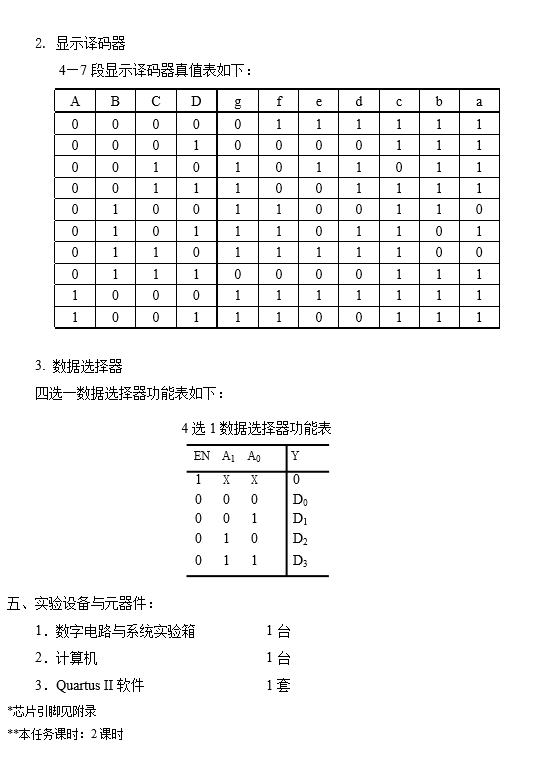
2



六、实验步骤

1.对于3-8译码器编写Verilog程序，代码如下：

module edcoder\_38(out,in,en);

output[7:0] out;

input[2:0] in;

input en;

reg[7:0] out;

always @(in or en)

begin

if (en == 0 )

out=8'b1111\_1111;

else

begin

case(in)

3'd0: out = 8'b1111\_1110;

3'd1: out = 8'b1111\_1101;

3'd2: out = 8'b1111\_1011;

3'd3: out = 8'b1111\_0111;

3'd4: out = 8'b1110\_1111;

3'd5: out = 8'b1101\_1111;

3'd6: out = 8'b1011\_1111;

3'd7: out = 8'b0111\_1111;

endcase

end

end

endmodule

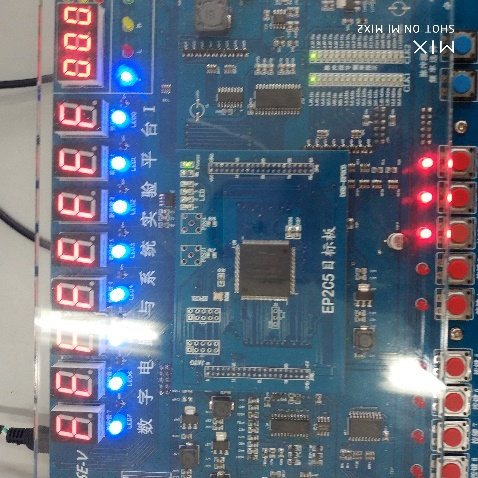
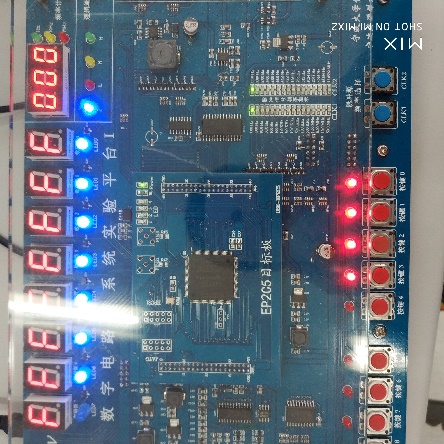
启动Quartus II 软件，下载到电路板上。（电路板选择模式1）

图1 图2

图中按钮右起分别为A0、A1、A2、EN；LED灯左起分别为Y7至Y0。

可见，EN=0时，Y7-Y0=00000000；EN、A2、A1、A0=0111时，Y7-Y0=01111111；

低电平使能、符合实验要求。

2.对于显示译码器、编写Verilog程序如下：

module decode4\_7(a,b,c,d,e,f,g,indec);

output a,b,c,d,e,f,g;

input[3:0] indec;

reg a,b,c,d,e,f,g;

always @(indec)

begin

case(indec)

4'd0 : {a,b,c,d,e,f,g}=7'b1111110;

4'd1 : {a,b,c,d,e,f,g}=7'b0110000;

4'd2 : {a,b,c,d,e,f,g}=7'b1101101;

4'd3 : {a,b,c,d,e,f,g}=7'b1111001;

4'd4 : {a,b,c,d,e,f,g}=7'b0110011;

4'd5 : {a,b,c,d,e,f,g}=7'b1011011;

4'd6 : {a,b,c,d,e,f,g}=7'b1011001;

4'd7 : {a,b,c,d,e,f,g}=7'b1110000;

4'd8 : {a,b,c,d,e,f,g}=7'b1111111;

4'd9 : {a,b,c,d,e,f,g}=7'b1110011;

default : {a,b,c,d,e,f,g}=7'bx;

endcase

end

endmodule

启动Quartus II 软件，下载到电路板上。（电路板选择模式2）

图片包含 电路, 电子产品

自动生成的说明图片包含 电子产品, 电路

自动生成的说明图片包含 电子产品, 电路

自动生成的说明

图中按钮右起为D、C、B、A，数据输出在数码管上

如图所示，当输入为0110时、显示6；当输入为0001时、显示1、当输入为111时、显示9。符合实验要求。

3.四选一数据选择器、编写Verilog程序如下：

module choice(en,a,y,d1,d2,d3,d4);

output y;

input en;

input[0:1] a;

input d1,d2,d3,d4;

reg y;

always @(a or en or d1 or d2 or d3 or d4)

begin

if (en==1)

y=0;

else

begin

case(a)

2'b00:y=d1;

2'b01:y=d2;

2'b10:y=d3;

2'b11:y=d4;

endcase

end

end

endmodule

图片包含 电子产品, 电路

自动生成的说明图片包含 电子产品, 电路

自动生成的说明启动Quartus II 软件，下载到电路板上。（电路板选择模式1）

图中按钮右起为A0、A1、EN、D3、D2、D1、D0；输出为最右侧LED。

可以看到，当EN=0，A1=1、A2=1，Y=D3=0；EN=1时，Y=0；均符合实验要求。