

五、实验步骤

1.对于HDL模可变计数器，编写Verilog程序

module EX8\_COUNT(mode,E,zero,c,ifminus,out,clk);

output[3:0] out;

output c;

reg[3:0] out;

reg c;

input[1:0] mode;

input clk,E,ifminus,zero;

always @(posedge clk)

begin

if (E == 1)

begin

if (ifminus == 0)

begin

if (mode == 2'd0)

begin

if (out == 0)

begin

out=out+1;

c=1;

end

else

begin

out=0;

c=0;

end

end

else if (mode == 2'd1)

begin

if (out <4'd6)

out=out+1;

else if (out == 6)

begin

out=7;

c=1;

end

else

begin

out = 0;

c=0;

end

end

else if (mode == 2'd2)

begin

if (out < 4'd8)

out=out+1;

else if (out == 8)

begin

out=9;

c=1;

end

else

begin

out = 0;

c=0;

end

end

else if (mode == 2'd3)

begin

if (out < 4'd14)

out=out+1;

else if (out == 14)

begin

out=15;

c=1;

end

else

begin

out = 0;

c=0;

end

end

end

else

begin

if (mode == 2'd0)

begin

if (out > 4'd0)

out=out-1;

else

begin

out=4'd1;

c=0;

end

end

else if (mode == 2'd1)

begin

if (out >4'd0)

out=out-1;

else

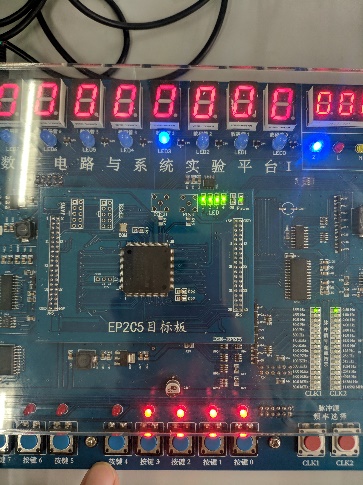
begin

out=4'd7;

c=0;

end

end

 else if (mode == 2'd2)

begin

if (out > 4'd0)

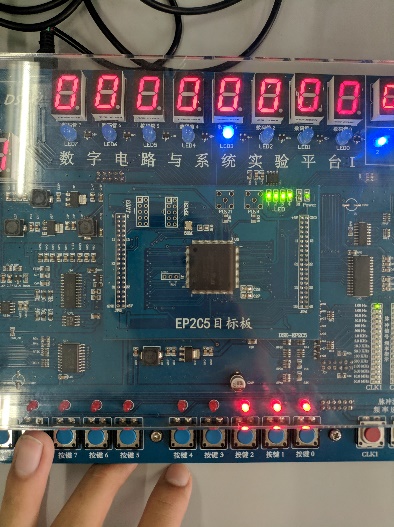
out=out-1;

else

begin

out=4'd9;

c=0;

 end

end

else if (mode == 2'd3)

begin

if (out > 4'd0)

out=out-1;

else

begin

out=4'd15;

c=0;

end

end

end

end

if (zero == 1)

begin

c=0;

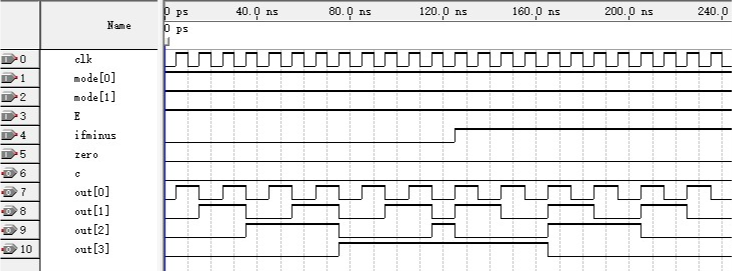
out=4'd0;

end

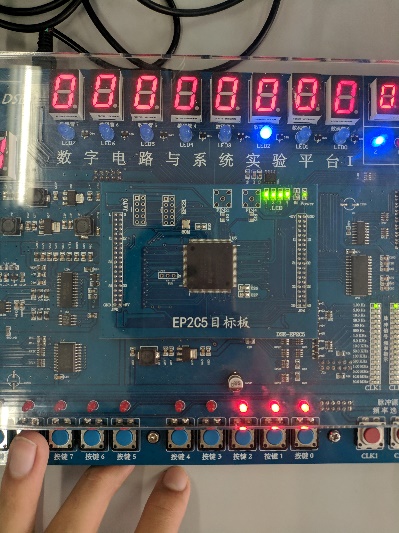
end

endmodule

波形图如下：



下载至电路，如图所示：

Key8为CLK，Key4为清零，Key3为加减切换（=0时为加法计数），Key2、Key1为数制模式切换，Key0为使能。

可见，左图显示的数字为0001（1），在加法模式下，右图+1后变为0010（2），在下图的减法模式下-1变回0001（1）。显然，该电路正确。

2.对于HDL移位寄存器，编写Verilog程序

module EX8\_MOVE(clk,s\_in,i\_in,zero,set,out,mode);

input s\_in;

input mode;

input [3:0]i\_in;

input zero;

output [3:0]out;

input set;

input clk;

reg [3:0]out;

always@(posedge clk)

begin

if (set == 1)

begin

if (mode==0)

begin

out[0] = s\_in;

end

else

begin

out[3:0] = i\_in[3:0];

end

end

else

begin

out[1]<=out[0];

out[2]<=out[1];

out[3]<=out[2];

out[0]<=out[3];

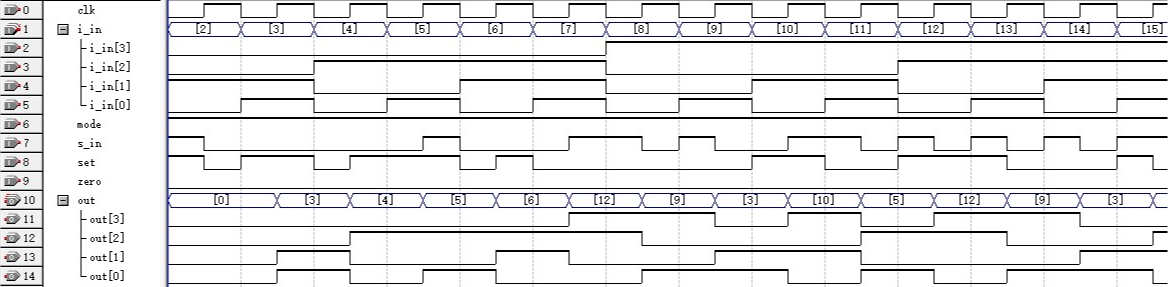
end

if (zero ==1) out[3:0] = 0;

end

endmodule

波形图如下：



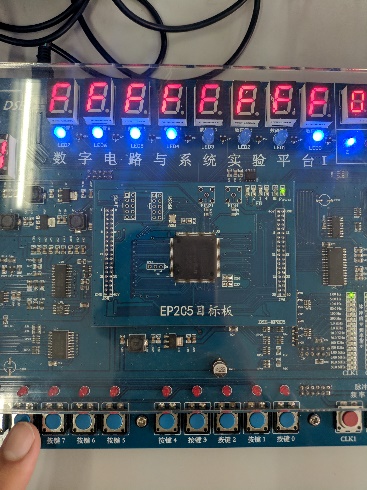
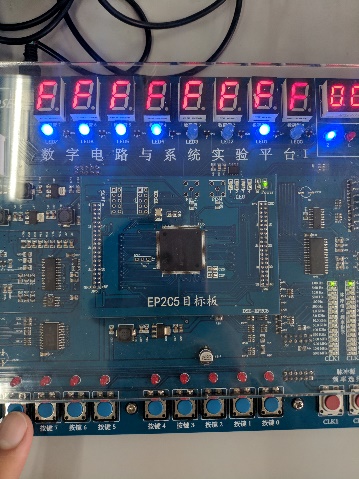
写入电路板，如图所示，Key0-4为并行输入，

Key4为并行串行切换，

Key5为串行输入，

Key6为模式切换（输入模式和移位模式），

Key7为置零，

Key8为CLK。

可以看到，在移位模式下，CLK+1时，电路向右移位一位。

七、实验结论

本次实验我们学习到了，用Verilog编写计数器、移位寄存器的基本方法，以及always模块、非阻塞赋值的基本方法。