实验二 EDA 开发平台的使用

一、实验目的：

进一步掌握软件的使用；

熟悉实验箱的使用；

初步掌握设计电路的文本输入法。

二、实验任务：

利用文本输入法，输入、仿真并下载实现简单逻辑电路的功能，以掌握软件的使用方法。

三、实验要求：

1. 基本要求

设计一个 1 位半加器，时序仿真其功能；将电路下载到 FPGA 芯片实现其功能。

2. 进阶要求

设计一个 1 位二进制全加器，时序仿真其功能；将电路下载到 FPGA 芯片实现其功能。

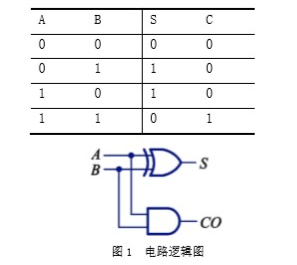
四、实验设计说明：

1. 一位半加器

一位“被加数”与“加数”两者相加，产生“本位和”及向高位的“进位”。

该电路有 2 个输入，2 个输出。设“被加数”，“加数” 分别为 A 和 B ； “本位和”与向高

位的“进位”分别为 S 和 C。真值表和电路逻辑图如下：



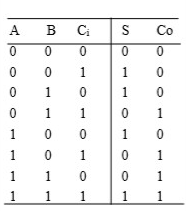
2. 一位二进制全加器

一位“被加数”与“加数”及低位送来的“进位”三者相加，产生“本位和”及向高位

的“进位”。该电路有 3 个输入，2 个输出。

设“被加数”，“加数”和低位来的“进位”分别为 A, B, Ci, “本位和”与向高位的“进位”

分别为 S, Co. 真值表如下：



五、实验设备与元器件：

1．数字电路与系统实验箱 1 台

2．计算机 1 台

3．Quartus II 软件 1 套

六、实验步骤

1.对于半加器编写VDL程序，代码如下：

module add (cout, sum, ina,inb, cin);

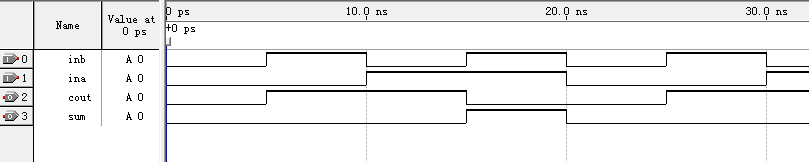
output sum,cout;

input ina,inb,cin;

assign {cout,sum}=ina+inb;

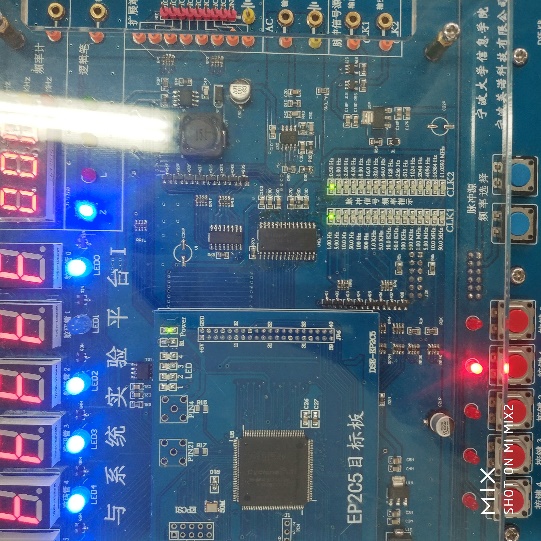
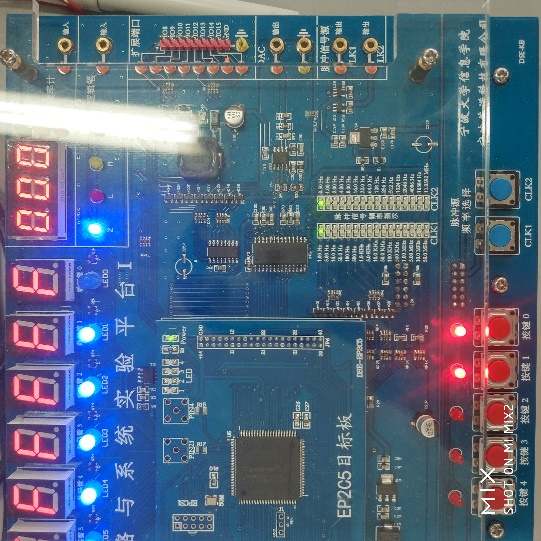
endmodule

2.选择时序仿真，发现波形图输出不正常。判断应该为时序仿真的延时，选择功能方正，波形图输出正常。



在上图中，ina信号为周期20ns的方波，inb信号为周期为10ns的方波。且在ina,inb为0时，sum,cout都为0、在ina,inb为1时，sum,cout为0，1符合真值表的要求。【注：由于输入原因，程序中的cout为和，sum为进位】

3.下载程序至数字电路与系统实验箱，结果如下：

左图为ina=1,inb=0，和为1，进位为0。右图为ina=1,inb=1，和为0，进位为1，可以看出，电路板上的结果是符合实验预期的。

4.对于全加器编写VDL程序，代码如下：

module add (cout, sum, ina,inb, cin);

output sum,cout;

input ina,inb,cin;

assign {cout,sum}=ina+inb+cin;

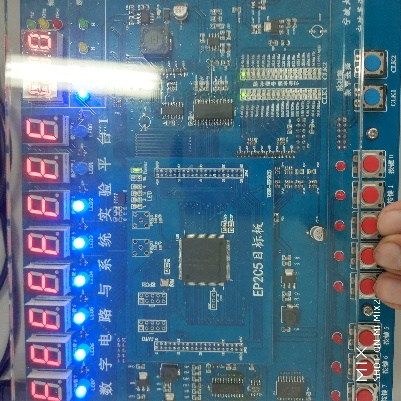
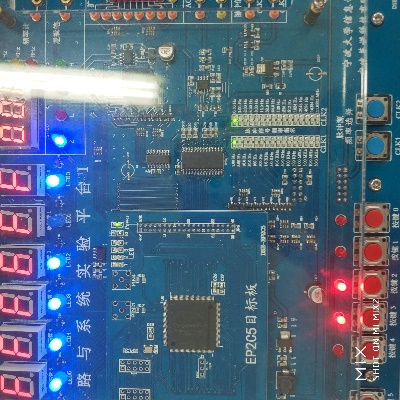
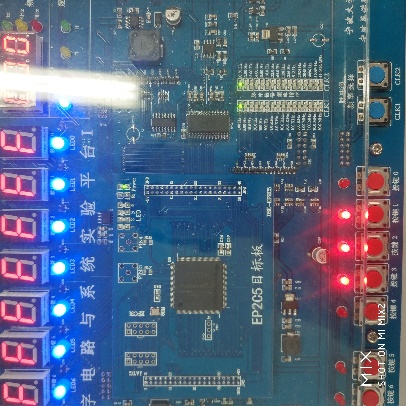
endmodule

2.继续选择功能仿真，波形图如下



在上图中，ina信号为周期20ns的方波，inb信号为周期为10ns的方波，cin信号为周期为30ns的方波。且在ina,inb,cin为0时，sum,cout都为0、在ina,inb,cin为1时，sum,cout为1。符合真值表的要求。【注：由于输入原因，程序中的cout为和，sum为进位】

3.下载程序至数字电路与系统实验箱，结果如下：



左图为ina=1,inb=1,cin=1，和为1，进位为1。中图为ina=1,inb=1,cin=0，和为0，进位为1。右图为ina=0,inb=0，和为0，进位为0，可以看出，电路板上的结果是符合实验预期的。

七、实验结论

通过本次实验，我们掌握了Quartus II软件的基本操作方法，掌握了设计电路的VDL输入法，还发现了时序仿真和功能仿真的不同，学会了下载程序至电路板。为今后的学习打下了一定的基础。