

SIMULAÇÃO E ANÁLISE DE ARQUITETURA DE UM COMPUTADOR COM ÊNFASE EM CPU E MEMÓRIA

1. Introdução

A arquitetura de computadores é um dos pilares fundamentais da computação, pois define a forma como os componentes internos de um sistema computacional são organizados e interagem entre si. O entendimento dessa estrutura é essencial para compreender como dados e instruções são processados desde a entrada até a geração de resultados, permitindo uma visão clara do funcionamento interno de um computador.

Neste contexto, o presente trabalho propõe a simulação e análise de uma arquitetura computacional com foco na Unidade Central de Processamento (CPU) e na organização da memória. A proposta está alinhada ao desafio apresentado pela empresa NeoCore Tech, que visa o desenvolvimento de um simulador didático capaz de auxiliar estudantes no aprendizado prático dos conceitos de arquitetura e organização de computadores.

Ao longo deste trabalho, será apresentada uma arquitetura baseada no modelo de Von Neumann, incluindo a descrição dos principais componentes do sistema, como CPU, memória, barramentos e dispositivos de entrada e saída. Além disso, será demonstrado o ciclo de execução de instruções, bem como uma simulação visual que representa o funcionamento interno de um computador de forma clara e didática.

2. Arquitetura Escolhida

A arquitetura escolhida para o desenvolvimento do simulador foi o modelo de Von Neumann. Nesse modelo, tanto os dados quanto as instruções são armazenados em uma mesma memória principal, sendo acessados pela Unidade Central de Processamento por meio de um conjunto comum de barramentos. Essa arquitetura é utilizada no ensino de computação por sua estrutura simples e clara.

A escolha da arquitetura de Von Neumann se deve à sua abordagem didática, que facilita a compreensão do funcionamento interno de um computador. Por utilizar uma única memória para dados e instruções, o modelo permite que os estudantes visualizem de forma direta o fluxo de informações entre a CPU, a memória e os dispositivos de entrada e saída, tornando o aprendizado mais acessível.

Para a CPU, foi adotado um modelo inspirado em arquiteturas do tipo RISC (Reduced Instruction Set Computer), caracterizado por um conjunto reduzido de instruções e execução simplificada. Essa abordagem contribui para a clareza do ciclo de execução das instruções, permitindo que o simulador demonstre de forma objetiva as etapas de busca, decodificação e execução realizadas pela CPU.

A Figura 1 ilustra a organização geral da arquitetura proposta, evidenciando a interconexão entre CPU, memória e dispositivos de entrada e saída.

3. Estrutura da CPU

3.1 Unidade de Controle.

A Unidade de Controle (UC) é responsável por coordenar e controlar todas as operações realizadas pela CPU. Sua principal função é buscar as instruções armazenadas na memória, decodificá-las e gerar os sinais de controle necessários para que os demais componentes executem corretamente cada etapa do processamento. A UC atua como o elemento central de organização do ciclo de execução das instruções.

3.2 Unidade Lógica e Aritmética (ULA)

A Unidade Lógica e Aritmética (ULA) é o componente da CPU responsável pela execução das operações matemáticas e lógicas. Entre suas funções estão operações como soma, subtração e comparações lógicas. A ULA recebe os dados provenientes dos registradores, processa as operações conforme determinado pela Unidade de Controle e devolve os resultados para os registradores ou para a memória.

3.3 Registradores

Os registradores são pequenas unidades de memória de alta velocidade localizadas dentro da CPU. Eles são utilizados para armazenar temporariamente dados, endereços e instruções durante o processamento, permitindo acesso extremamente rápido pela ULA e pela Unidade de Controle. Entre os principais registradores destacam-se o Program Counter (PC), responsável por armazenar o endereço da próxima instrução, e o Instruction Register (IR), que armazena a instrução atualmente em execução.

4. Ciclo de Execução de Instruções

4.1 Busca da Instrução (Fetch)

A fase de busca da instrução, conhecida como fetch, inicia-se com o Program Counter (PC), que contém o endereço da próxima instrução a ser executada. Esse endereço é enviado à memória principal, que retorna a instrução correspondente. Em seguida, a instrução é carregada no Instruction Register (IR), preparando-se para a etapa de decodificação.

4.2 Decodificação da Instrução (Decode)

Na etapa de decodificação, a Unidade de Controle interpreta a instrução armazenada no Instruction Register (IR), identificando a operação a ser realizada e os operandos envolvidos. Com base nessa interpretação, a UC gera os sinais de controle necessários para orientar os demais componentes da CPU durante a execução da instrução.

4.3 Execução da Instrução (Execute)

Na fase de execução, a Unidade Lógica e Aritmética (ULA) realiza a operação determinada pela instrução, utilizando os dados armazenados nos registradores. O resultado da operação é então armazenado em um registrador ou na memória principal, conforme o tipo da instrução. Ao final dessa etapa, o Program Counter é atualizado para apontar para a próxima instrução do programa.

Esse ciclo ocorre continuamente enquanto o sistema estiver em funcionamento, permitindo a execução sequencial das instruções do programa.

5. Organização da Memória

5.1 Memória Principal (RAM)

A memória principal, geralmente representada pela memória RAM, é responsável por armazenar temporariamente os dados e instruções que estão sendo utilizados durante a execução dos programas. A CPU acessa a memória RAM constantemente para buscar instruções e dados necessários ao processamento, tornando-a um componente essencial para o funcionamento do sistema computacional.

5.2 Memória Cache

A memória cache é uma memória de alta velocidade posicionada entre a CPU e a memória principal. Sua principal função é reduzir o tempo de acesso aos dados mais frequentemente utilizados, armazenando cópias dessas informações próximas ao processador. Dessa forma, a cache contribui significativamente para o aumento do desempenho do sistema.

5.3 Mapeamento e Hierarquia de Memória

A organização da memória em um sistema computacional segue o conceito de hierarquia, na qual diferentes tipos de memória são organizados de acordo com sua velocidade, custo e capacidade. Nessa hierarquia, os registradores ocupam o nível mais rápido, seguidos pela memória cache e pela memória RAM. Esse mapeamento permite equilibrar desempenho e custo, otimizando o acesso aos dados pelo processador.

6. Simulação da Arquitetura Proposta

A simulação da arquitetura proposta foi desenvolvida utilizando a ferramenta Logisim Evolution, com o objetivo de representar de forma visual e didática o funcionamento interno da CPU. A Figura 1 apresenta a organização dos registradores e da Unidade Lógica e Aritmética, evidenciando o fluxo básico de dados durante o processamento.

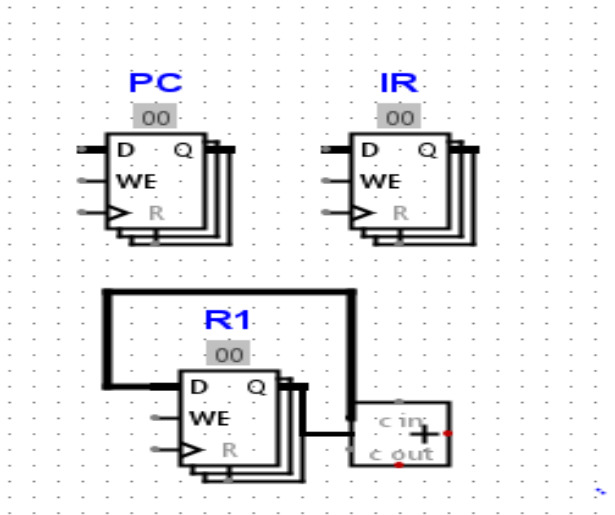


Figura 1 – Simulação da CPU com registradores PC, IR e R1 e ULA representada pelo somador.

A Figura 2 apresenta o circuito do sistema, no qual a CPU se comunica com a memória RAM e com os dispositivos de entrada e saída por meio de barramentos conceituais. Essa organização representa o modelo de Von Neumann, em que dados e instruções compartilham a mesma memória principal.

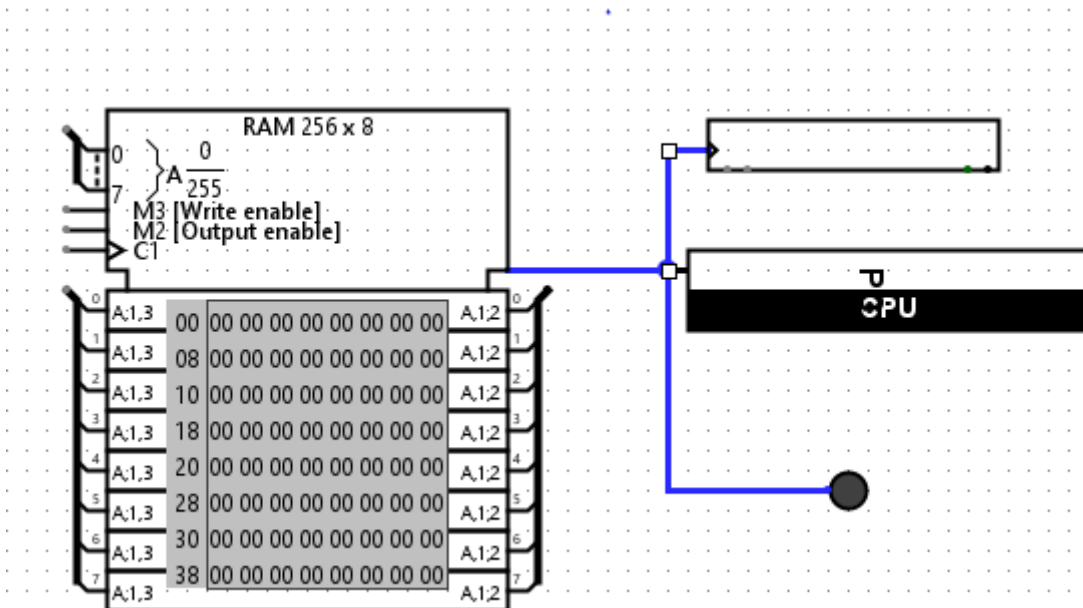


Figura 2 – Simulação do sistema com CPU, memória RAM, dispositivos de entrada/saída e barramentos conceituais.

