ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH­­

TRƯỜNG ĐẠI HỌC BÁCH KHOA TP. HCM

BỘ MÔN ĐIỆN TỬ

**Logo, company name

Description automatically generated**

EE3043: Computer Architecture

**Laboratory Report**

GVHD: Dr. Trần Hoàng Linh

TA: Cao Xuân Hải

Lớp: L01

|  |  |
| --- | --- |
| Thành viên nhóm | MSSV |
| Trần Thế Nhân | 2114274 |
| Nguyễn Đắc Tâm | 2114714 |
| Nguyễn Đăng Khoa | 2111527 |

Mục lục

[1. Introduction 2](#_Toc163161785)

[2. Design Strategy 3](#_Toc163161786)

[2.1. Program Counter 4](#_Toc163161787)

[2.2. Register File 4](#_Toc163161788)

[2.3. IMEM 5](#_Toc163161789)

[2.4. LSU 5](#_Toc163161790)

[2.5. ImmGen 7](#_Toc163161791)

[2.6. BRC 7](#_Toc163161792)

[2.7. ALU 8](#_Toc163161793)

[2.8. CtrlUnit 9](#_Toc163161794)

[3. Verification Strategy 11](#_Toc163161795)

[4. Alternative Design 15](#_Toc163161796)

[5. Evaluation 19](#_Toc163161797)

[6. Conclusion 21](#_Toc163161798)

**Milestone 2**

**Design of a Single-Cycle Processor**

# Introduction

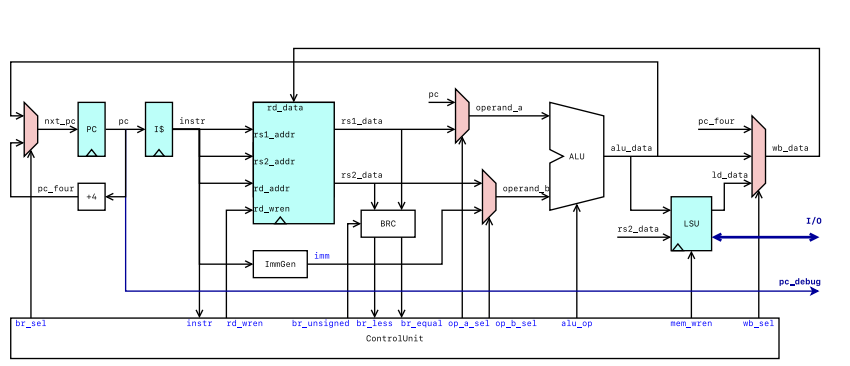
RISC-V instruction set architecture (ISA) là một kiến trúc có mã nguồn mở dùng để thiết kế vi xử lý cho máy tính và đã trở nên phổ biến cho những ứng dụng trong công nghiệp và học thuật. Nó dựa trên nguyên tắc Reduced Instruction Set Computer (RISC) với mục đích đơn giản hóa tập lệnh và cải thiện tính hiệu quả cũng như hiệu năng cho vi xử lý. RV32I là những tập lệnh xử lý số nguyên nằm trong kiến trúc RISC-V và được thiết kế để triển khai số 32 bit. Trong báo cáo, chúng em sẽ trình bày thiết kế của vi xử lý RV32I single-cycle. Trong thiết kế, hầu hết lệnh trong tập lệnh RV32I được thực hiện, ngoại trừ những lệnh như ecall, ebreak, lb, lh, lbu, lhu, sb, sh. Ngoài ra chúng em có thực hiện thêm lệnh mul để phục vụ cho một số ứng dụng cụ thể.

Trong báo cáo, những khối cơ bản trong vi xử lý single-cycle RV32I sẽ được trình bày chi tiết ở phần 2. Những cách kiểm tra các khối cơ bản và tập lệnh được nêu ra ở phần 3. Phần thiết kế mở rộng, đánh giá và kết luận sẽ được mô tả lần lượt ở phần 4, 5, 6.

Để hoàn thành được thiết kế, chúng em xin cảm ơn thầy Trần Hoàng Linh đã dạy những kiến thức về cấu trúc máy tính và xin cảm ơn anh Cao Xuân Hải đã hướng dẫn cụ thể cách thực hiện thiết kế cũng như những kiến thức liên quan.

# Design Strategy

Những khối cơ bản để tạo nên vi xử lý được mô tả như hình dưới:



Hình 2.1. Vi xử lý single-cycle tiêu chuẩn

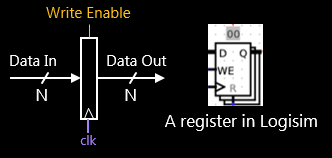
Thiết kế từng khối riêng lẻ bao gồm:

* Khối mux: từ sơ đồ khối cần thiết kế 2 loại mux là mux 2 to 1 và mux 3 to 1.
* Khối adder PC4: thiết kế bộ cộng 32 bit để có thể sử dụng cho bộ ALU.
* Khối PC: bộ đếm chương trình (program counter).
* Khối IMEM: lưu trữ những instruction, khởi tạo bộ nhớ 8KB và chứa lệnh $readmem để đọc dữ liệu từ file hex chứa mã của chương trình.
* Khối Regfile: bộ những thanh ghi của vi xử lý, thiết kế 32 thanh ghi 32 bit và có thể đọc ghi vào thanh ghi.
* Khối ImmGen: (immediate generator) khối tạo số từ instruction.
* Khối BRC: (branch comparator) bộ so sánh để thực hiện những lệnh rẽ nhánh.
* Khối ALU: bộ tính toán, thực hiện các phép toán như cộng, trừ, dịch,… Trước khi thiết kế bộ ALU, cần thiết kế bộ cộng 32bit, trừ 32 bit, and 32 bit, or 32bit, xor 32 bit, shift left logical, shift right logical, shift right arithmetic, set less than, set less than unsigned.
* Khối LSU: bộ nhớ lưu trữ dữ liệu và giao tiếp với IO ngoại vi.
* Khối ControlUnit: bộ điều khiển các tín hiệu cho vi xử lý.

Sau khi thiết kế từng khối riêng lẻ, tổng hợp các khối như hình 2.1 tạo thành khối singlecycle. Sau đó mô phỏng RTL và kiểm tra lại các đường dây nối ở các khối với nhau.

## Program Counter

Program counter là bộ đếm chương trình, về cơ bản thì program counter là một thanh ghi 32 bit. Ở mỗi cạnh lên xung clock, giá trị thanh ghi sẽ được cập nhật.



Hình 2.2. Program Counter

Ngõ vào:

* Bus dữ liệu ngõ vào 32 bit.
* Xung clock.

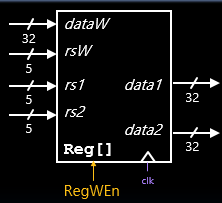
Ngõ ra:

* Bus dữ liệu ngõ ra 32 bit.

Hoạt động: ở mỗi cạnh lên xung clock, Data Out = Data In, ở những thời điểm khác Data Out sẽ không thay đổi và giữ nguyên giá trị trước đó.

## Register File

Register file có 32 thanh ghi 32 bit.



Hình 2.3. Khối regfile

Ngõ vào:

* 1 bus ngõ vào 32 bit dataW chứa dữ liệu được ghi vào thanh ghi.
* 3 busses 5 bit rs1, rs2, rsW lần lượt chứa địa chỉ của 2 thanh ghi cần đọc và 1 thanh ghi cần ghi.

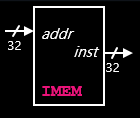
Ngõ ra:

* 2 busses ngõ ra 32 bit data1 và data2 chứa dữ liệu của 2 thanh ghi được đọc.

Hoạt động: Những thanh ghi sẽ được truy cập thông qua 5 bit địa chỉ, data1 = R[rs1], data2 = R[rs2], R[rsW] = dataW chỉ khi tín hiệu RegWEn = 1. Hoạt động ghi chỉ được thực hiện khi có cạnh lên xung clock, còn hoạt động đọc thanh ghi diễn ra như một hệ tổ hợp.

## IMEM

Instruction memory là bộ nhớ chứa những lệnh (instruction). Trong thiết kế, imem có dung lượng 8KB.



Hình 2.4. IMEM block

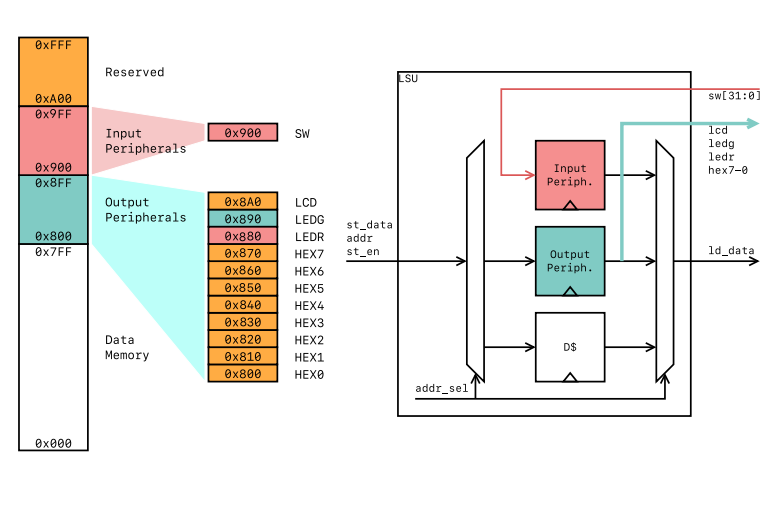
Ngõ vào: 32 bit addr, chứa địa chỉ của lệnh trong bộ nhớ.

Ngõ ra: 32 bit inst, chứa dữ liệu của lệnh.

Hoạt động: imem hoạt động như hệ tổ hợp, inst = mem[addr].

## LSU

LSU (load – store unit) là bộ nhớ chứa dữ liệu được thiết kế có dung lượng 2KB, và được giao tiếp với ngoại vi bên ngoài.



Hình 2.5. Memory-mapping và LSU diagram

Ngõ vào:

* Xung clock: positive clock.
* rst\_ni: tín hiệu low negative reset.
* 32 bit addr chứa địa chỉ đọc và ghi.
* 32 bit dataRW chứa dữ liệu đọc và ghi.
* MemRW tín hiệu chọn đọc hoặc ghi của bộ nhớ.
* 32 bit io\_sw chứa 32 bit ngõ vào từ switch.

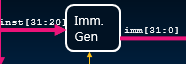
Ngõ ra:

* 32 bit dataR chứa dữ liệu đọc từ bộ nhớ.
* 32 bit io\_ledr chứa dữ liệu xuất ra ngoại vi red led.
* 32 bit io\_ledg chứa dữ liệu xuất ra ngoại vi green led.
* 32 bit io\_lcd chứa dữ liệu điều khiển ngoại vi lcd.
* 8 32-bit io\_hex chứa 8 32-bit dữ liệu xuất ra ngoại vi led 7 đoạn.

Hoạt động: Ở cạnh lên của xung clock, bộ nhớ sẽ lưu giá trị mem[addr]=dataW khi tín hiệu MemRW được tích cực lên. Ở mọi thời điểm, dataR = mem[addr] và các giá trị ngoại vi sẽ được gán với từng vùng nhớ cụ thể.

## ImmGen

Immediate generator là bộ tạo số immediate từ instruction.



Hình 2.6. ImmGen block

Ngõ vào: 25 bit inst[31:7] từ 32 bit instruction. 3 bit ImmSel là tín hiệu chọn loại lệnh (I, S, B, J, U).

Ngõ ra: 32 bit imm chứa dữ liệu số immediate.

Hoạt động: bộ ImmGen hoạt động như bộ tổ hợp, với mỗi tín hiệu ImmSel cụ thể thì sẽ tạo được immediate number từ ngõ vào instruction.

## BRC

Branch comparator là bộ so sánh phục vụ cho những lệnh rẽ nhánh.



Hình 2.7. BRC block

Ngõ vào:

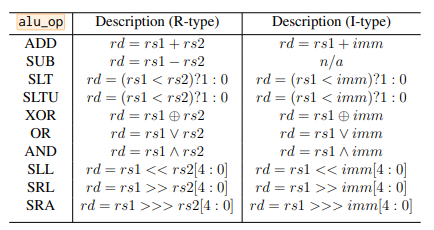
* 32 bit rst1 chứa dữ liệu của thanh ghi thứ nhất được lấy từ khối register file.
* 32 bit rst2 chứa dữ liệu của thanh ghi thứ hai được lấy từ khối register file.
* 1 bit BrUn là tín hiệu báo hiệu lệnh rẽ nhánh so sánh số không dấu.

Ngõ ra: 1 bit BrEq là tín hiệu báo hiệu 2 thanh ghi bằng nhau, 1 bit BrLt là tín hiệu báo hiệu thanh ghi thứ nhất bé hơn thanh ghi thứ hai.

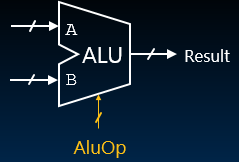
Hoạt động: Nếu BrUn = 1 thì BRC sẽ so sánh 2 thanh ghi dưới dạng số không dấu. Bộ BRC sẽ so sánh 2 thanh ghi, nếu rst1 = rst2 thì BrEq = 1 và BrLt = 0, nếu rst1 < rst2 thì BrEq = 0 và BrLt = 1, với các trường hợp còn lại thì BrLt và BrEq đều bằng 0.

## ALU

Arithmetic logic unit là bộ tính toán các biểu thức +, -, <<, >>, >>>, ^, &, |.



Hình 2.8. Các phép toán bộ ALU thực hiện



Hình 2.9. ALU block

Ngõ vào:

* 32 bit rst1 chứa dữ liệu thanh ghi thứ nhất từ regfile hoặc giá trị pc.
* 32 bit rst2 chứa dữ liệu thanh ghi thứ hai từ regfile hoặc giá trị từ ImmGen.
* 3 bit AluOp là tín hiệu lựa chọn phép tính cần thực hiện.

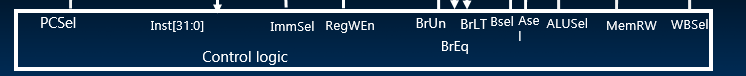
Ngõ ra:

* 32 bit Result chứa kết quả của phép toán được thực hiện.

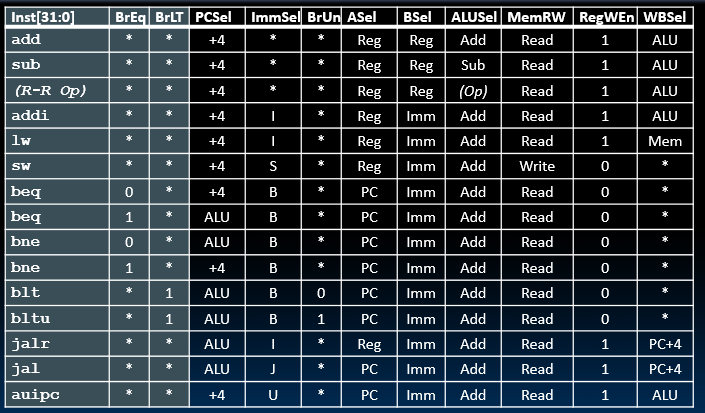
Hoạt động: Với mỗi tín hiệu AluOp, các phép toán như cộng, trừ, dịch phải, dịch trái,… sẽ được thực hiện như hình 2.8 và kết quả được lưu vào Result.

## CtrlUnit

Control Unit là khối điều khiển các tín hiệu lựa chọn cho các khối khác hoạt động.



Hình 2.10. Control Unit block



Hình 2.11. Control Unit truth table

Ngõ vào: 32 bit inst chứa dữ liệu instruction từ IMEM. 1 bit BrEq là tín hiệu từ BRC, bằng 1 khi A = B. 1 bit BrLt là tín hiêu từ BRC, bằng 1 khi A < B.

Ngõ ra:

* 1 bit PCSel là tín hiệu chọn PC: bằng 0 if PC+4, 1 nếu được tính từ ALU.
* 1 bit BrUn là tín hiệu báo hiệu số không dấu, bằng 1 khi ở lệnh rẽ nhánh có 2 thông số so sánh là số không dấu.
* 1 bit WBSel là tín hiệu báo ghi dữ liệu vào regfile.
* 1 bit MemWEn là tín hiệu báo ghi dữ liệu vào LSU.
* 1 bit ASel là tín hiệu cho bộ mux, 0 nếu rs1, 1 nếu PC.
* 1 bit BSel là tín hiệu chọ bộ mux, 0 nếu rs2, 1 nếu imm.
* 4 bit ALUSel chọn phép tính cho ALU.
* 3 bit ImmSel chọn loại câu lệnh để tạo số immediate.

# Verification Strategy

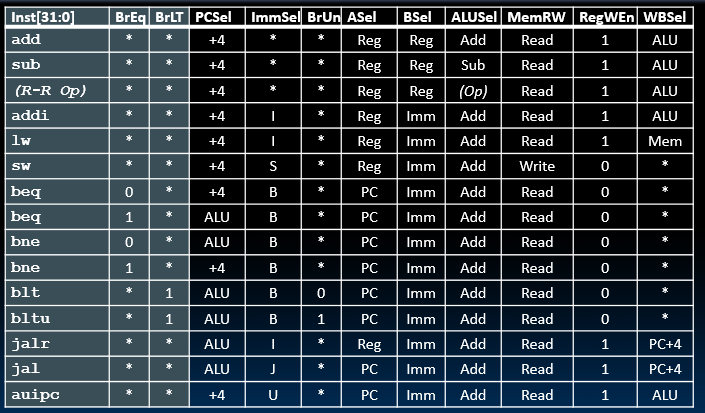
Verification sẽ được chia làm 2 loại: thứ nhất là viết testbench cho từng khối trong cpu và những module liên quan, thứ 2 là kiểm tra hoạt động của cpu với từng lệnh với các loại R, I, U, B, J, S.

Trước tiên cần test những khối tạo thành cpu như PC, ALU, Regfile,… Sau đó test từng câu lệnh theo từng loại.

**Kiểm tra những khối tạo thành cpu:**

Cần test những module adder\_32bit, subtractor\_32bit, or\_32bit, and\_32bit, xor\_32bit, set\_less\_than, set\_less\_than\_unsigned, shift\_left\_logical, shift\_right\_logical, shift\_right\_arithmetic. Sau đó mới test tới bộ ALU.

Có những module cần test như sau:

* adder\_32bit: cộng 2 số 32 bit
* subtractor\_32bit: trừ 2 số 32 bit
* and\_32bit: thực hiện and từng bit trong 2 số 32 bit
* or\_32bit: thực hiện or từng bit trong 2 số 32 bit
* xor\_32bit: thực hiện xor từng bit trong 2 số 32 bit
* mux2to1\_32bit: chọn 1 trong 2 số 32 bit
* mux3to1\_32bit: chọn 1 trong 3 số 32 bit
* set\_less\_than: ngõ ra bằng 1 khi A < B, bằng 0 khi A >= B, A và B là 2 số 32 bit có dấu
* set\_less\_than\_unsign: ngõ ra bằng 1 khi A < B, bằng 0 khi A >= B, A và B là 2 số 32 bit không dấu
* shift\_left\_logical: dịch trái logical số thứ nhất n lần, với n bằng số thứ hai.
* shift\_right\_logical: dịch phải logical số thứ nhất n lần, với n bằng số thứ hai
* shift\_right\_arithmetic: dich phải arithmetic số thứ nhất n lần, với n bằng số thứ hai.
* pc: ngõ ra bằng ngõ vào khi xung clock có cạnh lên.
* imem: inst = mem[addr], với addr là địa chỉ ngõ vào 32 bit, inst là dữ liệu instruction 32 bit.
* regfile: ngõ ra 32 bit data1 = R[rs1], data2 = R[rs2], khi RegWEn = 1 thì R[rsW] = dataW ở canh lên xung clock. Khi rst = 0 thì tất cả thanh ghi được xóa về 0.
* imm\_gen
  + Nếu ImmSel = 000, imm[31:0] = {{21{inst[31]}}, inst[30:20]}
  + Nếu ImmSel = 001, imm[31:0] = {{21{inst\_i[31]}}, inst\_i[30:25], inst\_i[11:7]}
  + Nếu ImmSel = 010, imm[31:0] = {{20{inst\_i[31]}}, inst\_i[7], inst\_i[30:25], inst\_i[11:8], 1'b0}
  + Nếu ImmSel = 011, imm[31:0] = {{12{inst\_i[31]}}, inst\_i[19:12], inst\_i[20], inst\_i[30:21], 1'b0}
  + Nếu ImmSel = 100, imm[31:0] = {inst\_i[31:12], {12{1'b0}}} : {32{1'b0}}
* brcomp: Nếu BrUn = 1 thì brcomp sẽ so sánh 2 thanh ghi dưới dạng số không dấu. Bộ brcomp sẽ so sánh 2 thanh ghi, nếu rst1 = rst2 thì BrEq = 1 và BrLt = 0, nếu rst1 < rst2 thì BrEq = 0 và BrLt = 1, với các trường hợp còn lại thì BrLt và BrEq đều bằng 0
* alu
  + Nếu AluSel = 0000, Result = rs1 + rs2
  + Nếu AluSel = 1000, Result = rs1 – rs2
  + Nếu AluSel = 0001, Result = rs1 << rs2
  + Nếu AluSel = 0010, Result = (rs1 < rs2) ? 1 : 0, số có dấu
  + Nếu AluSel = 0011, Result = (rs1 < rs2) ? 1 : 0, số không dấu
  + Nếu AluSel = 0100, Result = rs1 ^ rs2
  + Nếu AluSel = 0101, Result = rs1 >> rs2
  + Nếu AluSel = 1101, Result = rs1 >>> rs2
  + Nếu AluSel = 0110, Result = rs1 | rs2
  + Nếu AluSel = 0111, Result = rs1 & rs2
  + Nếu AluSel = 1111, Result = rs2
  + Các trường hợp còn lại Result = 0.
* ctrl\_unit:
  + Ngõ vào: 32 bit inst chứa dữ liệu instruction từ IMEM. 1 bit BrEq là tín hiệu từ BRC, bằng 1 khi A = B. 1 bit BrLt là tín hiêu từ BRC, bằng 1 khi A < B.
  + Ngõ ra:
* 1 bit PCSel là tín hiệu chọn PC: bằng 0 if PC+4, 1 nếu được tính từ ALU.
* 1 bit BrUn là tín hiệu báo hiệu số không dấu, bằng 1 khi ở lệnh rẽ nhánh có 2 thông số so sánh là số không dấu.
* 1 bit WBSel là tín hiệu báo ghi dữ liệu vào regfile.
* 1 bit MemWEn là tín hiệu báo ghi dữ liệu vào LSU.
* 1 bit ASel là tín hiệu cho bộ mux, 0 nếu rs1, 1 nếu PC.
* 1 bit BSel là tín hiệu chọ bộ mux, 0 nếu rs2, 1 nếu imm.
* 4 bit ALUSel chọn phép tính cho ALU.
* 3 bit ImmSel chọn loại câu lệnh để tạo số immediate.
  + Các tín hiệu được mô tả như hình dưới
  + 

**Kiểm tra tất cả câu lệnh được thiết kế:**

Có những lệnh cần được kiểm tra như sau:

* add
* sub
* xor
* or
* and
* sll
* srl
* sra
* slt
* sltu
* addi
* xori
* ori
* andi
* slli
* srli
* srai
* slti
* sltiu
* lw
* sw
* jal
* jalr
* lui
* auipc

# Alternative Design

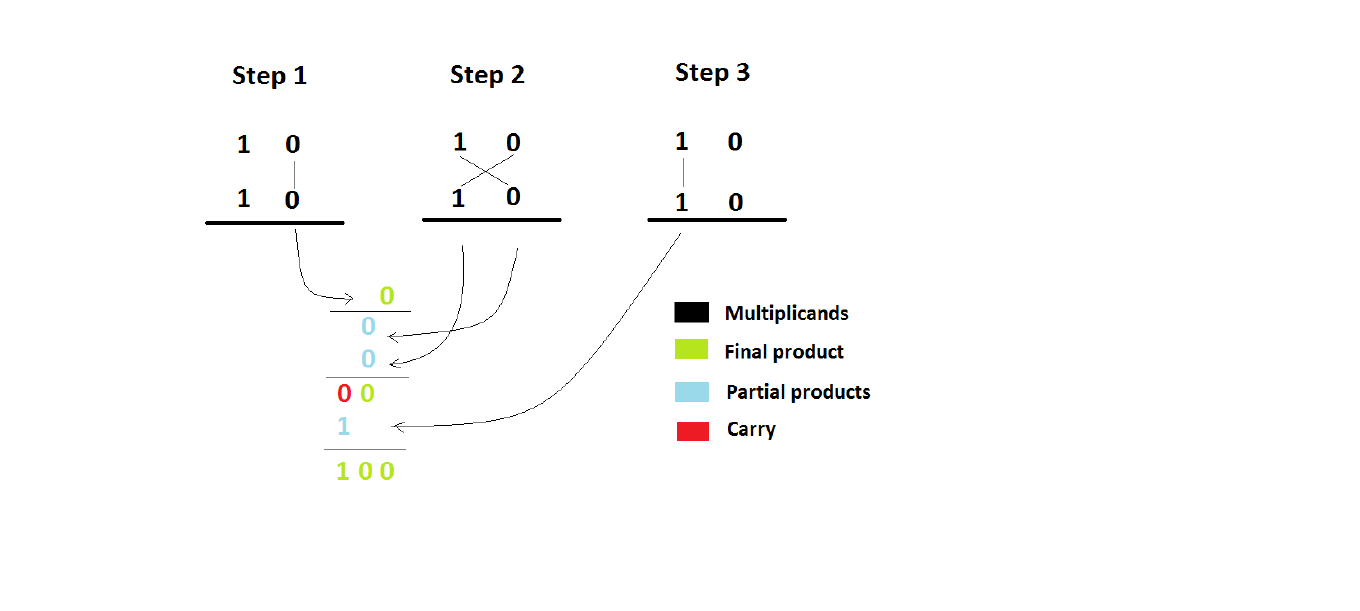
Trong thiết kế như hình 2.1, nhóm em có thiết kế thêm bộ nhân và thêm lệnh mul vào thiết kế trên với mục đích thực hiện tính toán trong những ứng dụng được dễ dàng hơn. Ưu điểm của phương pháp nhân Vedic là tăng tốc tính toán so với phương pháp tính toán thông thường là Array Multiplier. Dù có thể thực hiện được phép nhân bằng lệnh ở phần mềm nhưng việc thực hiện phép nhân bằng phần cứng giúp giảm thời gian tính toán đi rất đáng kể.

Lệnh mul: nhân 2 số có dấu 16 bit.

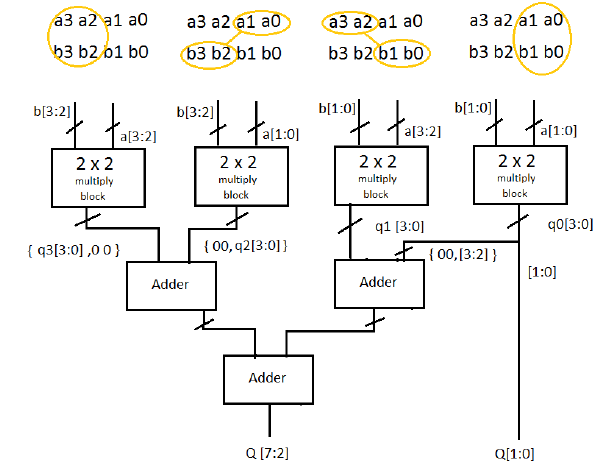
Phép nhân được thực hiện theo phương pháp Vedic.

Phép nhân 16 bit được kế thừa từ phép nhân 2, 4, 8 bit.

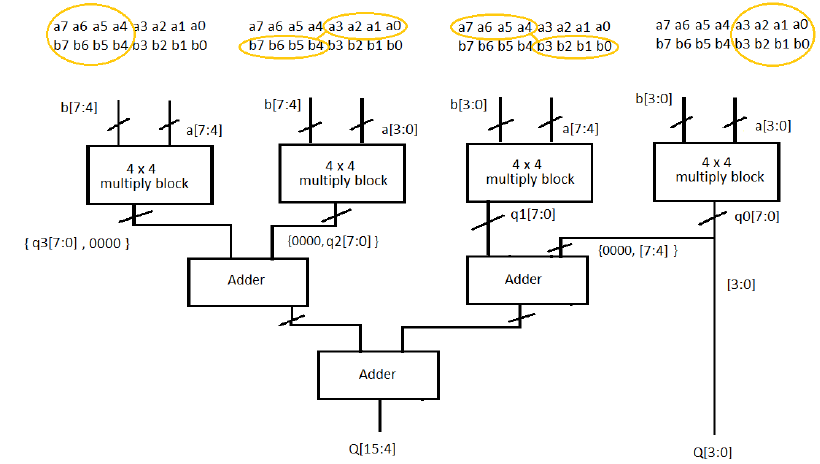
Phép nhân 2x2 bit như sau:



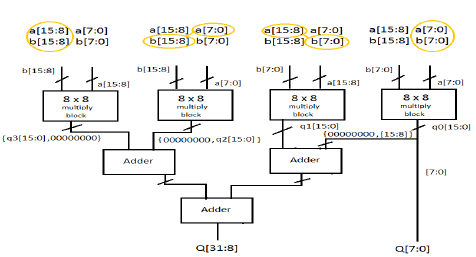
Phép nhân 4x4 bit như sau:



Phép nhân 8x8 bit:

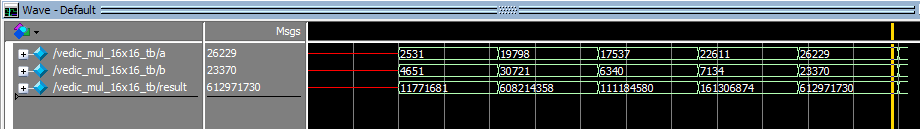


Phép nhân 16x16 bit:



Từ những block diagram trên thiết kế được các module vedic\_mul\_2x2, vedic\_mul\_4x4, vedic\_mul\_8x8, vedic\_mul\_16x16.

Sau đó khối vedic\_mul\_16x16 được kiểm tra trên ModelSim và thu được waveform như sau:

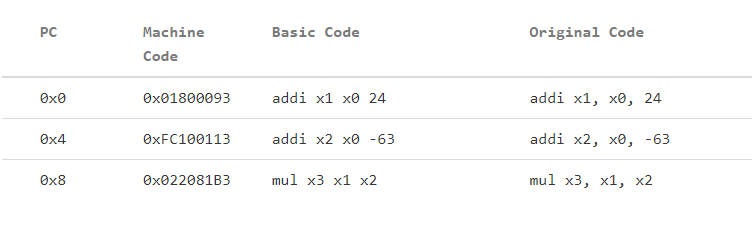


Hình 4.1. Waveform của phép nhân vedic 16x16

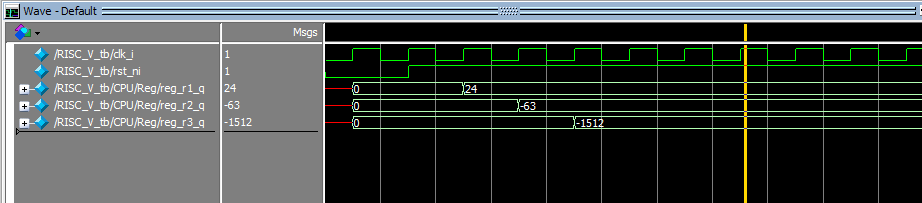
Vì chỉ thêm 1 lệnh mul nên tín hiệu Mul\_ext được thêm vào bộ control unit để điều khiển bộ alu thực hiện phép nhân.

Cuối cùng lệnh mul được kiểm tra trên toàn bộ CPU.

Các lệnh được sử dụng như hình:



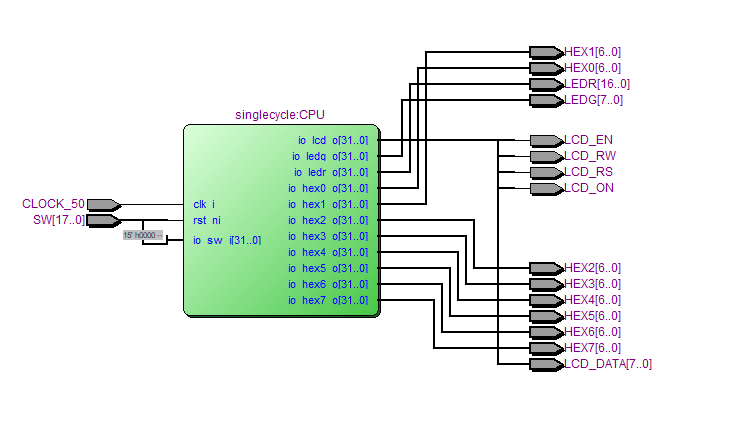
Waveform biểu diễn những lệnh trên:

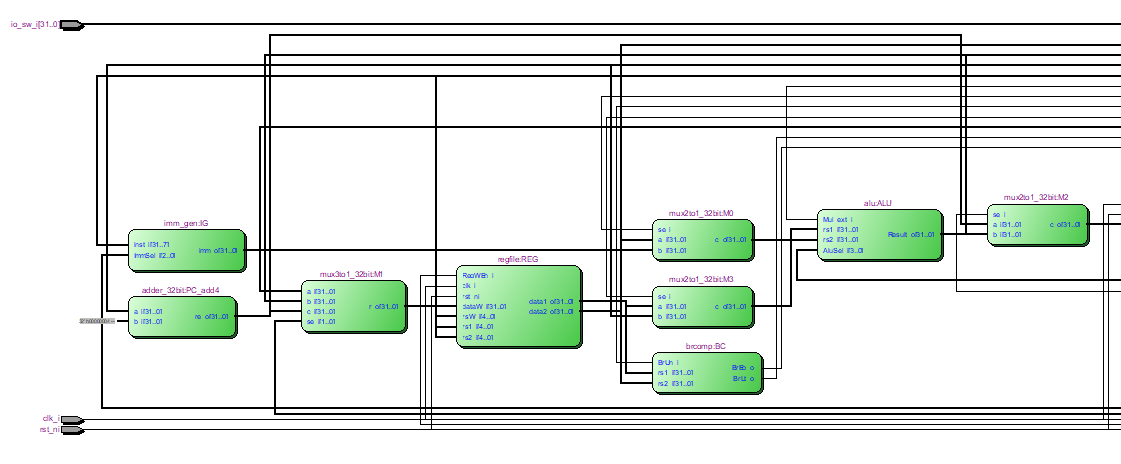


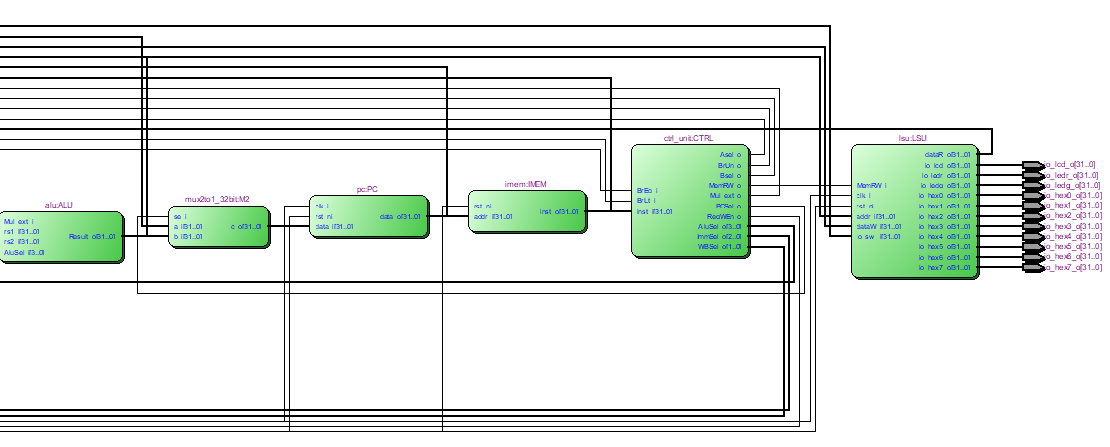
Từ đó, lệnh mul được thêm vào thiết kế để có thể tăng tốc việc thực hiện phép tính nhân và đơn giản hóa code hợp ngữ khi viết một số ứng dụng cụ thể.

# Evaluation

Sau khi thiết kế hoàn chỉnh, mô phỏng được RTL của mạch như hình:







Các kết nối đã được kiểm tra và nhận thấy các khối được mô tả giống trong hình 2.1

Sau khi thực hiện chạy những lệnh trong bảng tập lệnh RV32I, kiểm tra những đường tín hiệu bằng phần mềm ModelSim nhận thấy giá trị đúng ở từng khối được mô tả.

Tuy nhiên, vi xử lý RV32I có thể được cải thiện tốc độ xử lý bằng cách áp dụng kiến trúc pipeline, thêm bộ nhớ cache. Hoặc mở rộng thêm multi-core hoặc đổi thành cấu trúc 6-7 tầng.

# Conclusion

Vi xử lý single-cycle RV32I được thiết kế hoàn chỉnh và có thể thực hiện được những lệnh cơ bản nhưng mô tả ở phần 3. Một số ứng dụng cơ bản được viết bằng hợp ngữ và biên dịch ra mã hex, sau đó cho cpu chạy thử và thực hiện đúng chức năng. Chi tiết source code thiết kế, testbench và ứng dụng được đăng trên github:

https://github.com/Stork1323/Single\_Cycle\_Processor\_RISC\_V\_32I.git