

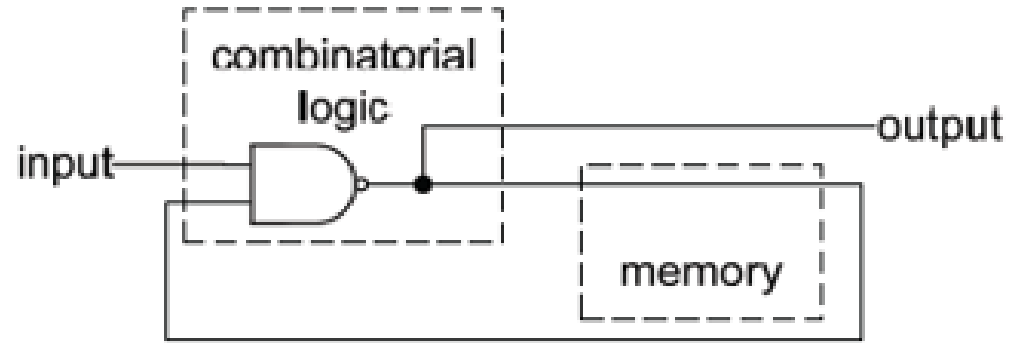
Mantıksal Tasarım ve Uygulamaları

Dr. Burcu KIR SAVAŞ



Sıralı Devreler

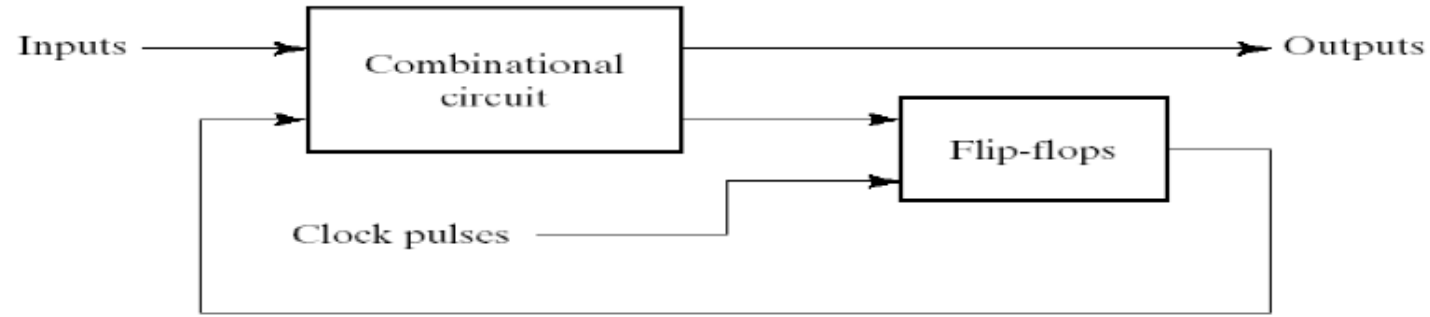
- Sıralı devre nedir?
- Sıralı mantık devreleri bileşik devrelere geri besleme ve zamanlama gibi durumların eklenmesi ile oluşmaktadır. Ardışıl sıralı devrelerde bellek elemanları bileşik devrelere geri besleme yolu ile bağlanmaktadır.



Sıralı mantık devreleri blok diyagramı

Sıralı Devreler

- Sıralı bir devre, gerektiği kadar çok biti depolamak için birçok flip-flops kullanabilir. Çıkışlar, kombinasyon devresinden veya flip-flops veya her ikisinden gelebilir.



Blok Diyagram



Zaman diyagramı

SR mandalı (Latch)

Nor kapıları ile tasarlanmış

- SR mandalı, iki çapraz bağlı NOR kapısına sahip bir devredir.
- Set için S ve R reset için etiketli iki girişi vardır.
- R(Reset) ve S(Set) şeklinde iki girişe sahip bu flip floplarda S girişi '1' konumuna getirildiğinde çıkış '1'; R girişi '1' konumuna getirildiğinde çıkış '0' olur. Her iki girişin aktif olması durumu "Tanımsız" olarak adlandırılır. Girişlerin ikisinin de aktif olmadığı durumlarda ise çıkış değişmez.

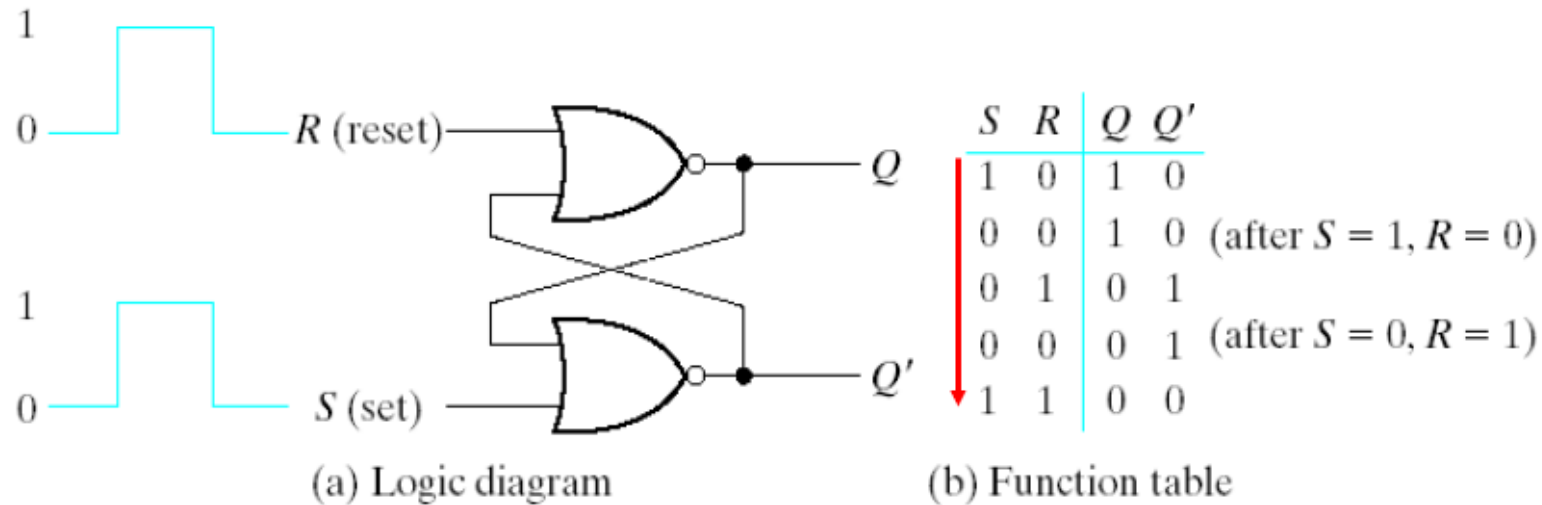


Fig. 5-3 SR Latch with NOR Gates

SR mandalı (Latch)

Nand kapıları ile tasarlanmış

SR mandalı, iki çapraz bağlı NAND geçididir.
Set için S ve R reset için etiketli iki girişi vardır.

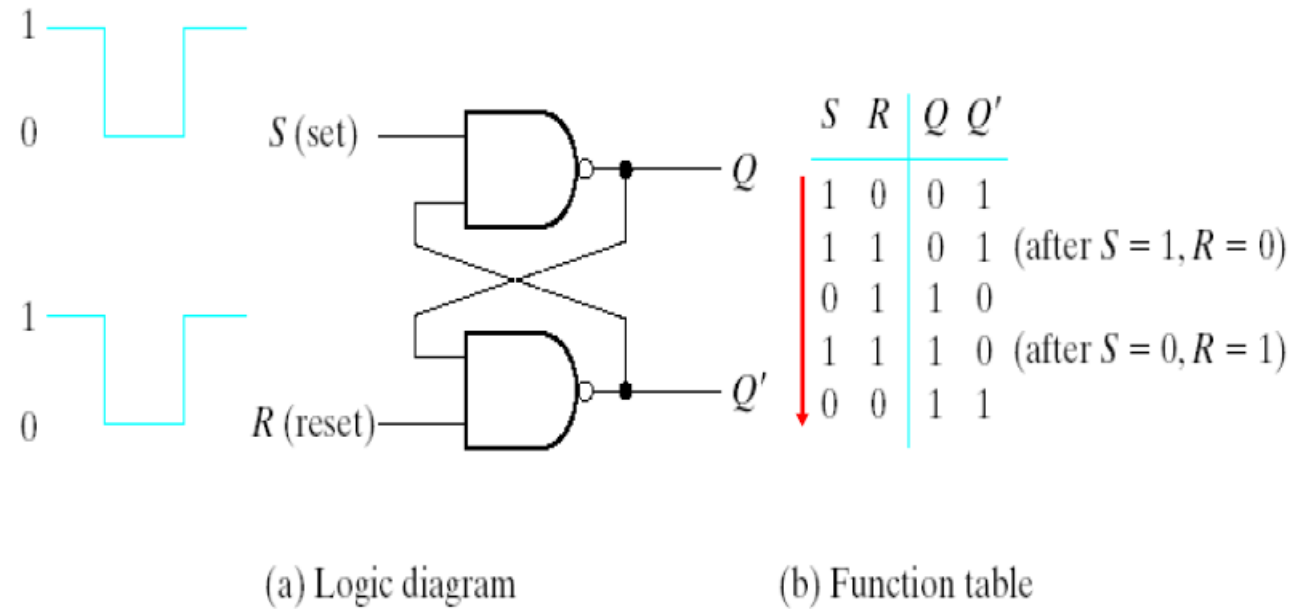
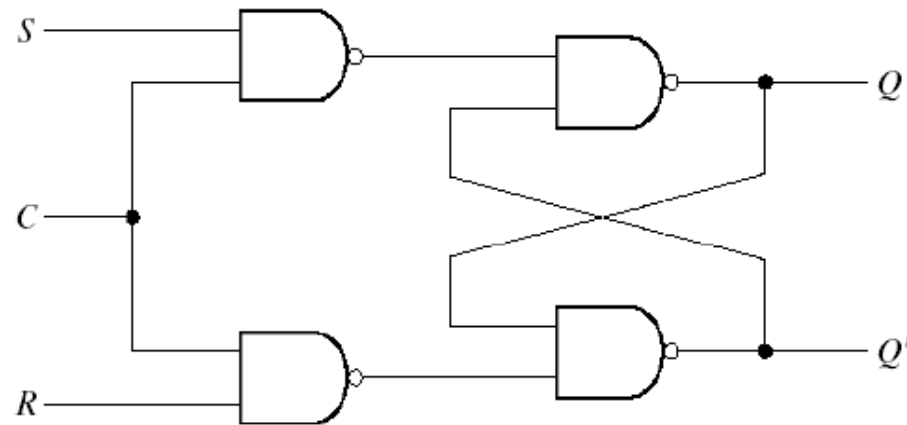


Fig. 5-4 SR Latch with NAND Gates

Kontrol Girişli SR mandalı (Latch)

- Temel SR mandalının çalışması, mandalın durumunun ne zaman değiştirilebileceğini belirleyen ek bir kontrol girişi sağlanarak değiştirilebilir.



(a) Logic diagram

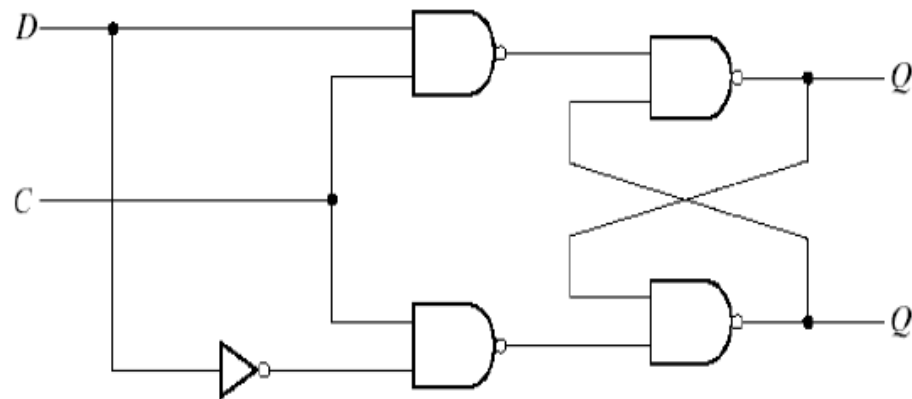
C	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; Reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

(b) Function table

Fig. 5-5 SR Latch with Control Input

D mandalı (Latch)

- SR mandalındaki belirsiz durumun istenmeyen durumunu ortadan kaldırmanın bir yolu, S ve R girişlerinin asla aynı anda 1'e eşit olmaması durumudur. D mandalı bu durumu çözer.



(a) Logic diagram

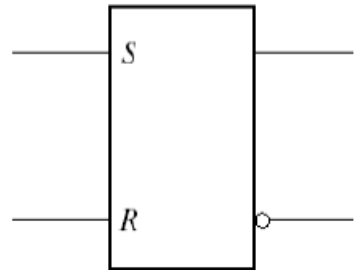
<i>C</i>	<i>D</i>	Next state of <i>Q</i>
0	X	No change
1	0	$Q = 0$; Reset state
1	1	$Q = 1$; Set state

(b) Function table

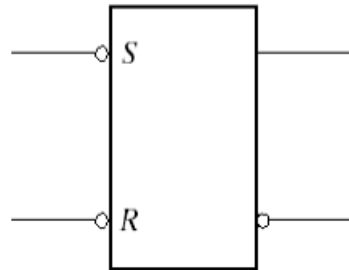
Fig. 5-6 D Latch

Mandallar için Semboller

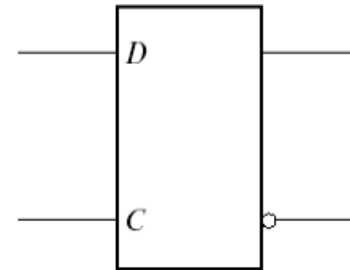
- Bir mandal, solda girişler ve sağda çıkışlar bulunan dikdörtgen bir blokla belirtilir. Çıktılardan biri normal çıktıyı, diğeri ise tamamlayıcı çıktıyı belirtir.



SR



\overline{SR}



D

Flip- Flops

- Bir mandal ya da flip-flop durumu, kontrol girişindeki bir değişiklik ile değiştirilir.
- Bu anlık değişim tetik olarak adlandırılır ve neden olduğu geçişin flip-flop'u tetiklediği söylenir.
- Kontrol girişinde darbeler bulunan D mandalı, aslında darbe mantık 1 seviyesine her gittiğinde tetiklenen bir flip-flop'tur.
- Darbe girişi seviyede kaldığı sürece, veri girişindeki herhangi bir değişiklik çıkışı ve mandalın durumunu değiştirecektir.

Mandallar için Saat Cevabı

- Şekil (a)'da kontrol girişindeki pozitif bir seviye yanıtı, saat darbesi mantık 1'de kalırken D girişi değiştiğinde çıkışta değişikliklere izin verir.



(a) Response to positive level



(b) Positive-edge response



(c) Negative-edge response

Kenar Tetiklemeli (Edge-Triggered) D Flip-Flop

- İlk mandala ana, ikinciye de bağımlı mandal denir. Devre, D girişini örnekler ve Q çıkışını yalnızca kontrol eden saatin negatif kenarında değiştirir.

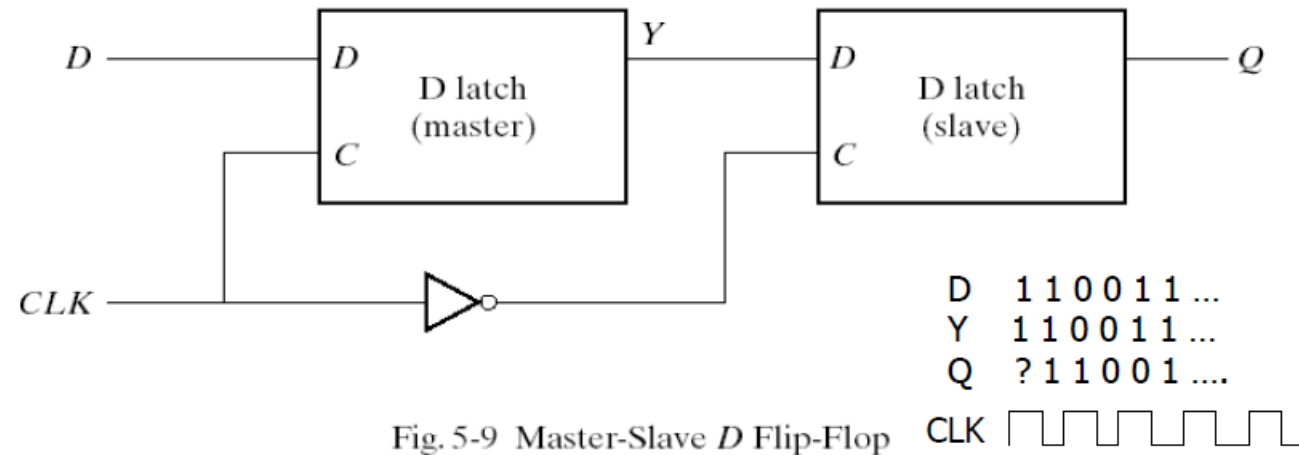


Fig. 5-9 Master-Slave D Flip-Flop

D Tipi Pozitif Kenar Tetiklemeli Flip Flop

- Kenar tetiklemeli bir D flip-flop'un daha verimli başka bir yapısı, üç SR mandalı kullanır. İki mandal, harici D(veri) ve CLK(saat) girişlerine yanıt verir. Üçüncü mandal, flip-flop için çıkışları sağlar.

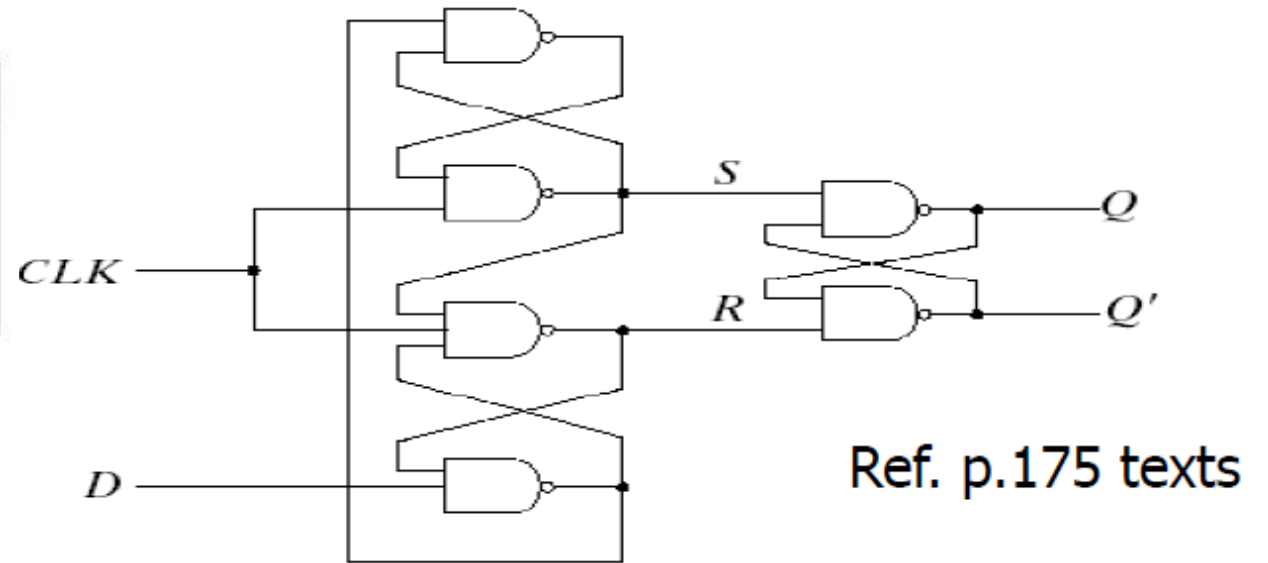
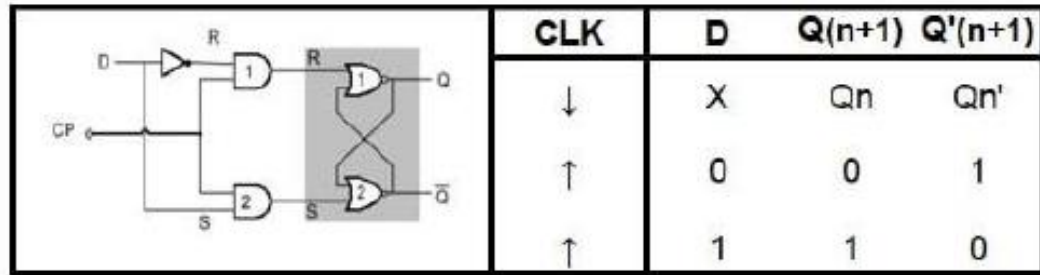
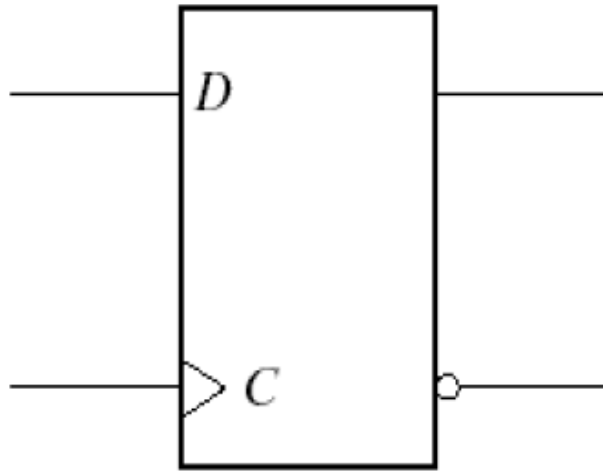
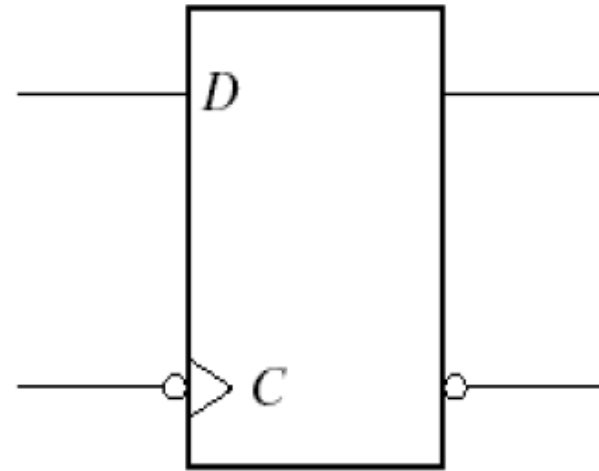


Fig. 5-10 D-Type Positive-Edge-Triggered Flip-Flop

D Tipi Kenar Tetiklemeli Flip Flop'ların Grafik Sembolü



(a) Positive-edge

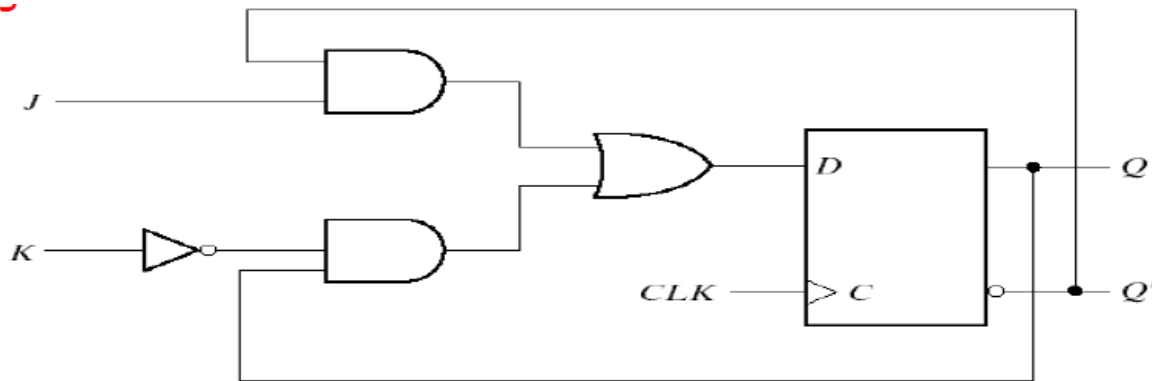


(a) Negative-edge

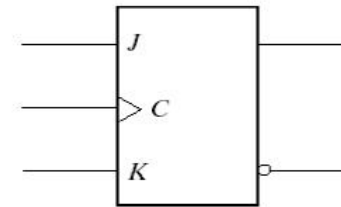
Fig. 5-11 Graphic Symbol for Edge-Triggered D Flip-Flop

JK Flip- Flop

- Bir flip-flop ile gerçekleştirilebilecek üç işlem vardır: 1'e ayarlayın, 0'a sıfırlayın veya çıkışını tamamlayın. JK flip-flop, üç işlemi de gerçekleştirir. D flip-flop ve kapılar ile oluşturulmuş bir JK flip-flop'un devre şeması aşağıda verilmiştir.
- J girişi flip-flop'u 1'e ayarlar, K girişi onu 0'a sıfırlar ve her iki giriş de etkinleştirildiğinde çıkış tamamlanır. Bu, D girişine uygulanan devre incelenerek doğrulanabilir:



(a) Circuit diagram



(b) Graphic symbol

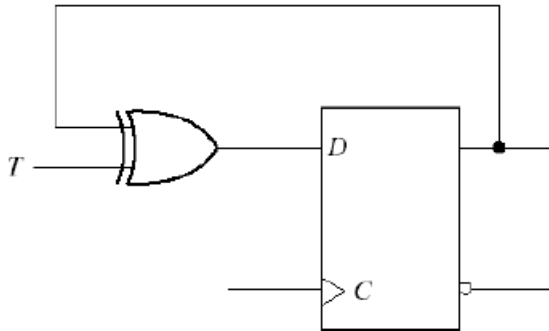
$$D = J Q' + K' Q$$

Flip-Flop Characteristic Tables			
JK Flip-Flop			
J	K	$Q(t + 1)$	
0	0	$Q(t)$	No change
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Complement

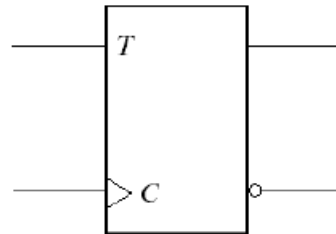
T Flip- Flop

- T(toggle) flip-flop, tamamlayıcı bir flip-flop'tur ve J ve K girişleri birbirine bağlandığında bir JK flip-flop'tan elde edilebilir.
- T flip-flop, Şekil (b)'de gösterildiği gibi bir D flip-flop ve özel OR kapıları ile oluşturulabilir. D girişi için ifade şu şekildedir:

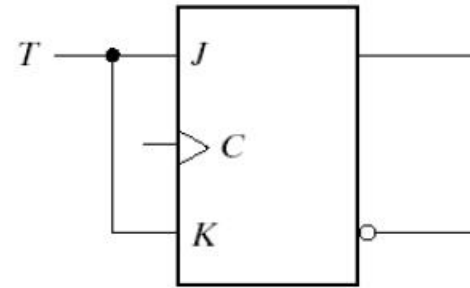
$$D = T \oplus Q = TQ' + T'Q$$



(b) From D flip-flop



(c) Graphic symbol



(a) From JK flip-flop

D Flip-Flop			T Flip-Flop		
D	$Q(t+1)$		T	$Q(t+1)$	
0	0	Reset	0	$Q(t)$	No change
1	1	Set	1	$Q'(t)$	Complement

Flip Floplar için Karakteristik Tablosu

JK Flip-Flop			
J	K	Q(t + 1)	
0	0	Q(t)	No change
0	1	0	Reset
1	0	1	Set
1	1	Q'(t)	Complement

D Flip-Flop			T Flip-Flop		
D	Q(t + 1)		T	Q(t + 1)	
0	0	Reset	0	Q(t)	No change
1	1	Set	1	Q'(t)	Complement

D flip-flop Characteristic Equations

$$Q(t + 1) = D$$

JK flip-flop Characteristic Equations

$$Q(t + 1) = JQ' + K'Q$$

T flip-flop Characteristic Equations

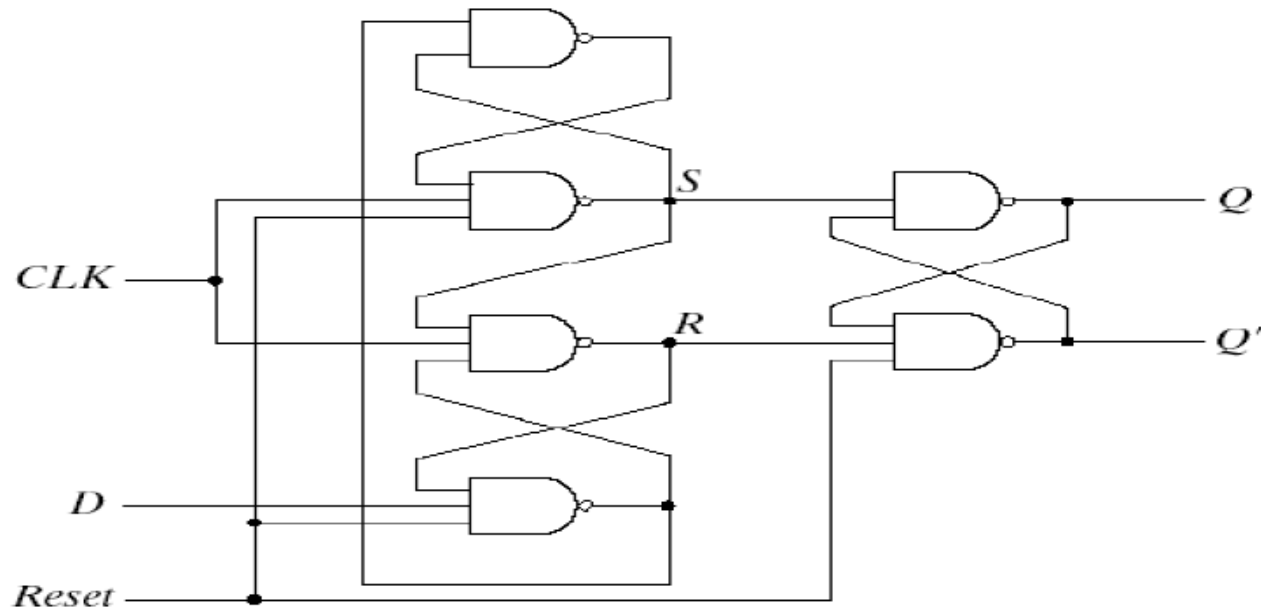
$$Q(t + 1) = T \oplus Q = TQ' + T'Q$$

Direk Girişler

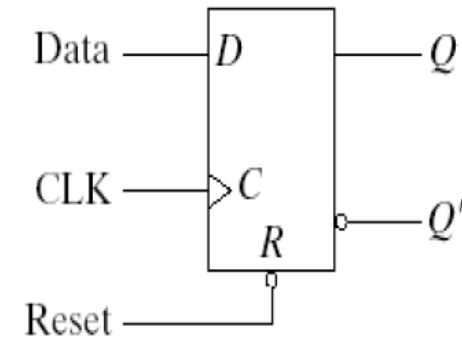
- Bazı flip-flop lar, flip-flop ları saatten bağımsız olarak belirli bir duruma zorlamak için kullanılan asenkron girişlere sahiptir.
- Flip-flop'u 1'e ayarlayan girişe mevcut ya da doğrudan küme denir.
- Flip-flop'u 0'a temizleyen giriş, clear veya direct reset olarak adlandırılır.
- Dijital bir sistemde güç açıldığında flip-flop ların durumu bilinmez.
- Doğrudan girişler, sistemdeki tüm flip-flop ları saatli işlemten önce bilinen bir başlangıç durumuna getirmek için kullanışlıdır.

Asenkron D flip-flop

- Asenkron sıfırlama ile pozitif kenar tetiklemeli bir D flip-flop, Şekil (a)'da gösterilmektedir.



(a) Circuit diagram



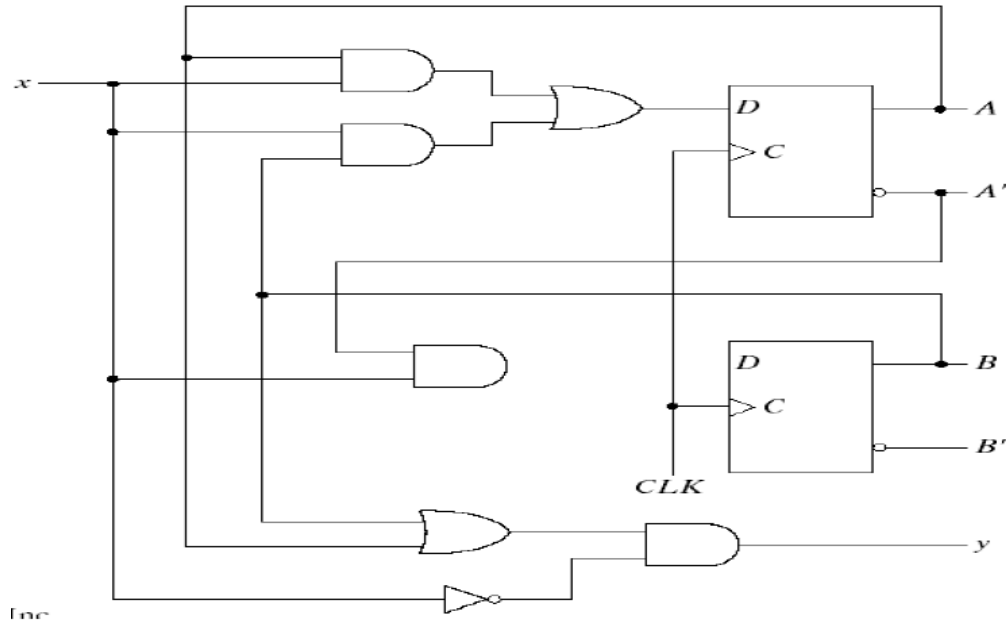
(b) Graphic symbol

R	C	D	Q	Q'
0	X	X	0	1
1	\uparrow	0	0	1
1	\uparrow	1	1	0

(b) Function table

Sıralı Devre Örneği

- Saatli bir sıralı devrenin davranışı, durum denklemleri aracılığıyla cebirsel olarak açıklanabilir.
- Bir durum denklemi, bir sonraki durumu mevcut durumun ve girdilerin bir fonksiyonu olarak belirtir. Bir durum denklemi, bir flip-flop durum geçişinin koşulunu belirten cebirsel bir ifadedir.



$$A(t+1) = A(t) x(t) + B(t) x(t)$$

$$B(t+1) = A'(t) x(t)$$

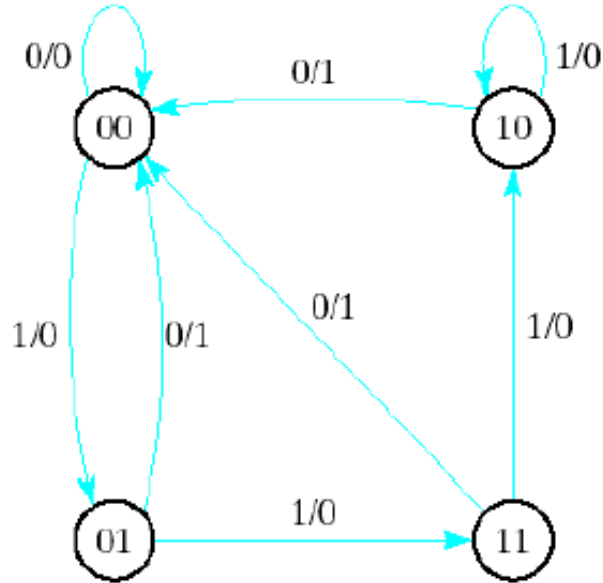
$$Y(t) = (A(t) + B(t)) x(t)'$$

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

Present State		Next State				Output	
		$x = 0$		$x = 1$		$x = 0$	$x = 1$
A	B	A	B	A	B	y	y
0	0	0	0	0	1	0	0
0	1	0	0	1	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0

Sıralı Devre Örneği- Durum Diyagramı

- Bir durum tablosunda bulunan bilgiler, bir durum diyagramı biçiminde grafiksel olarak gösterilebilir. Bu diyagram türünde, bir durum bir daire ile temsil edilir ve durumlar arasındaki geçişler, daireleri birleştiren yönlü çizgilerle gösterilir. 1/0 : anlamı giriş 1 ve çıkış 0'dır.



Sıralı Devre Örneği

- Sıralı devre, iki D flip-flop A ve B, bir giriş x ve bir çıkış y'den oluşur. Devrenin mantık diyagramı, iki flip-flop giriş denklemi ve bir çıkış denklemi ile cebirsel olarak ifade edilebilir:

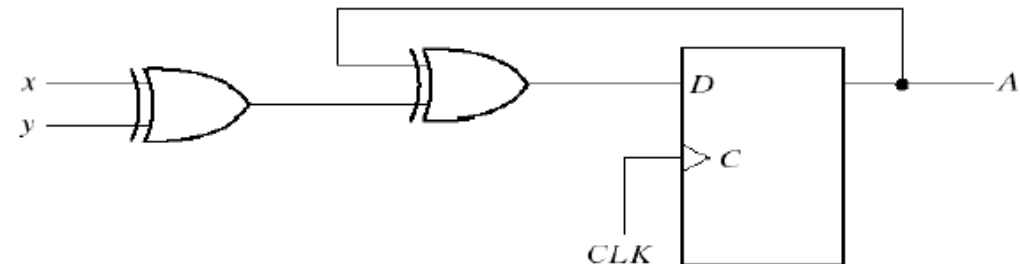
$$D_A = Ax + Bx$$

$$D_B = A'x$$

$$y = (A + B)x'$$

Analiz etmek istediğimiz devre, giriş denklemi ile tanımlanır.

$$D_A = A \oplus x \oplus y$$



(a) Circuit diagram

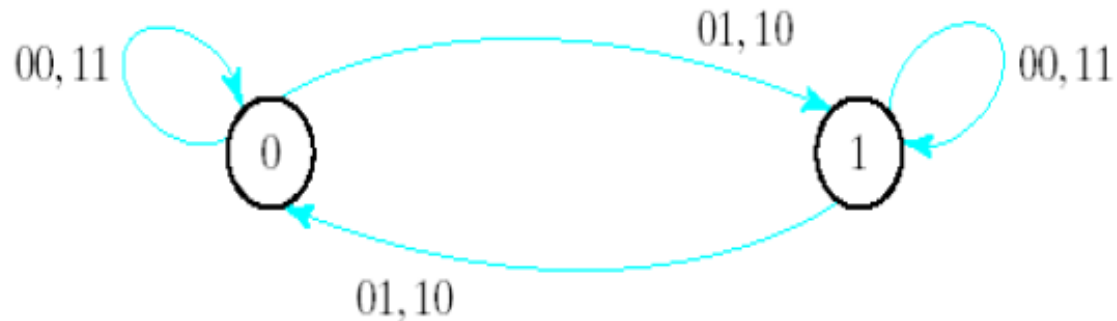
D Flop'ları Örnek

- Axy altındaki ikili sayılar 000'den 111'e kadar listelenmiştir. Sonraki durum değerleri, durum denkleminde elde edilir.

$$A(t+1) = A \oplus x \oplus y$$

Present state	Inputs		Next state
A	x	y	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(b) State table



(c) State diagram

JK Flop'ları Örnek

$$\begin{aligned} J_A &= \bar{B} & K_A &= Bx' \\ J_B &= x & K_B &= A'x + Ax' = A \oplus x \end{aligned}$$

Table 5-4
State Table for Sequential Circuit with JK Flip-Flops

Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

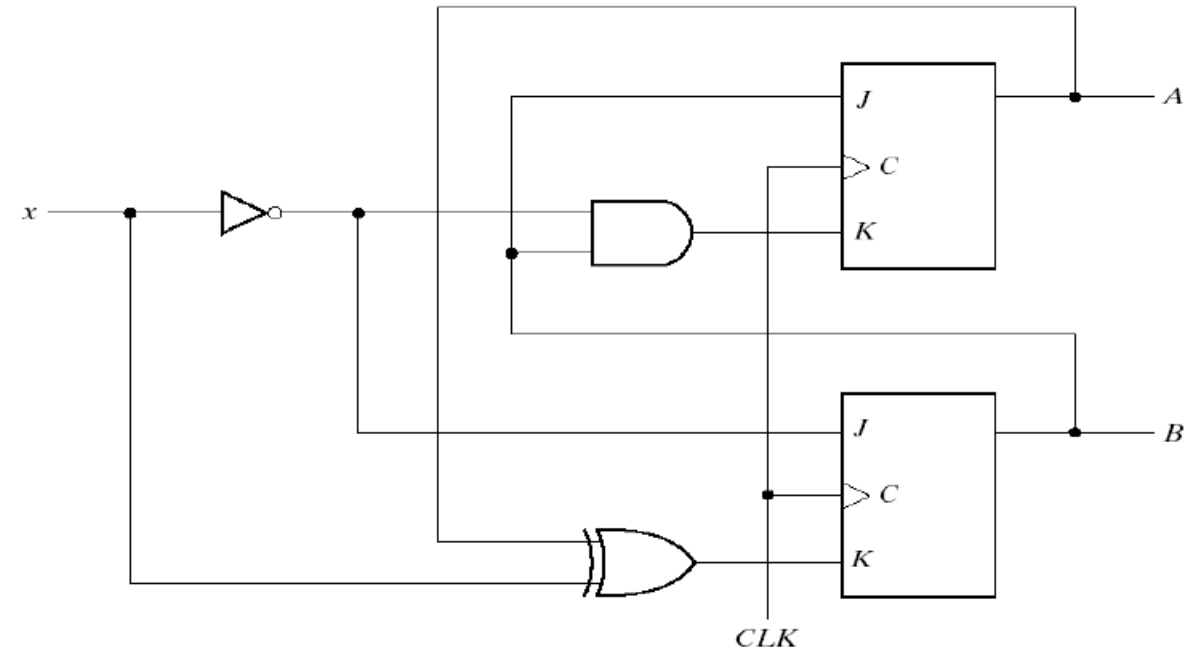
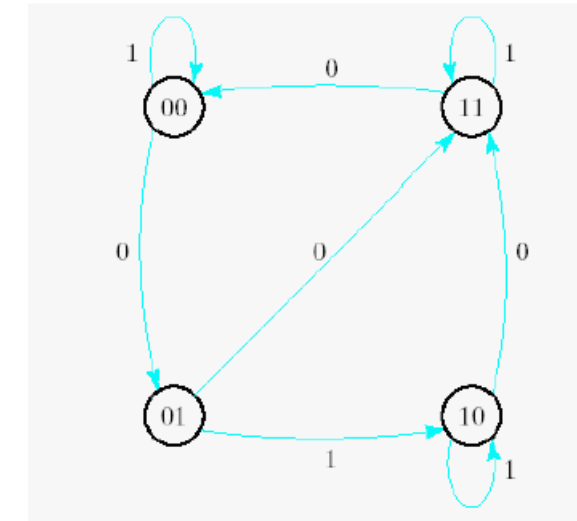
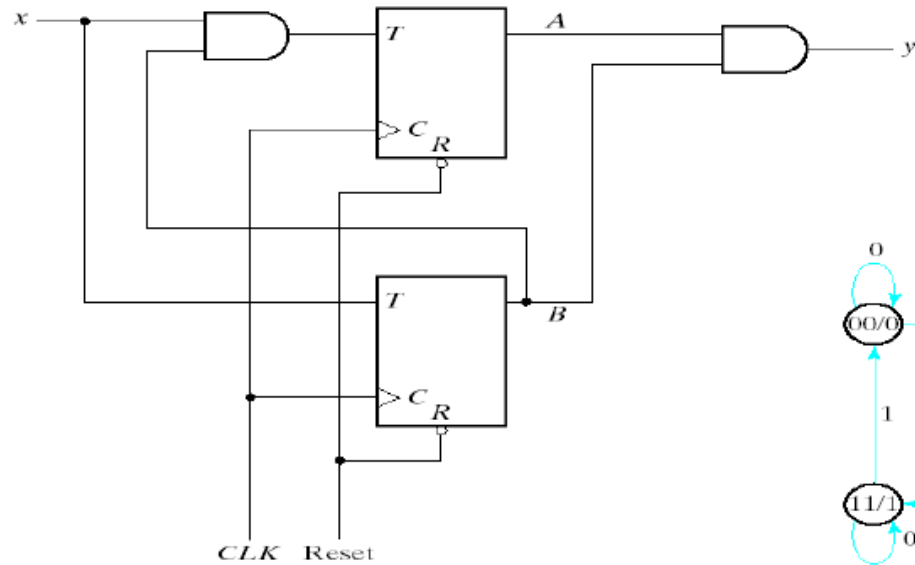


Fig. 5-18 Sequential Circuit with JK Flip-Flop



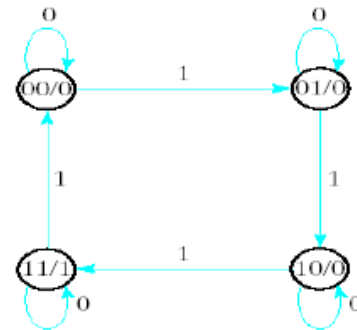
T Flop'ları Örnek

$$Q(t+1) = T \oplus Q = T'Q + TQ'$$



(a) Circuit diagram

00/0 : means
state is 00
output is 0



(b) State diagram

Table S-5
State Table for Sequential Circuit with T Flip-Flops

Use present state as inputs

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	1

$$T_A = Bx$$

$$T_B = x$$

$$y = AB$$

$$\begin{aligned} A(t+1) &= (Bx)'A + (Bx)A' \\ &= AB' + Ax' + A'Bx \end{aligned}$$

$$B(t+1) = x \oplus B$$

Mealy ve Moore Modelleri

- Sıralı bir devrenin en genel modelinin girişleri, çıkışları ve dahili durumları vardır. İki sıralı devre modeli arasında ayırım yapmak gelenekseldir:**Mealy ve Moore Modelleri**
- Çıktının üretilme biçiminde farklılık gösterirler.
- Mealy modelinde çıktı, hem mevcut durumun hem de girdinin bir fonksiyonudur.
- Moore modelinde, çıktı yalnızca mevcut durumun bir fonksiyonudur.

Mealy ve Moore Modelleri

- İki modeli ele alırken kaynaklar sıralı devreden sonlu durum makinesi (kısaltılmış FSM) olarak bahseder.
- Sıralı bir devrenin Mealy modeli, Mealy FSM veya Mealy makinesi olarak adlandırılır.
- Sıralı bir devrenin Moore modeli, Moore FSM veya Moore makinesi olarak anılır.

