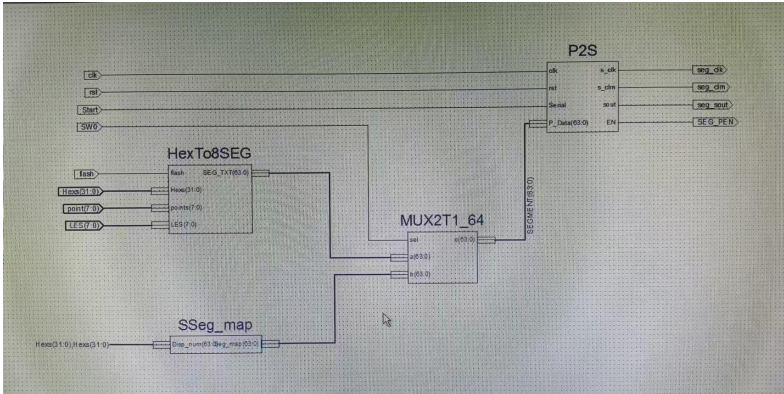


四川大学计算机学院、软件学院

实验报告

学号：2023141460321 姓名：孙谦昊 专业：计算机科学与技术班级：行政七班 第 13 周

课程名称	计算机组成原理实验	实验课时	1-4 节
实验项目	7 段译码器的设计与实现	实验时间	2024. 11. 28
实验目的	1. 掌握7段码译码显示原理 2. 使用ISE软件设计并仿真 3. 学会程序下载 4. 能使用七段码显示器显示		
实验环境	SWORD 4.0 套件、ISE Design Suite 14.7 、Vivado Design Suite 2014.3 及以上版本		
实 验 内 容 (算法、程序、步骤和方法)	<p>1. 建立新的工程</p> <p>双击桌面上“Xilinx ISE 14.7”图标，启动 ISE 软件，选择 File>New Project 选项，弹出新建工程引导界面。在对话框中输入工程名称 Sseg7，并指定工程路径。点击 Next 按钮进入下一页选 Kintex7 XC7K325T 芯片，采用 FFG676 封装。另外，选择 Verilog 作为默认的硬件描述语言。再点击 Next 按钮进入下一页确认新建工程的信息。若无误，点击 Finish 。</p> <p>2. 设计 8 位七段显示器</p> <p>在工程管辖区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 Add Source 命令。在工程 Sseg7 的目录下依次选择 HexTo8SEG.v，MC14495_ZJU.sch，P2S_IO.v，SSeg_map.v，MUX2T1_64.v 添加，并自行生成对应的 symbol 符号。再在工程 Sseg7 的目录下选择 IP 核 P2S.ngc 加入。</p> <p>用原理图输入法 (Schematic)新建名为 SSeg7_Dev.sch 的文件，进入 Schematic 的工作界面，绘制电路图为：</p> 		

修改各模块的实例名。修改后各模块的实例名分别为：HexTo8SEG——SM1，P2S——M2，SSeg_map——SM3，MUX2T1_64——MUXSH2M。综合后若没有错误，即可进行封装，双击 Create Schematic Symbol，即可生成对应的符号，供后面设计使用。

3. 添加 LED 显示模块 (SPI0.v)

在工程管理区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 Add Source 命令。在工程 Sseg7 的目录下依次选择 SPI0.v，LED_P2S.ngc，LED_P2S_IO.v 添加，并自行生成对应的 symbol 符号。

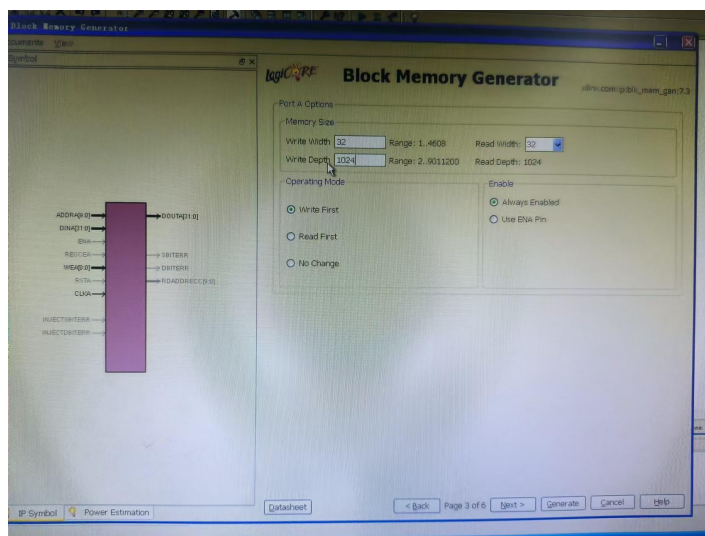
4. 添加其它模块

在工程管理区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 Add Source 命令。在工程 Sseg7 的目录下依次选择 SAnti_jitter_IO.v，SEnter_2_32_IO.v，Multi_8CH32_IO.v，clk_div.v 添加，并自行生成对应的 symbol 符号。再添加对应的 IP 核：SAnti_jitter.ngc，SEnter_2_32.ngc，Multi_8CH32.ngc。

在工程管理区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 Add Source 命令。在工程 Sseg7 的目录下依次选择 PIO.v，Seg7_Dev.sch，ScanSync.v，Seg_map.v，MUX2T1_8.v 添加，并自行生成对应的 symbol 符号。

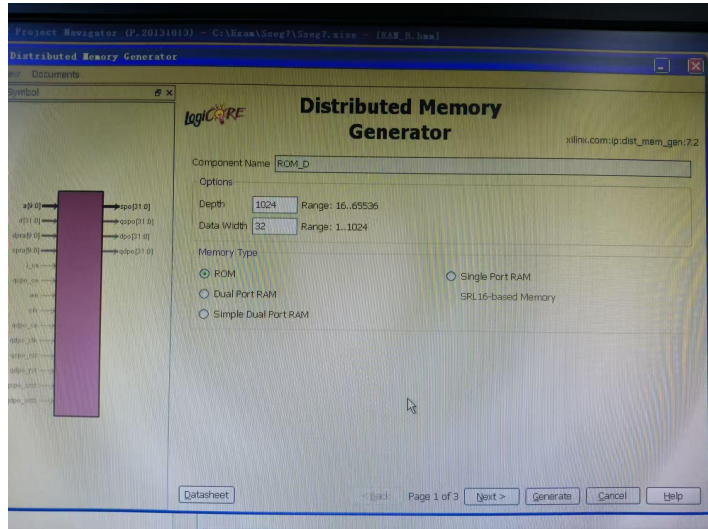
5. 创建随机存储器 RAM_B 和只读存储器 ROM_D 两个固核

首先在工程管理区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 New Source 命令。在弹出窗口中选择 IP(CORE Generator &Architecture Wizard)，输入文件名 RAM_B。点击 Next，进入 Select IP 窗口，选择 Block Memory Generator。点击 Next，进入 Block Memory Generator 窗口。点击 Next，进入第 3 页，如图 3.13 所示。设置 Write Width 为 32，Write Depth 为 1024，点击 Generate，生成 RAM_B 核。



接下来，同样在工程管理区（左上角）任意位置单击鼠标右键，在弹出的菜单中选择 New Source 命令。在弹出窗口中选择 IP(CORE Generator

&Architecture Wizard), 输入文件名 ROM_D。点击 Next, 进入 Select IP 窗口, 选择 Distributed Memory Generator。点击 Next, 进入 Distributed Memory Generator 窗口, 设置 Depth 为 1024, Data Width 为 32, 选择 Memory Type 为 ROM。点击 Generate, 生成 ROM_D 核。

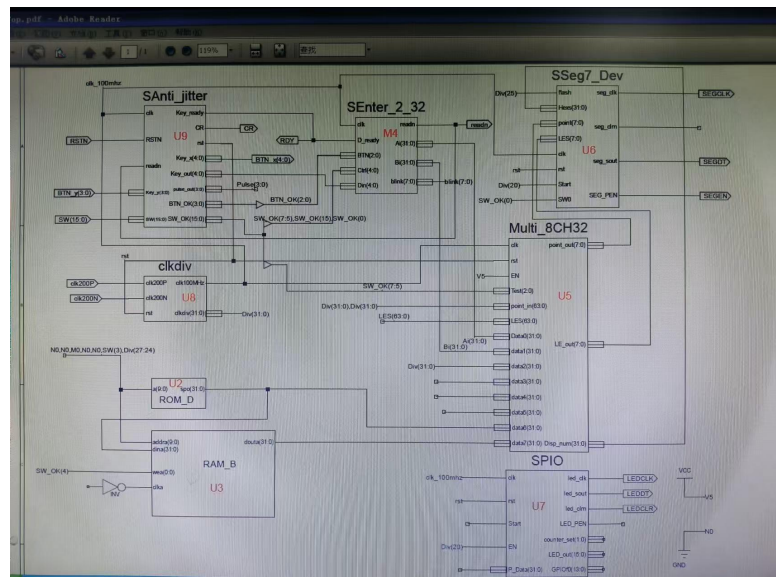


6. 构建顶层模块 Sseg7. sch

首先, 在工程管理区 (左上角) 任意位置单击鼠标右键, 在弹出的菜单中选择 New Source 命令。选择 Schematic, 输入文件名 Sseg7。

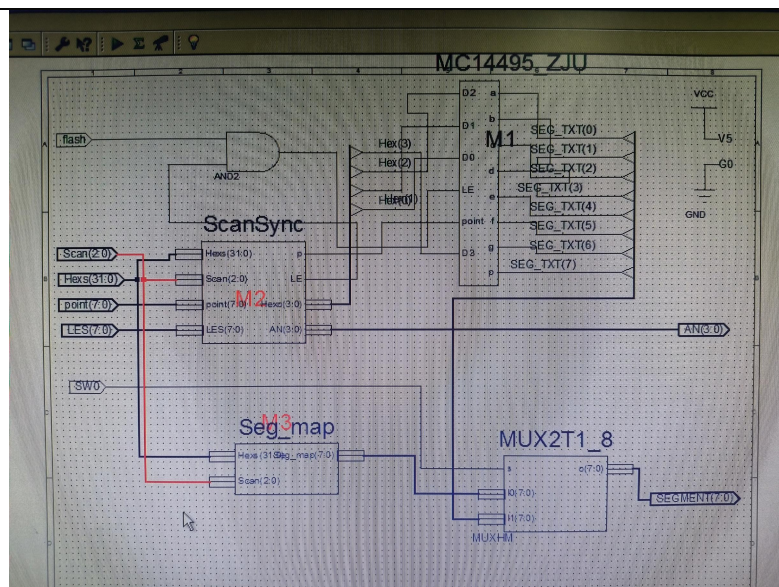
(1) 建立子模块一:

进入 Schematic 的工作界面, 接下来需要按照相关实验文档中 SSeg7-Top. pdf 图示将对应的符号部件拖入画布中, 分别修改对应的实例名。

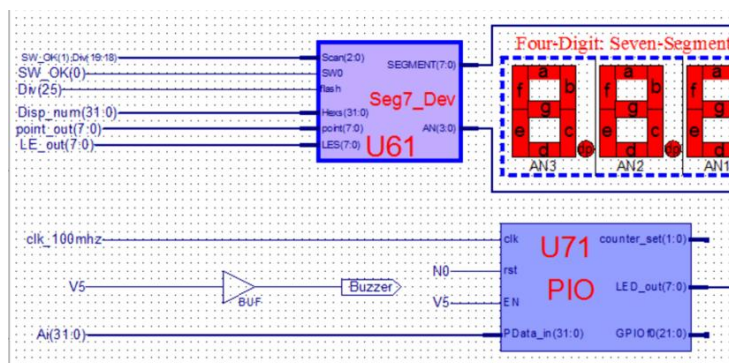


(2) 建立子模块二:

检查 Seg7_Dev. sch 中的连线情况, 生成对应的 symbol 符号。



接下来,回到顶层模块 Sseg7. sch.在画布空白处点击右键,选择 Object Properties.在弹出窗口中选择 New...,在 Sheet numbers 中设置 2,点击 OK.这时生成一个新的空白画布,做好线的连接:

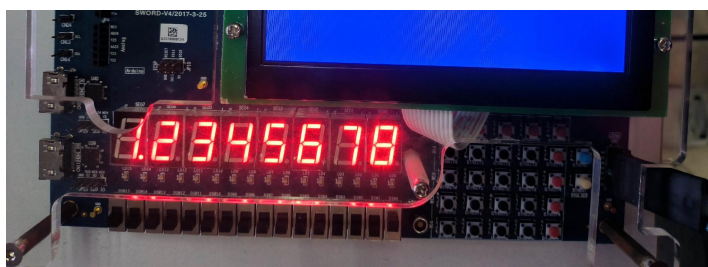


7. 构建引脚约束文件

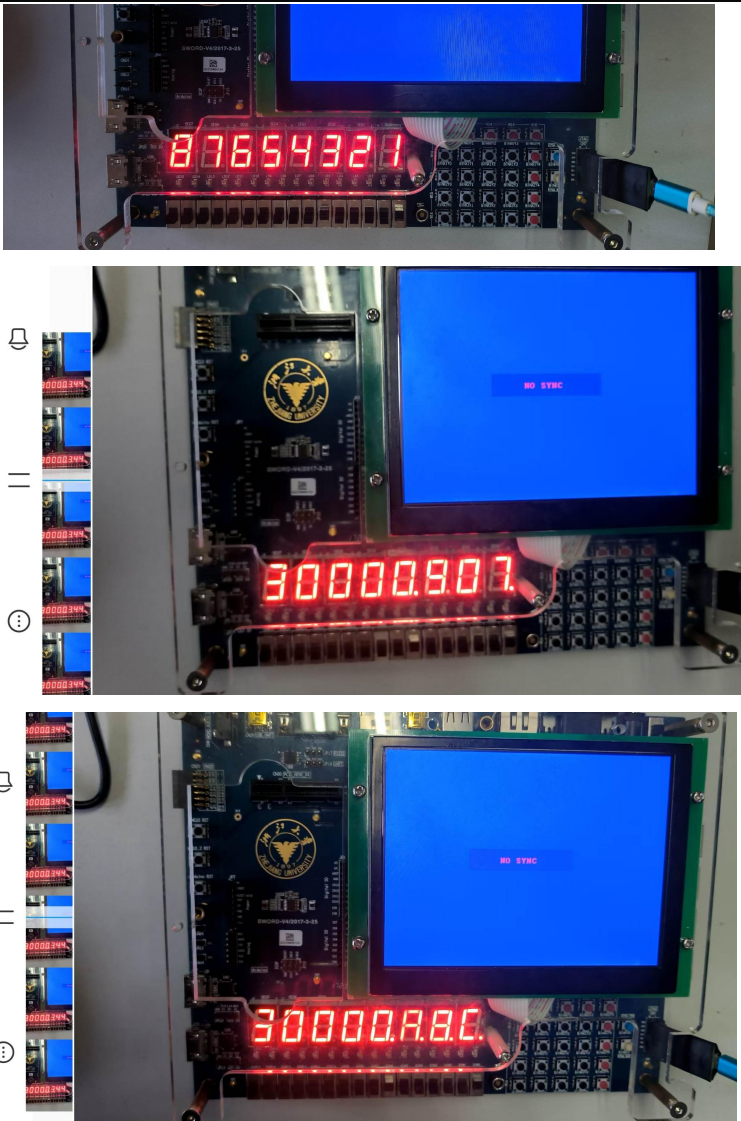
约束文件 Org-Sword.ucf 已编写好,只需将其添加到该工程下。

8. 将整个工程进行保存,综合,实现。如果调试通过,双击 Generate Programming File 生成比特流文件。参照之前实验的过程,下载比特流文件,观察 SWORD 开发板运行结果

测试结果如下:



数据记录
和计算

	
<p>结 论 (结 果)</p>	<p>实验结果与理论结果保持一致。</p>
<p>小 结</p>	<p>1. 本实验中了解了如何借助 SWORD 4.0 套件、ISE Design Suite 14.7 、Vivado Design Suite 2014.3 及以上版本完成项目的创建。 2. 了解了 7 段译码器的逻辑电路图和工作原理。</p>
<p>指导老师 评 议</p>	

	<p>成绩评定:</p> <p>指导教师签名:</p>
--	-----------------------------