|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | | | | |
|  | Let the carry bits of an adder are C4, C3, C2, C1. C0 is the carry from the low bit. Please give the logic expressions of C4, C3, C2, C1 in ripple carry mode and carry look ahead mode respectively.  解 ：（1）串行进位方式：  C1 = G1 + P1 C0 其中： G1 = A1 B1 ，P1 = A1⊕B1  C2 = G2 + P2 C1 G2 = A2 B2 ，P2 = A2⊕B2  C3 = G3 + P3 C2 G3 = A3 B3 , P3 = A3⊕B3  C4 = G4 + P4 C3 G4 = A4 B4 , P4 = A4⊕B4  (2) 并行进位方式：  C1 = G1 + P1 C0  C2 = G2 + P2 G1 + P2 P1 C0  C3 = G3 + P3 G2 + P3 P2 G1 + P3 P2 P1 C0  C4 = G4 + P4 G3 + P4 P3 G2 + P4P3 P2 G1 + P4 P3 P2 P1 C0  其中 G1—G4 ，P1—P4 表达式与串行进位方式相同。 | |  |  |  |
| 问题 1 答案 | |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | | | | |
|  | **Given**: x= 0.1011，y = - 0.0101  **Ask:** [ 1/2 x] 2’s compl，[1/4 x] 2’s compl，[ - x ] 2’s compl，[1/2 y] 2’s compl，[1/4 y] 2’s compl，[ - y ] 2’s compl | |  |  |  |
| 解： [ x ]补 = 0.1011 ， [ y ]补 = 1.1011  [x ]补 = 0.01011 ， [x ]补 = 1.11011  [x ]补 = 0.001011 ，[ x ]补 = 1.111011  [ - x ]补 = 1.0101 ， [ - x ]补 =0.0101 | |  |  |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | | | | |
|  | Given a decimal number 20.59375, represent it as a normalized single-precision floating-point number in IEEE 754 standard format.   * 首先分别将整数和分数部分转换成二进制数： 20.59375 = 10100.10011 * 然后移动小数点，使其在第1，2位之间   10100.10011＝=1.010010011\*24　　　　*e*＝4   * 于是得到：   *S*＝0， *M*＝010010011  *E*＝e+127 = 4+127 = 131 = 1000 0011   * 二进制表示：   0100 0001 1010 0100 1100 0000 0000 0000 （41A4C000）16 | |  |  |  |
| 问题 3 答案 | |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | | | | |
|  | Suppose a computer with a clock frequency of 100 MHz as four types of instructions, and the frequency of usage and the CPI for each of them are given in table.   |  |  |  | | --- | --- | --- | | Instruction operation | Frequency of usage | Cycles per instruction | | Arithmetic-logic | 40% | 2 | | Load/store | 30% | 4 | | compare | 8% | 2.5 | | branch | 22% | 3 |   (1) Find the MIPS of the computer and the T (CPU time) required to run a program of 107 instructions.  (2) Combining comparing and branch instructions together so that compare instructions can be replaced and removed. Suppose each compare instruction was originally used with one branch instruction, and now each branch instruction is changed to a compare&branch instruction. Also suppose that the new proposal would decrease the clock frequency by 5%, because the new compare&branch instruction needs more time to execute. Find the new CPIave, MIPS, and T.  （1）求该计算机的MIPS值以及运行一个具有107条指令的程序所需CPU时间。  解：CPIave = 0.4\*2 + 0.3\*4 + 0.08\*2.5 + 0.22\*3 = 0.8+1.2+0.2+0.66 = 2.86  MIPS =  **f(MHz)/CPIave =** 100/2.86 = 35  **T(sec) = IC×CPIave/ f(Hz) =** 107\*2.86 / (100\*106) = 0.286s  （2）假定每一条比较指令原来都和一条转移指令合用，现在都变为一条比较转移指令，另外还假定新方案的改变将降低时钟频率5%，因为新的比较转移指令需要较多的时间来执行。求新的CPIave、MIPS和T  **解：**CPIave = (0.4\*2 + 0.3\*4 + 0.22\*3)/0.92 = 2.66/0.92 = 2.9  MIPS =  **f(MHz)/CPIave =**  (100\*95%)/2.9 = 32.76  T = **IC×CPIave/ f(Hz) =** (0.92\*107 ) \*2.9/(0.95\*100\*106) = 0.28s | |  |  |  |
| 问题 4 答案 | |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 问题 5 文本**问题 5** |  | | | | |
|  | **IEEE 754 format of X is (41360000)16, what is its decimal value?** | |  |  |  |
| 问题 5 答案 | |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

解：将十六进制数展开，可得二进制数格式为：

0 100 0001 0 011 0110 0000 0000 0000 0000

* + 指数e=阶码－127=10000010－01111111= 00000011 =（3）10
  + 包括隐藏位1的尾数1.*M* = 1.011 0110 0000 0000 0000 0000 = 1.011011
  + 于是有：X = (-1)s \* 1.M \* 2e = +(1.011011)2 \* 23 = + (1011.011)2 = (11.375)10

**问题6**

CPU执行一段程序时，cache完成存取的次数为5000次，主存完成存取的次数为200次。已知cache存取周期为40ns，主存存取周期为160ns。求：

(1)．ache 命中率H，

(2)．Cache/主存系统的访问效率e，

(3)．平均访问时间Ta。

解：① 命中率 H = Nc/（Nc+Nm） = 5000/（5000+200）=5000/5200=0.96

② 主存慢于cache的倍率 R = Tm/Tc=160ns/40ns=4

访问效率：ｅ＝　１／［r + (1-r) h］＝1／[4 + (1-4) ×0.96］

＝89.3℅

③　平均访问时间 Ｔａ＝Ｔｃ／ｅ＝40／0.893＝45ns

1. 设CPU共有16根地址线，8根数据线，并用MREQ作访存控制信号（低电平有效），用R/W作读写控制信号（高电平为读，低电平为写），现有下列芯片及各种门电路（自定），如图。画出CPU与存储器的连接图。要求：

（1）存储芯片地址空间分配为：最大4K空间为系统程序区，相邻的4K为系统程序工作区，最小16K为用户程序区；

**Cs** **ROM**

**RD**

**Cs** **RAM**

**WE**

74LS138

Am A0

Ak Ao

Dn Do

**2K×8位**

**8K×8位**

**32K×8位**

**1K×4位**

**2K×8位**

**8K×8位**

**16K×1位**

**4K×4位**

Dn Do

（2）指出选用的存储芯片类型及数量；

（3）详细画出片选逻辑。

解：（1）存储芯片地址空间分配：

* 最大4K空间为系统程序区;
* 相邻的4K为系统程序工作区;
* 最小16K为用户程序区；

**空闲（40K）**

**0**

**216=64k**

**ROM(4K)**

**RAM(4K)**

**RAM(16K)**

**0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0**

**A15 A14 A13 A12 A11A10 A9 A8 A7 A6 A5 A4 A3 A2 A1A0**

**0 0 1 1 1 1 1 1 1 1 1 1 1 1 1 1**

**0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0**

**1 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1**

**1 1 1 0 0 0 0 0 0 0 0 0 0 0 0 0**

**1 1 1 0 1 1 1 1 1 1 1 1 1 1 1 1**

**1 1 1 1 0 0 0 0 0 0 0 0 0 0 0 0**

**1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1**

**0 0 0 1 1 1 1 1 1 1 1 1 1 1 1 1**

**0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0**

**1 1 1 1 1 0 0 0 0 0 0 0 0 0 0 0**

**1 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1**

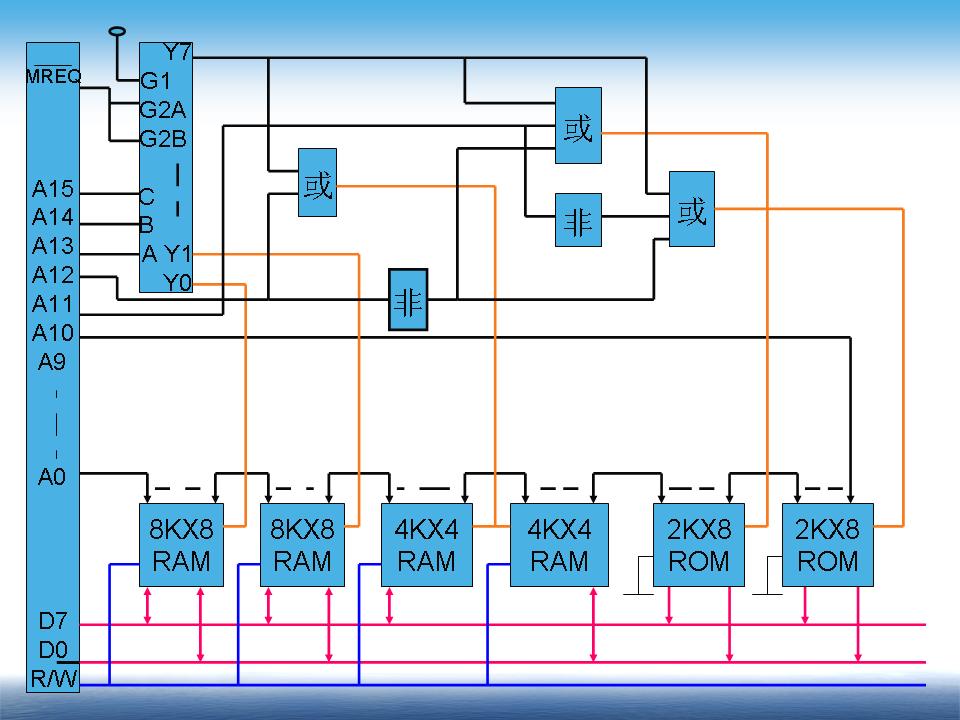
CS0 = Y0

CS1 = Y1

CS2 = Y7+A12

CS3 = Y7+A12+A11

CS4 = Y7+A12+A11



1. 用16M字×8位的存储芯片构成一个64M字×16位的主存储器。要求既能够扩大存储器的容量，又能够缩短存储器的访问周期（提高访问速度）。

(1)计算需要多少个存储器芯片。

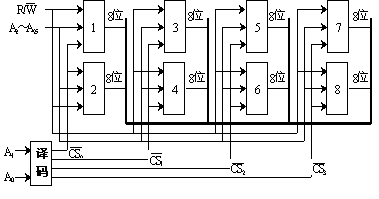
(2)存储器芯片和主存储器的地址长度各需要多少位？

(3)画出用存储器芯片构成主存储器的逻辑示意图。

(4)用16进制表示的地址1234567，其体内地址和体号是多少？

解：(1)计算需要多少个存储器芯片？

8个



**A2～A25**

**A1**

**A0**

解：(2)存储器芯片和主存储器的地址长度各需要多少位？

存储器芯片的地址长度为24位。

主存储器的地址长度为26位

解：(3)画出用存储器芯片构成主存储器的逻辑示意图。

如右图

解：(4) 地址1234567H，其体内地址和体号是多少？

1234567右移两位是48D159，所以其体内地址为：48D159

最低两位是11B，所以其体号为3 。