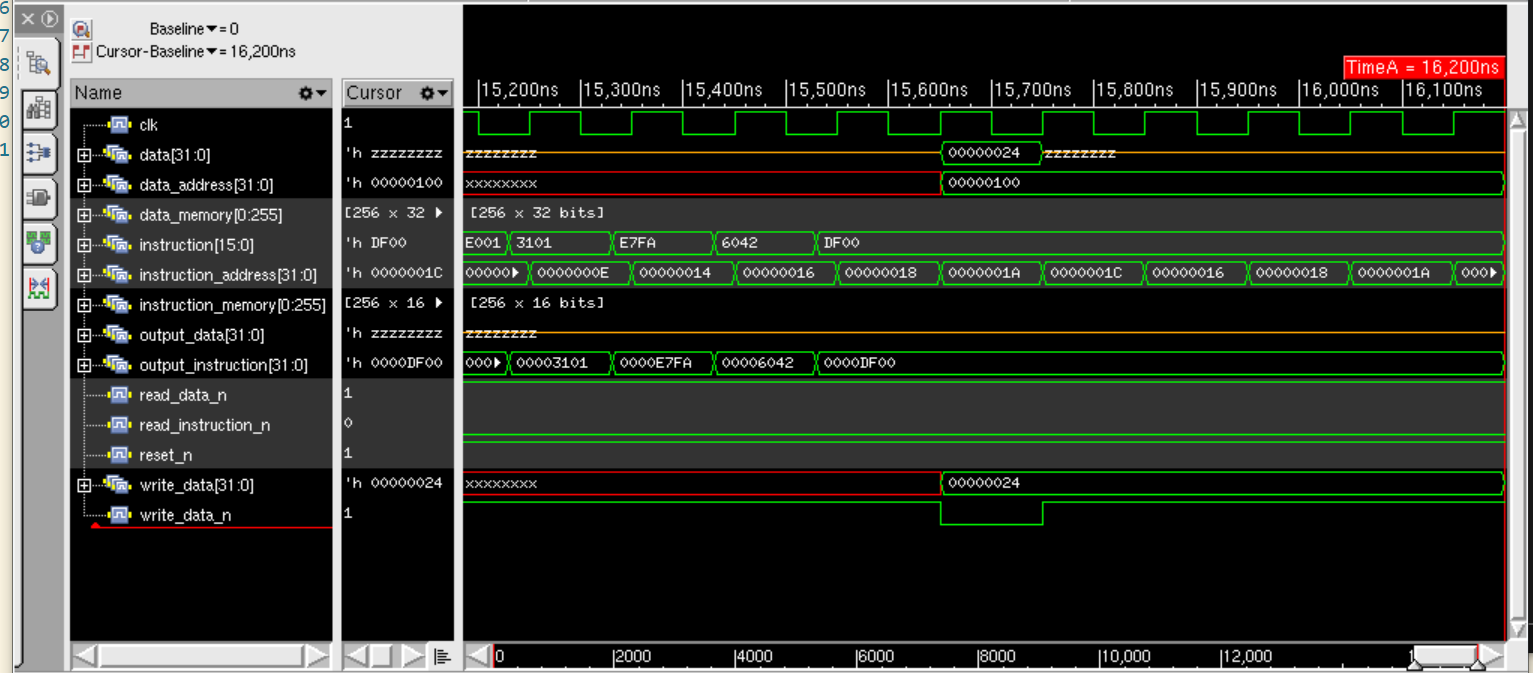
* 1. **RTL波型**
     1. Thumb(debug)

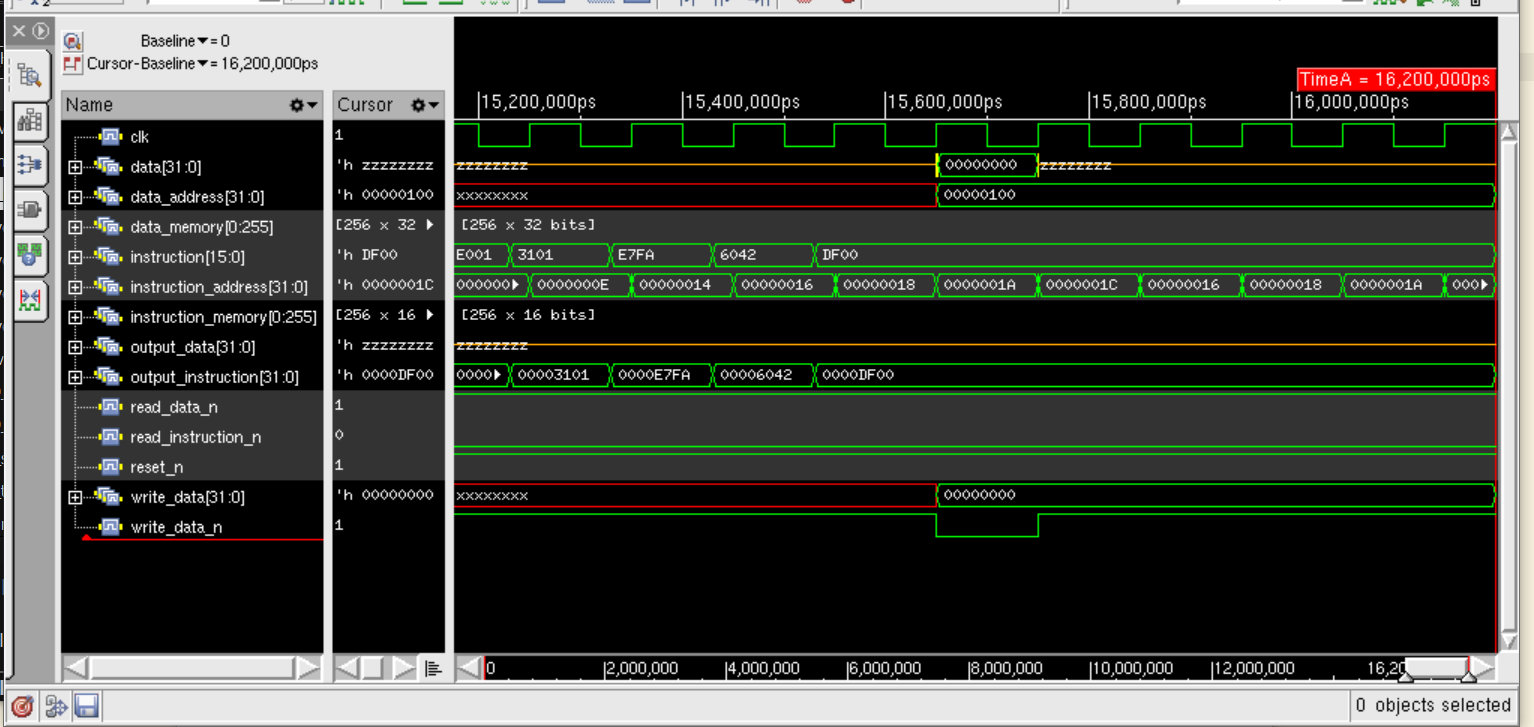


* + 1. Thumb(module\*4)

**一張含有 文字, 監視器, 螢幕擷取畫面, 銀色 的圖片

自動產生的描述**

* 1. **Gate-level**
     1. Thumb(module\*4)

****

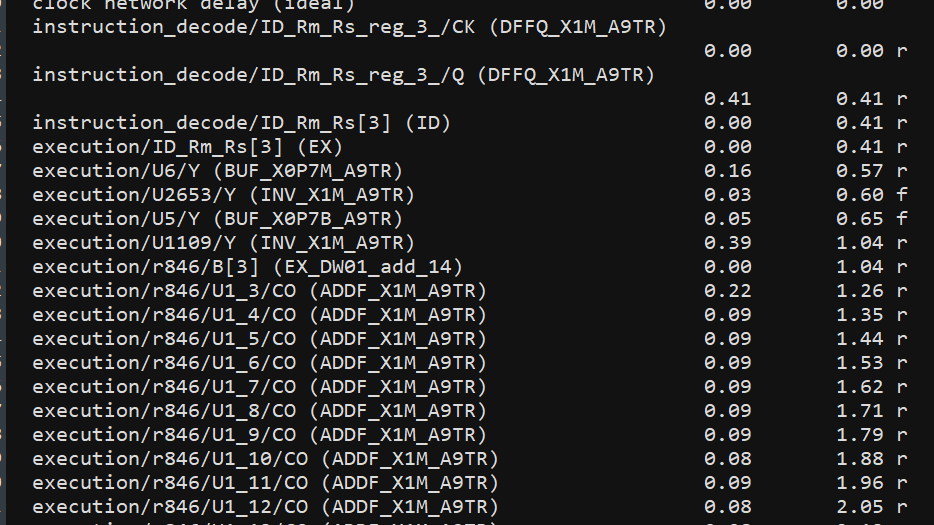
* 1. **各資訊**
     1. Area-opt (period = 4.65)

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

****

**一張含有 文字, 電腦 的圖片

自動產生的描述**

* + 1. delay-opt (period = 2)

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

* + 1. in-bet. (period = 3.325)

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

**一張含有 文字 的圖片

自動產生的描述**

* 1. **心得**

第一次看那麼多行verilog code，debug很難下手，花了很多時間處理，真的好難。

改module過程的接線處理很複雜，一個小細節沒接好就模擬不出來了；後面合成階段也出了些跟Local變數有關的問題，找了很久…

另外也感謝助教不厭其煩地回答我的笨問題，由衷感謝！

遲交了很久，HW4大概也會遲交吧，這堂課好硬。