1. 下列关于TLB 和 cache的叙述中，错误的是

A.命中率都与程序局部性有关

B.缺失后都需要去访问主存

C.缺失处理都可以由硬件实现

D.都由DRAM存储器组成

2. 假定主存地址位数为 32 位，按字节编址，主存和 cache 之间采用8路组相联映射方式，直写（ Write Through ）方式和LRU替换策略，主存块大小为64B，数据区容量各为32KB。开始时Cache均为空。

（1）Cache每一行中标记（tag）、LRU位各占几位？是否有修改位？

（2）有如下C语言程序段：

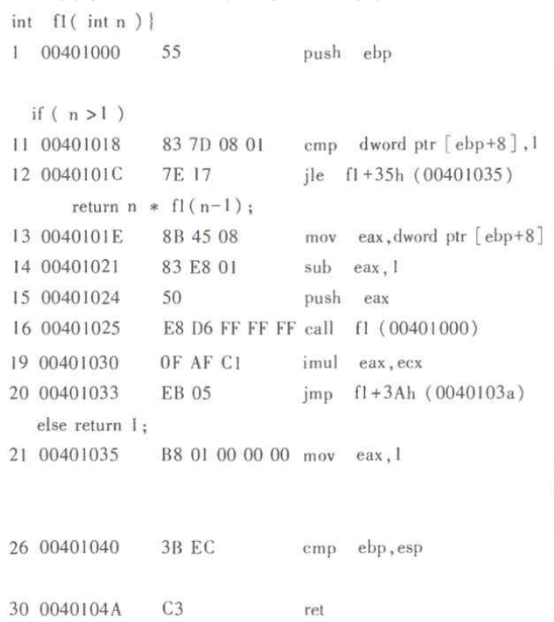
For（k=0;k<1024;k++）

s[k]=2\*s[k];

若数组s及其变量k均为int型，int型数据占4B，变量k分配在寄存器中，数组s在主存中的起始地址为0080 00C0H,则该程序段执行过程中，访问数组s的数据cache缺失次数为多少？

（3）若CPU最先开始的访问操作时读取主存单元0001003H中的指令，简要说明从Cache中访问该指令的过程，包括Cache缺少处理过程。

3.已知 f ( n ) =n ！ =n × ( n-l ) × ( n-2 ) × … × 2×1 ，计算 f ( n ) 的 C 语言函数 fl 的源程序 ( 阴影部分 ) 及其在 32 位计算机M上的部分机器级代码如下：



其中，机器级代码行包括行号、虚拟地址、机器指令和汇编指令，计算机 M 按字节编址， int 型数据占 32 位。

若计算机 M 的主存地址为 32 位，采用分页存储管理方式，页大小为 4KB ，则第 1 行 push 指令和第 30 行 ret 指令是否在同一页中 ( 说明理由 ) ？若指令 Cache 有 64 行，采用 4 路组相联映射方式，主存块大小为 64B ，则 32 位主存地址中，哪几位表示块内地址？哪儿位表示 Cache 组号？哪几位表示标记 ( tag ) 信息？读取第 16 行 call 指令时，只可能在指令 Cache 的哪一组中命中 ( 说明理由 ) ？

4. 假定DRAM芯片中存储阵列的行数为r、列数为c，对于一个2K×1位的DRAM芯片，为保证其地址引脚数最少，并尽量减少刷新开销，则r、c的取值分别是（）

A.2048、1   
B.64、32   
C.32、64  
D.1、2048

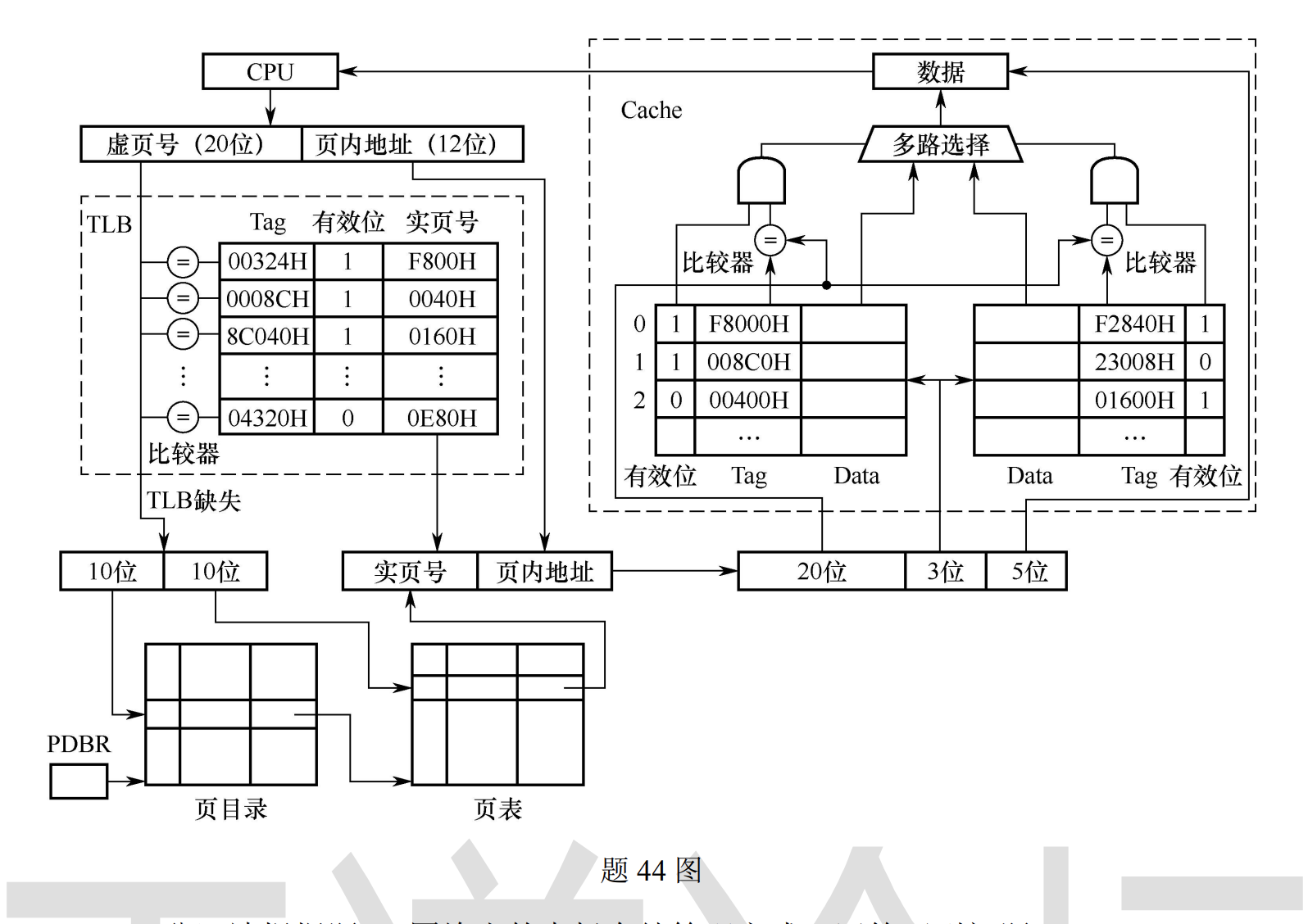
5.某计算机采用页式虚拟存储管理方式，按字节编址。CPU 进行存储访问的过程如下图所示。

（1）主存物理地址占多少位?

（2）TLB 采用什么映射方式？TLB 是用 SRAM 还是用 DRAM 实现？

（3）Cache 采用什么映射方式？若 Cache 采用 LRU 替换算法和回写（Write Back）策略， 则 Cache 每行中除数据（Data）、Tag 和有效位，还应有哪些附加位？Cache 的总容量是多少？ Cache 中有效位的作用是什么？

（4）若 CPU 给出的虚拟地址为 0008 C040H，则对应的物理地址是多少？是否在 Cache 中 命中？说明理由。若 CPU 给出的虚拟地址为 0007 C260H，则该地址所在主存块映射到的 Cache 组号是多少？



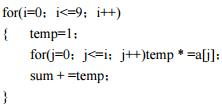
6.某计算机主存按字节编址，由4个64M×8位的DRAM芯片采用交叉编址方式构成，并与宽度为32位的存储器总线相连，主存每次最多读写32位数据。若double型变量x的主存地址为804001AH，则读取x需要的存储周期数是

A.1

B.2

C.3

D.4

7. 某C语言程序段如下：  
  
下列关于数组a的访问局部性的描述中，正确的是（）

A.时间局部性和空间局部性皆有  
B.无时间局部性，有空间局部性  
C.有时间局部性，无空间局部性  
D.时间局部性和空间局部性皆无

8.下列关于主存储器（MM）和控制存储器（CS）的叙述中，错误的是

* MM 在 CPU 外，CS 在 CPU 内
* MM 按地址访问，CS 按内容访问
* MM 存储指令和数据，CS 存储微指令
* MM 用 RAM 和 ROM 实现，CS 用 ROM 实现

9. 有如下C语言程序段：

for(int k = 0; k < 1000; k++)

{

a[k] = a[k]+32;

}

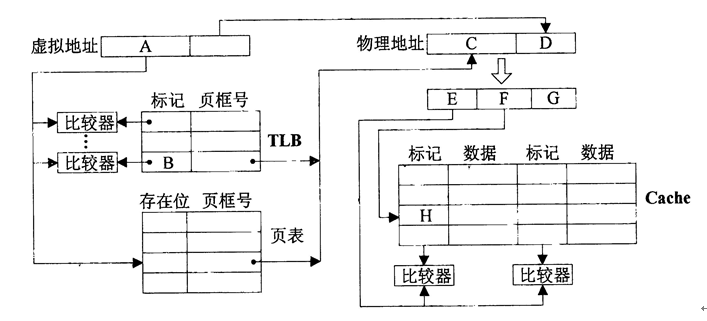
若数组a以及变量k均为int型，int型数据占4B，数据Cache采用直接映射 方式，数据区大小是1KB，块大小是16B，该程序段执行前Cache为空，则该程序段执行过程中，访问数组a的Cache的缺失率是：

A. 1.25%   
B. 2.5%   
C. 12.5%   
D. 25%

10. 某存储器容量为64KB，按字节编址，地址4000H~5FFFH位ROM区，其余为RAM区。若采用8K×4位的SRAM芯片进行设计，则需要该芯片的数量是 。

* 7
* 8
* 14
* 16

11.某计算机采用页式虚拟存储管理方式，按字节编址，虚拟地址为32位，物理地址为24位，页大小为8KB；TLB采用全相联映射；Cache数据区大小为64KB，按2路组相联方式组织，主存块大小为64B。存储访问过程的示意图如下。



请回答下列问题。

（1）图中字段A~G的位数各是多少？TLB标记字段B中存放的是什么信息？

（2）将块号为4099的主存块装入到Cache中时，所映射的Cache组号是多少？对应的H字段内容是什么？

（3）Cache缺失处理的时间开销大还是缺页处理的时间开销大？为什么？

（4）为什么Cache可以采用直写（Write Through）策略，而修改页面内容时总是采用回写（Write Back）策略。

12. 假定主存地址位数为32位，按字节编址，主存和Cache之间采用直接映射方式，主存块大小为1个字，每字32位，写操作时采用全写(Write-Through)方式，则能存放32K字数据的Cache的总容量至少应有\_\_\_\_\_\_。

A.1504Kbit  
B.1536Kbit  
C.1568Kbit  
D.1600Kbit

13. 假定编译器将赋值语句”x = x+3”转换成指令”add xaddr,3”,其中xaddr是x对应的存储单元地址。若执行该指令的计算机采用页式虚拟存储管理方式，并配有相应的TLB，且Cache使用直写（Write Through）方式，则完成该指令功能需要访问主存的次数至少是：  
A.0 B.1 C.2 D.3

14.下列存储器中，在工作期间需要周期性刷新的是（）。

* SRAM
* SDRAM
* ROM
* FLASH

15. 8001，8002，8003，8004，8000，则可能发生访存冲突的地址对是\_\_\_\_\_\_\_。

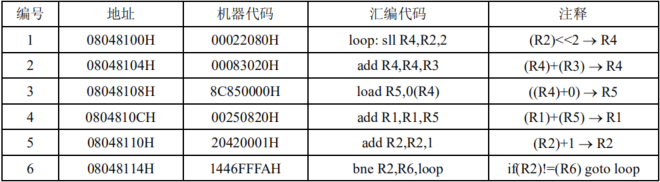
A．8004和8008  
B．8002和8007  
C．8001和8008  
D．8000和8004

16. 某容量为256MB的存储器由若干4M\*8位的DRAM芯片构成，该DRAM芯片的地址引脚和数据引脚总数是  
A、19 B、22 C、30 D、36

17.采用指令Cache与数据Cache分离的主要目的是 （）

* 减低Cache的缺失损失
* 提高Cache的命中率
* 减低CPU平均访问时间
* 减少指令流水线资源冲突

18. 某程序中有如下循环代码段P:“for(int i = 0; i < N; i++) sum+=A[i];”。假设编译时变量sum 和i 分别分配在寄存器R1 和R2 中。常量N 在寄存器R6 中，数组A 的首地址在寄存器R3 中。程序段P 起始地址为0804 8100H，对应的汇编代码和机器代码如下表所示。



执行上述代码的计算机M采用32位定长指令字，其中分支指令bne 采用如下格式： https://uploadfiles.nowcoder.com/images/20200927/305420_1601206947898_91376478D0E0845006C51B72D711AFB4

OP 为操作码Rs和Rd 为寄存器编号；OFFSET 为偏移量，用补码表示。

假设对于题中的计算机M和程序P的机器代码，M采用页式虚拟存储管理。P开始执行时，(R1)= (R2)=0. (R2)=1000，其机器代码已调入主最后存但不在Cache中；数组A未调入主存，其所有数组元素在同一页，并存储在磁盘同一个地区，请回答下列问题，并说明理由。

（1）P执行结束时，R2的内容是多少？

（2）M的指令Cache和数据Cache分离，若指令Cache共有16行，Cache和主存交换的块大小为32字节，则其数据区的容量是多少？若仅考虑程序段P的执行，则指令Cache的命中率为多少？

（3）P在执行过程中，哪条指令的执行可能发生溢出异常？哪条指令的执行可能产生缺页异常？对于数组A的访问，需要读磁盘和TLB至少各多少次？

19. 某计算机主存地址空间大小为256MB，按字节编址。虚拟地址空间大小为4GB，采用页式存储管理，页面大小为4KB，TLB（快表）采用全相联映射，有4个页表项，内容如下表所示。

|  |  |  |  |
| --- | --- | --- | --- |
| 有效位 | 标记 | 页框号 | … |
| 0 | FF180H | 0002H | … |
| 1 | 3FFF1H | 0035H | … |
| 0 | 02FF3H | 0351H | … |
| 1 | 03FFFH | 0153H | … |

则对虚拟地址03FFF180H进行虚实地址变换的结果是( )。

A.0153180H

B.0035180H

C.TLB缺失

D.缺页

20.某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32字节；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40ns；存储器总线宽度为32位，总线时钟频率为200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送32字节，传送地址或32位数据均需要一个总线时钟周期。

(1)CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输速率）为多少？

(2)Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？

(3)存储器总线完成一次读突发传送总线事物所需要时间多少？

(4)若程序BP执行过程中，共执行了100条指令，平均每条指令需要进行1.2次访存，Cache缺失率为5%，不考虑替换等开销，则BP的CPU执行时间时多少？

21. 下列关于闪存(Flash Memory)的叙述中，错误的是  
A．信息可读可写，并且读、写速度一样快  
B．存储元由MOS管组成，是一种半导体存储器  
C．掉电后信息不丢失，是一种非易失性存储器  
D．采用随机访问方式，可替代计算机外部存储器

22. 假设某计算机按字编址，Cache有4个行，Cache和主存之间交换的块大小为1个字。若Cache的内容初始为空，采用2路组相联映射方式和LRU替换算法，当访问的主存地址依次为0，4，8，2，0，6，8，6，4，8时，命中Cache的次数是  
A．1  
B．2  
C．3  
D．4

23.假定某计算机的CPU主频为80MHz，CPI为4，平均每条指令访存1.5次，主存与Cache之间交换的块大小为16B，Cache的命中率为99%，存储器总线宽度为32位。请回答下列问题。

1）该计算机的MIPS数是多少？平均每秒Cache缺失的次数是多少？在不考虑DMA传送的情况下，主存带宽至少达到多少才能满足CPU的访存要求？

2）假定在Cache缺失的情况下访问主存时，存在0.0005%的缺页率，则CPU平均每秒产生多少次缺页异常？若页面大小为4KB，每次缺页都需要访问磁盘，访问磁盘时DMA传送采用周期挪用方式，磁盘I/O接口的数据缓冲寄存器为32位，则磁盘I/O接口平均每秒发出的DMA请求次数至少是多少？

3）CPU和DMA控制器同时要求使用存储器总线时，哪个优先级更高？为什么？

4）为了提高性能，主存采用4体低位交叉存储模式，工作时每1/4个存储周期启动一个体。若每个体的存储周期为50ns，则该主存能提供的最大带宽是多少？

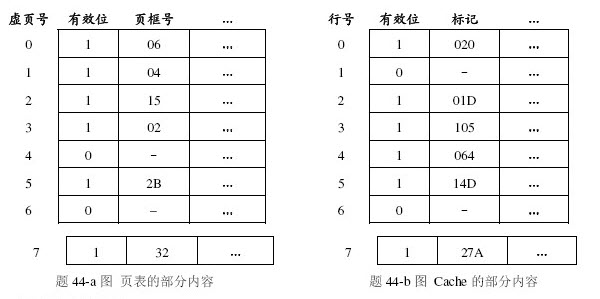
24.下列各类存储器中，不采用随机存取方式的是（）。

* EPROM
* CDROM
* DRAM
* SRAM

25.某计算机存储器按字节编址，主存地址空间大小为64MB，现用4MBx8位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是\_\_\_\_\_\_\_。

A．22位  
B．23位  
C．25位  
D．26位

27. 某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为16MB，主存（物理）地址空间大小为1MB，页面大小为4KB；Cache采用直接映射方式，共8行；主存与Cache之间交换的块大小为32B。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如题44-a图、题44-b图所示，图中页框号及标记字段的内容为十六进制形式。

请回答下列问题。  
（1）虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？  
（2）使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。  
（3）虚拟地址001C60H所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否Cache命中？要求说明理由。  
（4）假定为该机配置一个4路组相联的TLB，该TLB共可存放8个页表项，若其当前内容（十六进制）如题44-c图所示，则此时虚拟地址024BACH所在的页面是否在主存中？要求说明理由。



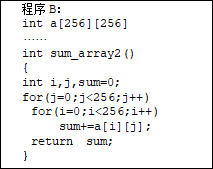
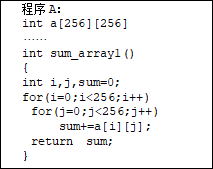
28. 假定用若干个2K×4位芯片组成一个8K×8位存储器，则地址081FH所在芯片的最小地址是( )  
A．0000H  
B．0600H  
C．0700H  
D．0800H

29. 下列有关RAM和ROM的叙述中，正确的是( )  
Ⅰ．RAM是易失性存储器，ROM是非易失性存储器  
Ⅱ．RAM和ROM都是采用随机存取的方式进行信息访问  
Ⅲ．RAM和ROM都可用作Cache  
Ⅳ．RAM和ROM都需要进行刷新  
A．仅Ⅰ和Ⅱ  
B．仅Ⅱ和Ⅲ  
C．仅Ⅰ，Ⅲ，Ⅲ  
D．仅Ⅱ，Ⅲ，Ⅳ

30. 下列命令组合情况中，一次访存过程中，不可能发生的是( )  
A．TLB未命中，Cache未命中，Page未命中  
B．TLB未命中，Cache命中，Page命中  
C．TLB命中，Cache未命中，Page命中  
D．TLB命中，Cache命中，Page未命中

31. 假定一台计算机的显示存储器用DRAM芯片实现，若要求显示分辨率为1600×1200，颜色深度为24位，帧频为85Hz，显示总带宽的50%用来刷新屏幕，则需要的显存总带宽至少约为( )  
A．245Mbps  
B．979Mbps  
C．1958Mbps  
D．7834Mbps

32.某计算机的主存地址空间大小为256MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64B，数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下：



假定int类型数据用32位补码表示，程序编译时i、j、sum均分配在寄存器中，数组a**按**行优先方式存放，其首地址为320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

1）若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量为多少？

2）数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号分别是多少（Cache行号从0开始）？

3）程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

33. 某计算机的Cache共有16块，采用2路-组相联映射方式(即每组包括2块)。存储器按字节编址，每个主存块大小为32字节。请计算129号主存单元所在的主存块应装入到的Cache组号

A．0 B．1 C．4 D．6

34.某计算机主存容量为64KB，其中ROM区为4KB，其余为RAM区，按字节编址。现要用2K×8位的ROM芯片和4K×4位的RAM芯片来设计该存储器，则需要上述规格的ROM芯片数和RAM芯片数分别是( )。  
A．1、15  
B．2、15  
C．1、30  
D．2、30

35. 假设某计算机的存储系统由Cache和主存组成，某程序执行过程中访存1000次，其中访问Cache缺失(未命中)50次，则Cache的命中率是( )。  
A．5%  
B．9.5%  
C．50%  
D．95%