1.下列给出的处理器类型中，理想情况下，CPI为1的是

Ⅰ单周期CPU Ⅱ多周期CPU Ⅲ基本流水线CPU Ⅳ超标量流水线CPU

A.仅Ⅰ、Ⅱ B.仅Ⅰ、Ⅲ C.仅Ⅱ、Ⅳ D. 仅Ⅲ、Ⅳ

2.在采用“取指、译码/取数、执行、访存、写回”5 段流水线的处理器中，执行如下指 令序列，其中 s0、s1、s2、s3 和 t2 表示寄存器编号

I1：add s2,s1,s0 // R[s2]<-R[s1]+R[s0]

I2：load s3,0(t2) // R[s3]<-M[R[t2]+0]

I3：add s2,s2,s3 // R[s2]<-R[s2]+R[s3]

I4：store s2,0(t2) // M[R[t2]+0]-<R[s2]

下列指令对中，不存在数据冒险的是\_\_\_

A.I1 和 I3

B.I2 和 I3

C.I2 和 I4

D.I3 和 I4

3.若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A～E 实现，各 功能部件所需时间分别为 80ps、50ps、50ps、70ps 和 50ps，采用流水线方式执行指令，流水段 寄存器延时为 20ps，则 CPU 时钟周期至少为 A.60ps B.70ps C.80ps D.100ps

4. 下列关于超标量流水线特性的叙述中，正确的是

Ⅰ．能缩短流水线功能段的处理时间

Ⅱ．能在一个时钟周期内同时发射多条指令

Ⅲ．能结合动态调度技术提高指令执行并行性

A.仅Ⅱ

B.仅Ⅰ、Ⅲ

C.仅Ⅱ、Ⅲ

D.Ⅰ、Ⅱ和Ⅲ

5.下列关于指令流水线数据通路的叙述中，错误的是

A.包含生成控制信号的控制部件

B.包含算术逻辑运算部件（ALU)

C.包含通用寄存器组和取指部件

6. 将高级语言源程序转换为机器级目标代码文件的程序是

* 汇编程序
* 链接程序
* 编译程序
* 解释程序

7.在无转发机制的五段基本流水线（取指、译码/读寄存器、运算、访写回寄存器）中，下列指令序列存在数据冒险的指令对是

I1：add R1，R2，R3；（R2）+（R3）→R1

I2：add R5，R2，R4；（R2）+（R4）→R5

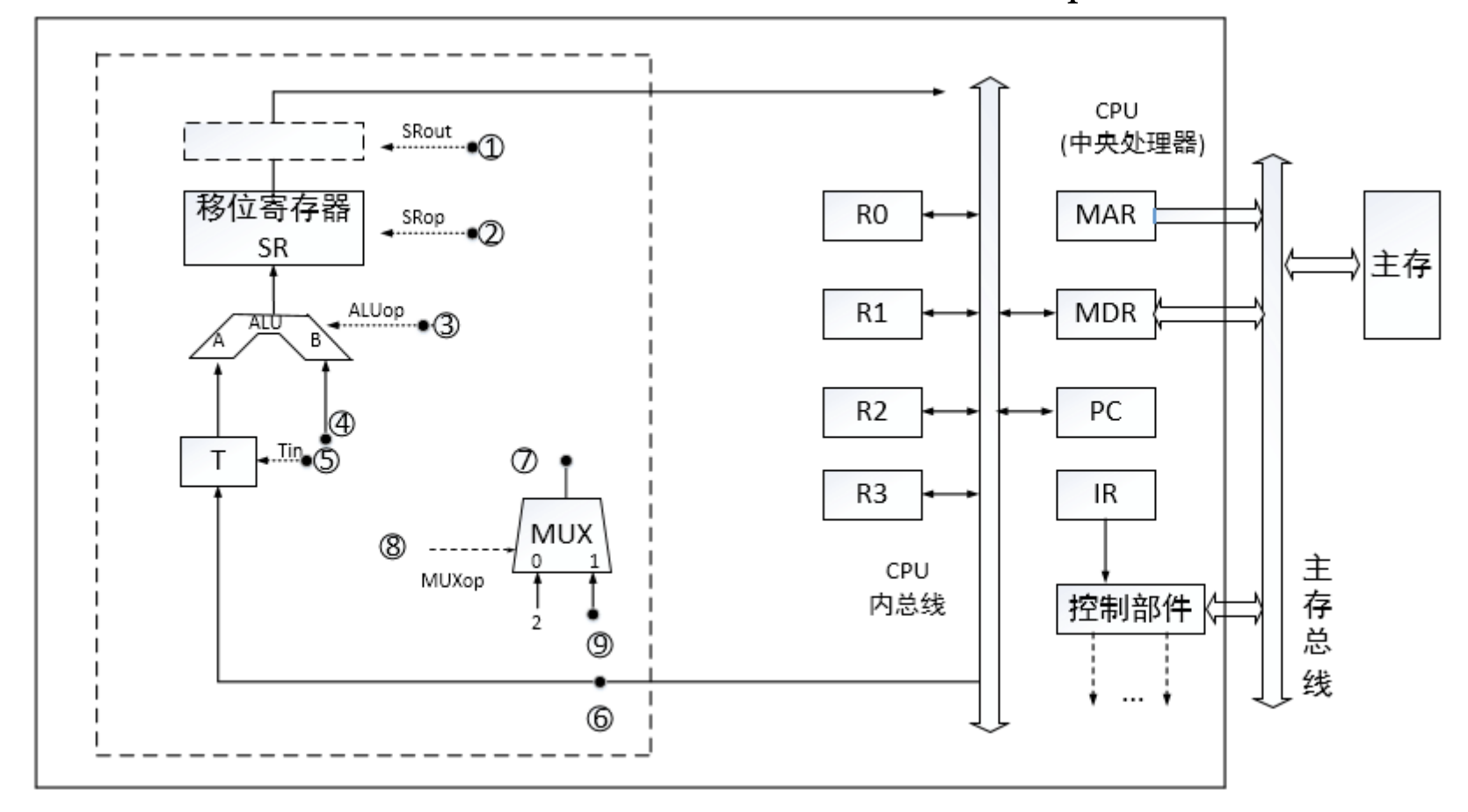
I3：add R4，R5，R3；（R5）+（R3）→R4

I4：add R5，R2，R6；（R2）+（R6）→R5

1. I1 和 I2
2. I2 和 I3
3. I2 和 I4
4. I3 和 I4

8.单周期处理器中所有指令的指令周期为一个时钟周期。下列关于单周期处理器的叙述中，错误的是

* 可以采用单总线结构数据通路
* 处理器时钟频率较低
* 在指令执行过程中控制信号不变
* 每条指令的 CPI 位 1

9.某 16 位计算机的主存按字节编码，存取单位为 16 位；采用 16 位定长指令字格式； CPU 采用单总线结构，主要部分如下图所示。图中 R0～R3 为通用寄存器；T 为暂存器；SR 为移位寄 存器，可实现直送（mov）、左移一位（left）和右移一位（right）3 种操作，控制信号为 SRop，SR 的 输出由信号 SRout 控制；ALU 可实现直送 A（mova）、A 加 B（add）、A 减 B（sub）、A 与 B（and）、 A 或 B（or）、非 A（not）、A 加 1（inc）7 种操作，控制信号为 ALUop

请回答下列问题。

1）图中哪些寄存器是程序员可见的？为何要设置暂存器 T？

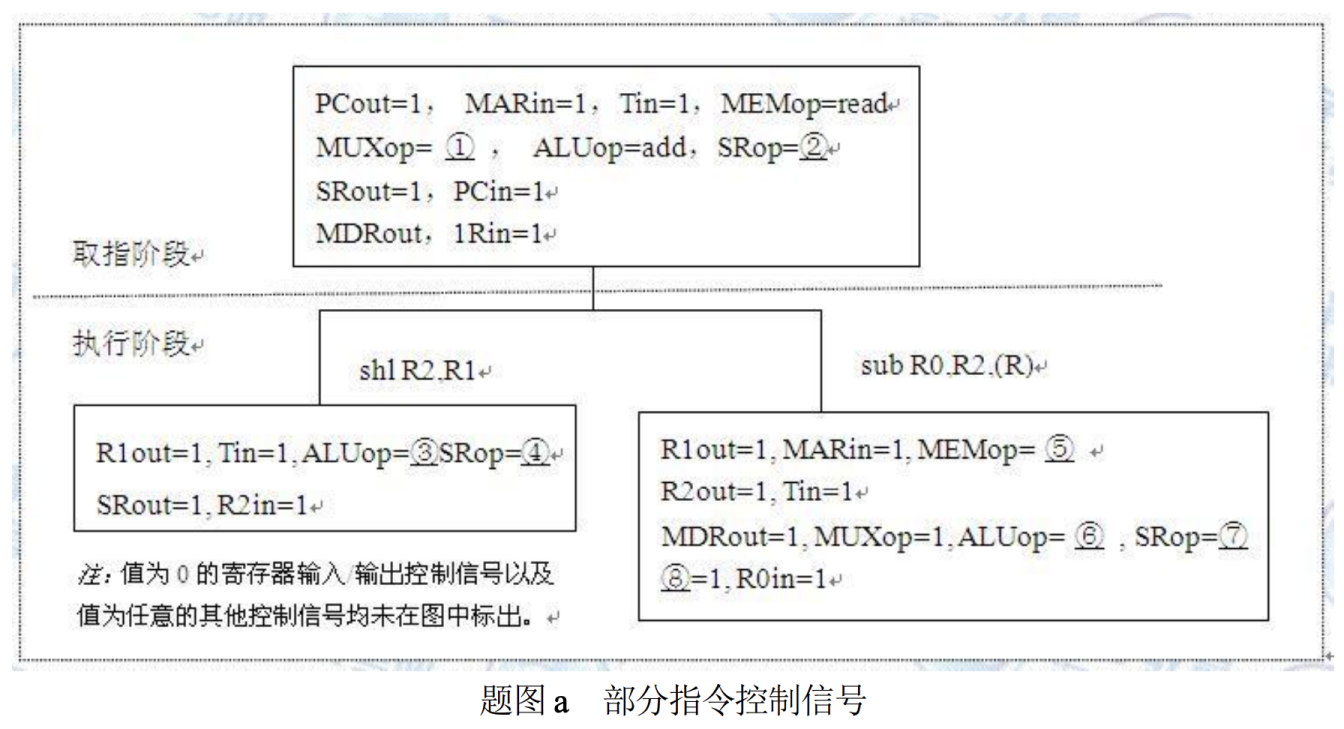
2）控制信号 ALUop 和 SRop 的位数至少各是多少？

3）控制信号 SRout 所控制部件的名称或作用是什么？

4）端点①～⑨中，哪些端点须连接到控制部件的输出端？

5）为完善单总线数据通路，需要在端点①～⑨中相应的端点之间添加必要的连线。写出连线 的起点和终点，以正确表示数据的流动方向。

6）为什么二路选择器 MUX 的一个输入端是 2？

10.上题中描述的计算机，其部分指令执行过程的控制信号如下图所示

该机指令格式如下图所示，支持寄存器直接和寄存器间接两种寻址方式，寻址方式位分别为 0 和 1， 通用寄存器 R0～R3 的编号分别为 0、1、2 和 3。

请回答下列问题。

1）该机的指令系统最多可定义多少条指令？

2）假定 inc、shl 和 sub 指令的操作码分别为 01H、02H 和 03H，则以下指令对应的机器代码 各是什么？

① inc R1 ; R1 + 1→R1

② shl R2,R1 ; (R1) << 1→R2

③ sub R3, (R1),R2 ; ((R1)) – (R2) → R3

3）假设寄存器 X 的输入和输出控制信号分别为 Xin 和 Xout，其值为 1 表示有效，为 0 表示 无效（例如，PCout=1 表示 PC 内容送总线）；存储器控制信号为 MEMop，用于控制存储器的读 (read）和写(write)操作。写出题图 a 中标号①～⑧处的控制信号或控制信号的取值。

4）指令“sub R1,R3,(R2)”和“inc R1”的执行阶段至少各需要多少个时钟周期？

11．某计算机采用微程序控制，共有32条指令，公共的取指令微程序包含2条微指令，各指令对应的微程序平均由4条微指令组成，采用断定法（下地址字段法）确定下条微指令地址，则微指令中下址字段的位数至少是     。

A.5 B.6 C.8 D.9

12. 某CPU主频为1.03GHz，采用4级指令流水线，每个流水段的执行需要1个时钟周期。假定CPU执行了100条指令，在其执行过程中，没有发生任何流水线阻塞，此时流水线的吞吐率为

A.0.25×109条指令/秒

B.0.97×109条指令/秒

C.1.0×109条指令/秒

D.1.03×109条指令/秒

13. 假定基准程序A在某计算机上的运行时间为100秒，其中90秒为CPU时间，其余为I/O时间。若CPU速度提高50%，I/O速度不变，则运行基准程序A所耗费的时间是

A．55秒

B．60秒

C．65秒

D．70秒

14. 某计算机的控制器采用微程序控制方式，微指令中的操作控制字段采用字段直接编码法，共有33个微命令，构成5个互斥类，分别包含7、3、12、5和6个微命令，则操作控制字段至少有

A．5位

B．6位

C．15位

D．33位

15.某16位计算机中，带符号整数用补码表示，数据Cache和指令Cache分离。题44表给出了指令系统中部分指令格式，其中Rs和Rd表示寄存器，mem表示存储单元地址，（x）表示寄存器x或存储单元x的内容。

|  |  |  |
| --- | --- | --- |
| 名称 | 指令的汇编格式 | 指令功能 |
| 加法指令 | ADD  Rs，Rd | (Rs)+(Rd)->Rd |
| 算术/逻辑左移 | SHL  Rd | 2\*(Rd)->Rd |
| 算术右移 | SHR  Rd | (Rd)/2->Rd |
| 取数指令 | LOAD  Rd, mem | (mem)->Rd |
| 存数指令 | STORE  Rs, mem | (Rs)->mem |

该计算机采用5段流水方式执行指令，各流水段分别是取指（IF）、译码/读寄存器（ID）、执行/计算有效地址（EX）、访问存储器（M）和结果写回寄存器（WB），流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一个寄存器的读和写操作不能在同一个时钟周期内进行。请回答下列问题：

1）若int型变量x的值为-513，存放在寄存器R1中，则执行指令“SHR R1”后，R1的内容是多少？（用十六进制表示）

2）若某个时间段中，有连续的4条指令进入流水线，在其执行过程中没有发生任何阻塞，则执行这4条指令所需的时钟周期数为多少？

3）若高级语言程序中某赋值语句为x=a+b，x、a和b均为int型变量，它们的存储单元地址分别表示为[x]、[a]和[b]。该语句对应的指令序列及其在指令流水线中的执行过程如下图所示。

I1 LOAD        R1，[a]

I2 LOAD        R2，[b]

I3 ADD        R1，R2

I4 STORE        R2，[x]

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 时间单元 | | | | | | | | | | | | | |
| 指令 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| I1 | IF | ID | EX | M | WB |  |  |  |  |  |  |  |  |  |
| I2 |  | IF | ID | EX | M | WB |  |  |  |  |  |  |  |  |
| I3 |  |  | IF |  |  |  | ID | EX | M | WB |  |  |  |  |
| I4 |  |  |  |  |  |  | IF |  |  |  | ID | EX | M | WB |

则这4条指令执行过程中，I3的ID段和I4的IF段被阻塞的原因各是什么？

4）若高级语言程序中某赋值语句为x=x\*2+a，x和a均为unsigned int类型变量，它们的存储单元地址分别表示为[x]、[a]，则执行这条语句至少需要多少个时钟周期？要求模仿上图画出这条语句对应的指令序列及其在流水线中的执行过程示意图。

16.**下列给出的指令系统特点中**，**有利于**实现指令流水线的是

Ⅰ.指令格式规整且长度一致 Ⅱ．指令和数据按边界对齐存放

Ⅲ．只有Load/Store指令才能对操作数进行存储访问

A.仅Ⅰ、Ⅱ

B.仅Ⅱ、Ⅲ

C.仅Ⅰ、Ⅲ

D.Ⅰ、Ⅱ、Ⅲ

17.假定不采用Cache 和指令预取技术，且机器处于“开中断”状态，则在下列有关指令执行的叙述中，错误的是（ ）。

A.每个指令周期中 CPU 都至少访问内存一次

B.每个指令周期一定大于或等于一个 CPU 时钟周期

C.空操作指令的指令周期中任何寄存器的内容都不会被改变

D.当前程序在每条指令执行结束时都可能被外部中断打断

18.**下列选项中**，不会引起指令流水线阻塞的是()

* 数据旁路（转发）
* 数据相关
* 条件转移
* 资源冲突

19. 某计算机的指令流水线由四个功能段组成，指令流经各功能段的时间(忽略各功能段之间的缓存时间)分别为90ns、80ns、70ns和60ns，则该计算机的CPU时钟周期至少是( )。

A．90ns

B．80ns

C．70ns

D．60ns

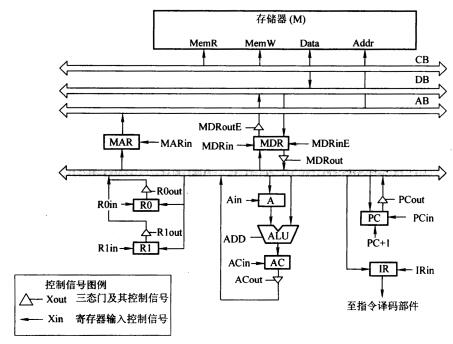
20. 相对于微程序控制器，硬布线控制器的特点是( )

A．指令执行速度慢，指令功能的修改和扩展容易

B．指令执行速度慢，指令功能的修改和扩展难

C．指令执行速度快，指令功能的修改和扩展容易

D．指令执行速度快，指令功能的修改和扩展难

21.某计算机字长为16位，采用16位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为1时表示有效、为0时表示无效。例如，控制信号MDRinE为1表示允许数据从DB打入MDR，MDRin为1表示允许数据从内总线打入MDR。假设MAR的输出一直处于使能状态。加法指令“ADD(R1)，R0”的功能为(R0)+((R1))→(R1)，即将R0中的数据与R1的内容所指主存单元的数据相加，并将结果送入R1的内容所指主存单元中保存。  


下表给出了上述指令取指和译码阶段每个节拍(时钟周期)的功能和有效控制信号，请按表中描述方式用表格列出指令执行阶段每个节拍的功能和有效控制信号。  
