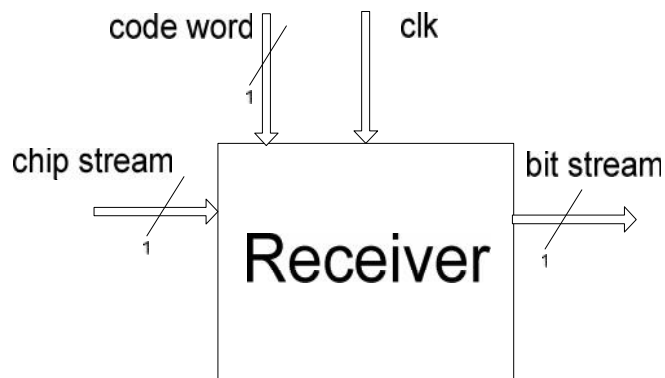


## Ricevitore CDMA

Obiettivo: progettare un ricevitore per trasmissioni CDMA compatibile con le seguenti specifiche

- 1) SF (spreading factor) = 16
- 2) si utilizzi un decisore di tipo hard a soglia
- 3) si ignorino i problemi di sincronizzazione iniziale con lo stream dei chip in ingresso e si ipotizzi che ad ogni ciclo di clock sull'ingresso indicato in figura come "code word" sia presente l'opportuno chip della parola di codice

Schema a blocchi:



Nota: la frequenza di clock in ingresso al ricevitore equivale alla frequenza di chip

La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura selezionata per la realizzazione (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
- Conclusioni