



GEBZE TEKNİK ÜNİVERSİTESİ  
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 1 Deney Raporu

Lojik Devreler ve Tasarım Laboratuvarı Dersine Hazırlık

Hazırlayanlar
1) 210102002053 – Şule Nur Demirdağ
2) 210102002132 – Aysu Aktürk

## 1. Giriş

Bu rapor Boole cebri denklemleri ile doğruluk tablosu ve lojik devre diyagramları arasındaki ilişkiyi gözlemlemek ve dönüşümleri gerçekleştirmek, basit lojik kapıları ile devre tasarlamak ve donanım tanımlama dili (DTD) simülasyonu ile çalışmasını doğrulamak, Boole cebri kullanarak lojik sadeleştirme gerçekleştirmek ve sadeleştirilmiş lojik devrenin çalışmasını DTD fonksiyonel simülasyonla doğrulamak, zamanlama diyagramı kullanmayı ve yorumlamayı öğrenmek gibi konular içermektedir.

## 2. Problemler

### 2.1. Problem 1 – Boole Cebri Kullanarak Lojik Devre Tasarımı

#### 2.1.1. Teorik Araştırma

##### 2.1.1.1. Boolean Cebri Nedir?

Boole cebri değişkenlerin değerinin doğru ve yanlış olabildiği bir [cebri](#) alt koludur. *Doğru* ve *yanlış* değerleri genelde sırasıyla 1 ve 0 olarak ifade edilir. Değişken değerlerinin sayı, işlemlerin ise toplama ve çarpma olduğu temel cebirin aksine Boole cebrinde  $\wedge$  işareti ile ifade edilen "ve",  $\vee$  işareti ile ifade edilen "veya",  $\neg$  ile ifade edilen "değil" işlemleri bulunur. Boole cebri ismini George Boole'den alır. Sayısal devrelerin analiz ve tasarımı boole cebri temel alır. Bu sistemde yer alan "1" ve "0", sırasıyla açık (İngilizcesi: ON) ve kapalı (İngilizcesi: OFF) devrelerle eş anlamlıdır. Sayısal devreleri uygulamasında, ikili değişkenler üzerinde tanımlanan sayısal operasyonları gösterir.

##### 2.1.1.2. Doğruluk Tablosu Nedir? Nasıl Oluşturulur?

Doğruluk tablosu, mantıkta, özellikle Boole cebri ve Boole fonksiyonları ile ilişkili olarak, fonksiyon değişkenlerinin bütün kombinasyonları için mantıksal ifadenin değerini hesaplamakta kullanılan bir matematiksel tablodur. Önermeler 0 veya 1 olmak üzere iki farklı değer alabilir. N adet önerme  $2^n$  adet olasılık oluşturur. Her satır önermenin farklı bir olasılığını ifade eder.

### 2.1.2. Deneyin Yapılışı

#### Doğruluk Tablosu

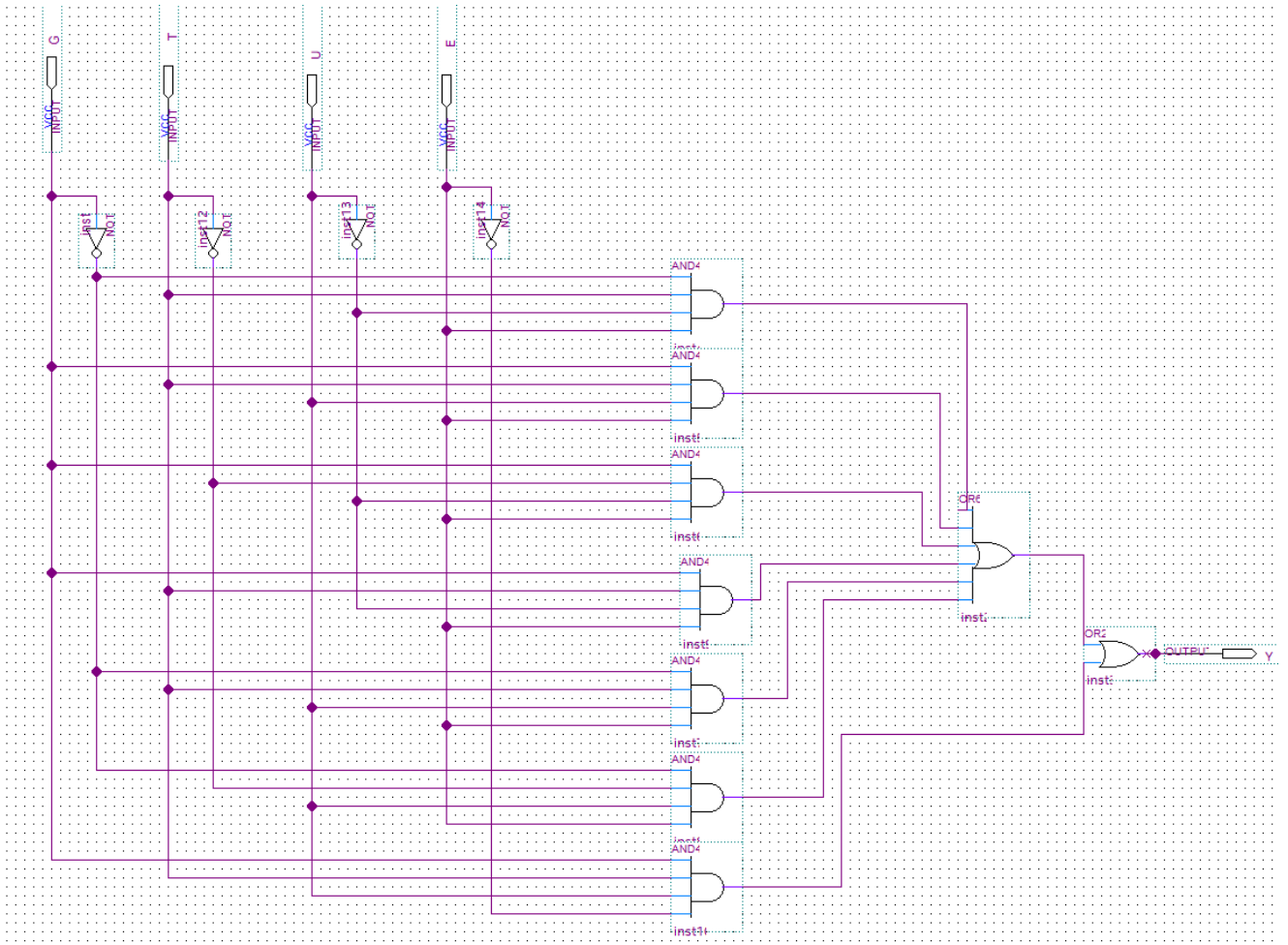
$$\text{Denklem 1: } Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$$

Tablo 1: Denklem 1 doğruluk tablosu

G	T	U	E	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

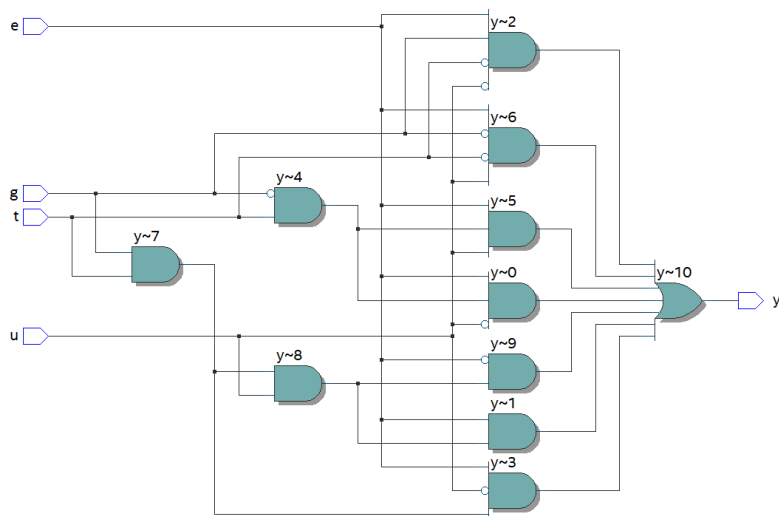
Tablo 1 'de G, T, U, E sütunları G, T, U, E değişkenlerinin alabileceği tüm olasılıkları içermektedir. Y sütunu ise bu olasılıkların Y denklemi için karşılık geldiği sonuçları ifade etmektedir.

## a. Devre Şeması



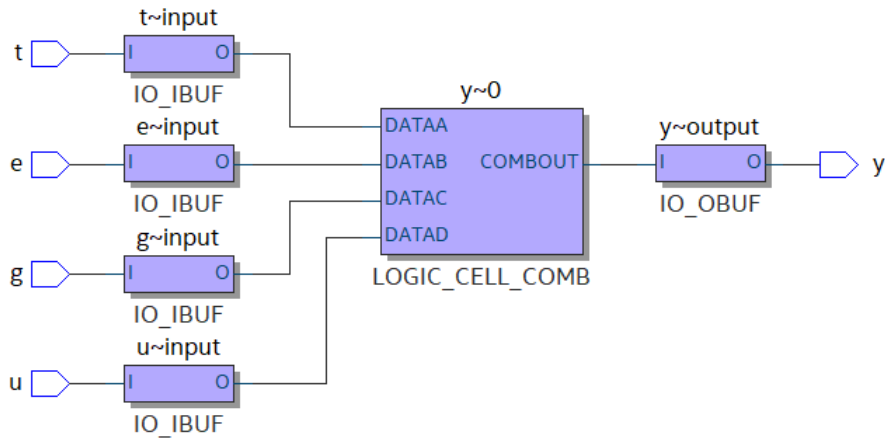
Şema 1: Denklem 1 devre şeması

## b. Devrenin RTL Şeması



Şema 2: 1. Fonksiyonun RTL Şeması

### c. Eşleştirme Sonrası Devre Şeması



Şema 3: Denklem 1 in eşleştirme sonrası devre şeması

### d. Analiz ve Sentez Özeti

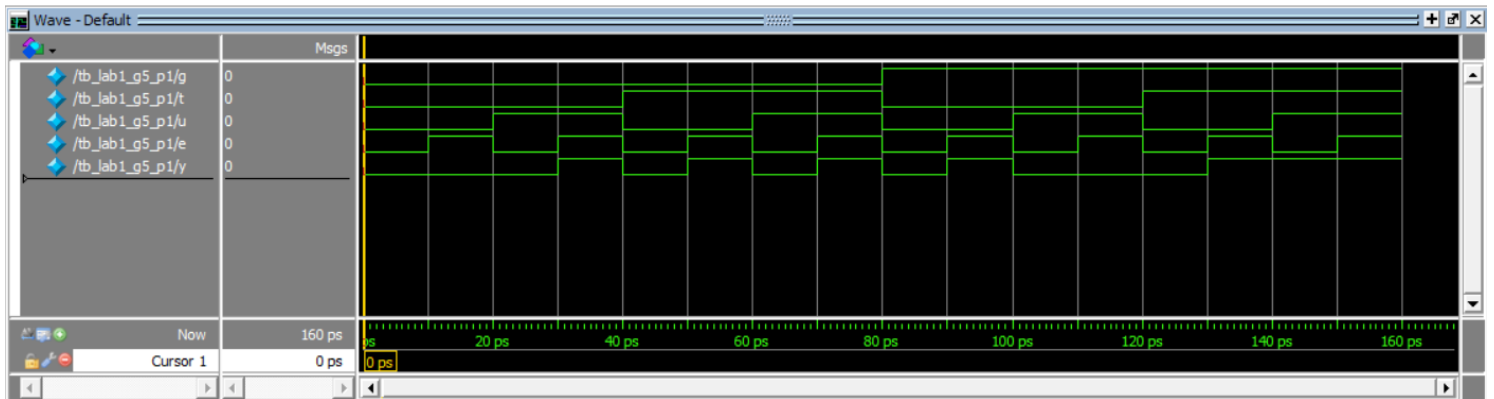
Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Apr 30 00:35:49 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g5_p1
Top-level Entity Name	lab1_g5_p1
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	5
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

## e. Analiz ve Sentez Kaynak Kullanım Özeti

### Analysis & Synthesis Resource Usage Summary

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	y~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91

## f. Simülasyon



## 2.2. Problem 2 – Boole Cebri Teoremlerini Kullanarak Lojik Devre Sadeleştirme

### 2.2.1. Teorik Araştırma

#### 2.2.1.1. Boolean Cebir Kuralları

Tablo 2: Boole cebri kuralları

	Kural Adı	Eşitlik
Kural 1	Ve	$B \cdot 1 = B, \quad B \cdot 0 = 0$
Kural 2	Veya	$B + 1 = 1, \quad B + 0 = B$
Kural 3	Özdeşlik	$B \cdot B = B, \quad B + B = B$
Kural 4	Çift Tersleme	$(B')' = B$
Kural 5	Tamamlayıcı	$B \cdot B' = 0, \quad B + B' = 1$
Kural 6	Değişme	$B \cdot C = C \cdot B, \quad B + C = C + B$
Kural 7	Birleşme	$(B \cdot C) \cdot D = B \cdot (C \cdot D), \quad (B + C) + D = B + (C + D)$
Kural 8	Dağılma	$B \cdot (C + D) = (B \cdot C) + (B \cdot D)$
Kural 9	Yutma Kuralı	$B \cdot (B + C) = B, \quad B + (B \cdot C) = B$
Kural 10	Birleştirme	$(B \cdot C) + (B \cdot C') = B, \quad (B + C) \cdot (B + C') = B$
Kural 11	Konsensüs	$(B \cdot C) + (B' \cdot D) + (C \cdot D) = B \cdot C + B' \cdot D$
Kural 12	De Morgan Kuralı	$(B_0 \cdot B_1 \cdot B_2 \cdot \dots)' = B_0' + B_1' + B_2' \cdot \dots$

### 2.2.1.2. Boole Cebri ile Denklem 1 Sadeleştirme

$$G'TUE' + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE' = Y \text{ (Denklem - 1)}$$

Denklem – 1 üzerinde ilk olarak **dağılma kuralı** kullanılmıştır.

$$GTU(E'+E) + G'TUE' + GT'U'E + GTU'E + G'TUE + G'T'UE$$

(E+E') ifadesi **tamamlayıcı kurala** göre 1'e eşittir.

$$GTU 1 + G'TUE' + GT'U'E + GTU'E + G'TUE + G'T'UE$$

(GTU1) ifadesi **ve kuralına** göre (GTU) ifadesine eşittir.

$$GTU + G'TUE' + GT'U'E + GTU'E + G'TUE + G'T'UE$$

(TUE' + GT'UE) ifadesi **dağılma kuralına** göre (UE'(GT'+T)) ifadesine eşittir.

$$GTU + G'UE(T+T') + G'TUE' + GT'U'E + GTU'E$$

(T+T') ifadesi **tamamlayıcı kurala** göre 1'e eşittir.

$$GTU + G'UE + G'TUE' + GT'U'E + GTU'E$$

(GT'U'E + GTU'E) ifadesi **dağılma kuralına** göre (GU'E (T+T')) ifadesine eşittir.

$$GTU + G'UE + G'TUE' + (GU'E (T+T'))$$

(T+T') ifadesi **tamamlayıcı kurala** göre 1'e eşittir.

$$GTU + G'UE + G'TUE' + GU'E$$

(G'TUE' + GU'E) ifadesi **dağılma kuralına** göre (U'E (G+G'T)) ifadesine eşittir.

(U'E (G+G'T)) ifadesi **redundancy kuralına** göre (U'E (G+T)) ifadesine eşittir.

$$GTU + G'UE + GU'E + EU'T = Y$$

sonucuna ulaşılır.



## 2.2.2. Deneyin Yapılışı

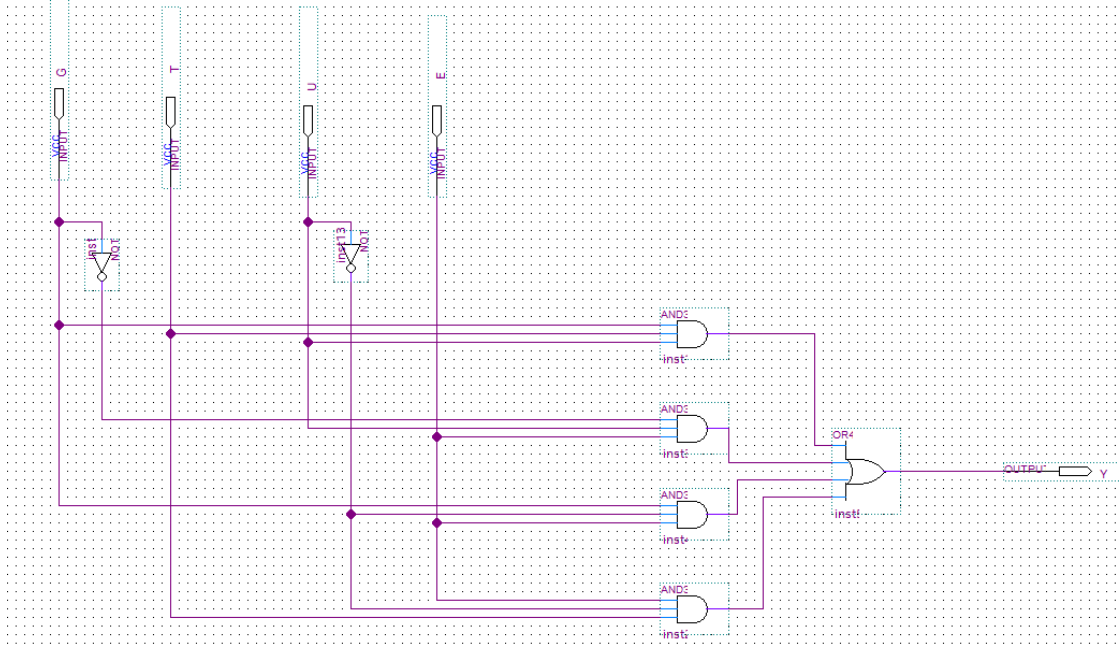
### Doğruluk Tablosu

Tablo 2: Sadeleştirilmiş Denklem 1 doğruluk tablosu

G	T	U	E	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

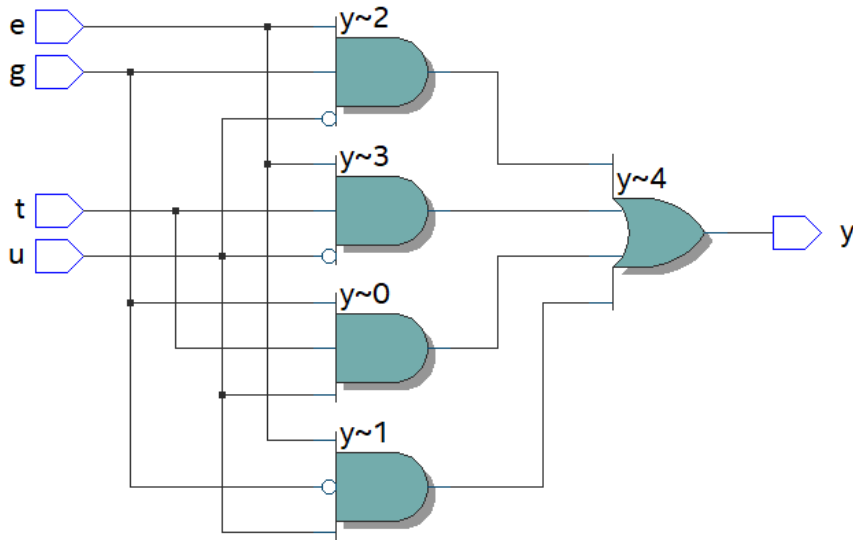
Tablo 1 ve Tablo 2'nin eşit olduğunu görüyoruz yani sadeleştirerek elde ettiğimiz boole denklemi doğru sadeleştirilmiştir.

**a. Devre Şeması**



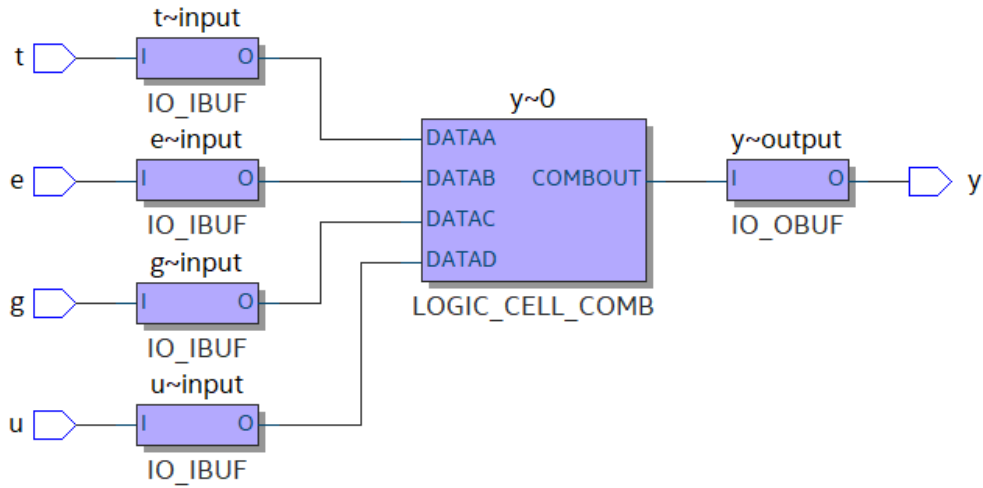
Şema 4: Sadeleştirilmiş devre şeması

**b. Devrenin RTL Şeması**



Şema 5: Sadeleştirilmiş denklem devre şeması

### c. Eşleştirme Sonrası Devre Şeması



Şema 6: Sadeleştirilmiş denklem eşleştirme sonrası devre şeması

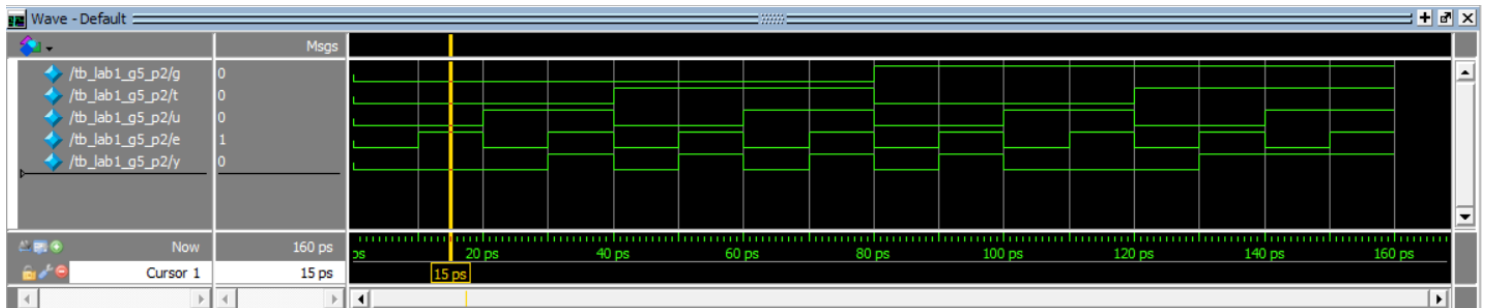
### d. Analiz ve Sentez Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Apr 30 22:15:02 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g5_p2
Top-level Entity Name	lab1_g5_p2
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	5
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

### e. Analiz ve Sentez Kaynak Kullanım Özeti

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	1
2	-- 3 input functions	0
3	-- <=2 input functions	0
5		
6	▼ Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	5
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	y~0
15	Maximum fan-out	1
16	Total fan-out	10
17	Average fan-out	0.91

### f. Simülasyon

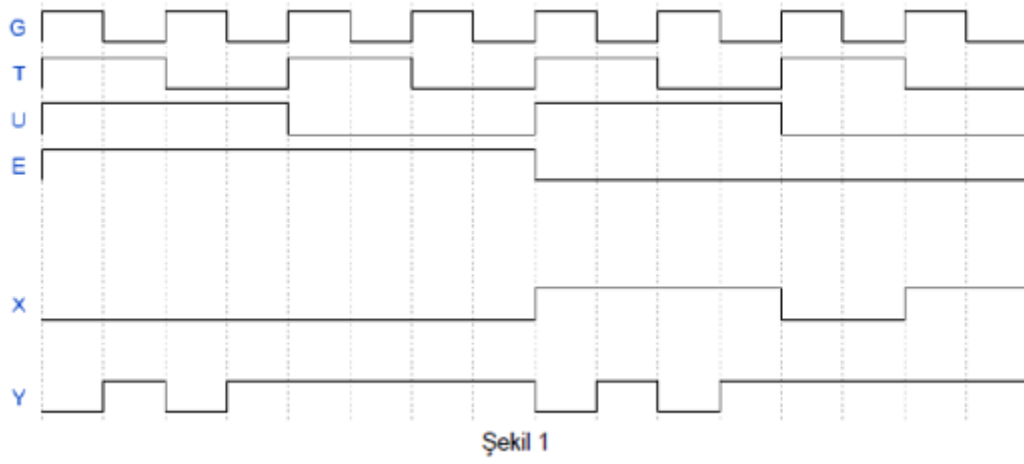


## 2.3. Problem 3 – Problem 3 – Zamanlama Diyagramı ve Dalga Şekli Yardımıyla Lojik Devre Tasarımı

### 2.3.1. Teorik Araştırma

#### 2.3.1.1. Zamanlama Diyagramı Nedir?

Timing (Zamanlama) Diyagramı: Bir nesnenin davranışlarını belli bir zaman periyodunda inceleyen diyagramdır. Şekil 1’ de G, T, U, E değişkenlerinin tüm olası değerleri için X ve Y fonksiyonlarının sonuçları zamanlama diyagramı ile gösterilmiştir. Dalganın tepe noktaları 1 değerini ifade ederken dalganın çukur noktaları 0 değerini ifade etmektedir.



Şekil 1

#### 2.3.2. Deneyin Yapılışı

Öncelikle zamanlama diyagramındaki dalga şeklinden doğruluk tablosu elde edilir. Ardından tablodan elde edilen minterm değerleri – fonksiyonun 1 olduğu durumlar- alınır ve bu minterm değerlerinden faydalanarak fonksiyonun boole denklemi elde edilir.

**a. Doğruluk Tablosu**

Tablo 2:  $X$  ve  $Y$  doğruluk tablosu

G	T	U	E	X	Y
1	1	1	1	0	0
0	1	1	1	0	1
1	0	1	1	0	0
0	0	1	1	0	1
1	1	0	1	0	1
0	1	0	1	0	1
1	0	0	1	0	1
0	0	0	1	0	1
0	1	1	0	1	0
1	1	1	0	1	1
0	0	1	0	1	0
1	0	1	0	1	1
0	1	0	0	0	1
1	1	0	0	0	1
0	0	0	0	1	1
1	0	0	0	1	1

$$\text{Denklem 3: } X = \sum_m(8,9,10,11,14,15) = GTUE' + G'TUE' + GT'UE' + G'T'UE' + GT'U'E' + G'T'U'E'$$

$$\begin{aligned} \text{Denklem 4: } Y &= \sum_m(1,3,4,5,6,7,9,11,12,13,14,15) \\ &= G'TUE + G'T'UE + GTU'E + G'TU'E + GT'U'E + G'T'U'E + G'TUE' \\ &\quad + G'TUE' + GT'UE' + G'T'UE' + GTU'E' + G'TU'E' + GT'U'E' + G'T'U'E' \end{aligned}$$

## b. X ve Y Boole Cebri Kullanarak Sadeleştirme

$$GTUE' + G'TUE' + GT'UE' + G'T'UE' + GT'U'E' + G'T'U'E' = X$$

İlk olarak **dağılma kuralı** kullanılmıştır.

$$TUE'(G+G') + GT'UE' + G'T'UE' + GT'U'E' + G'T'U'E'$$

$(G+G')$  ifadesi **tamamlayıcı kurala** göre 1'e eşittir.

$$TUE'1 + GT'UE' + G'T'UE' + GT'U'E' + G'T'U'E'$$

$(TUE'1)$  ifadesi **ve kuralına** göre  $(TUE')$  ifadesine eşittir.

$$TUE' + GT'UE' + G'T'UE' + GT'U'E' + G'T'U'E'$$

$(TUE' + GT'UE)$  ifadesi **dağılma kuralına** göre  $(UE'(GT'+T))$  ifadesine eşittir.

$$UE'(GT'+T) + G'T'UE' + GT'U'E' + G'T'U'E'$$

$(GT'+T)$  ifadesi **absorbition law'a** göre  $(G+T)$  ifadesine eşittir.

$$UE'(G+T) + G'T'UE' + GT'U'E' + G'T'U'E'$$

$(G'T'UE' + GT'U'E')$  ifadesi **dağılma kuralına** göre  $(G'T'E'(U+U'))$  ifadesine eşittir.

$$UE'(G+T) + G'T'E'(U+U') + GT'U'E'$$

$(U+U')$  ifadesi **tamamlayıcı kurala** göre 1'e eşittir.

$$UE'(G+T) + G'T'E'1 + GT'U'E'$$

$(G'T'E'1)$  ifadesi **ve kuralına** göre  $(G'T'E')$ 'ye eşittir.

$$UE'(G+T) + G'T'E' + GT'U'E'$$

$(G'T'E' + GT'U'E')$  ifadesi **dağılma kuralına** göre  $(T'E'(GU'+G'))$  ifadesine eşittir.

$$UE'(G+T) + T'E' T'E'(GU'+G')$$

$(GU'+G')$  ifadesi **absorbition law'a** göre  $(U'+G')$ 'ye eşittir.

$$UE'(G+T) + T'E'(U'+G')$$

Son olarak sırayla iki kere **dağılma kuralı** uygulandığında,

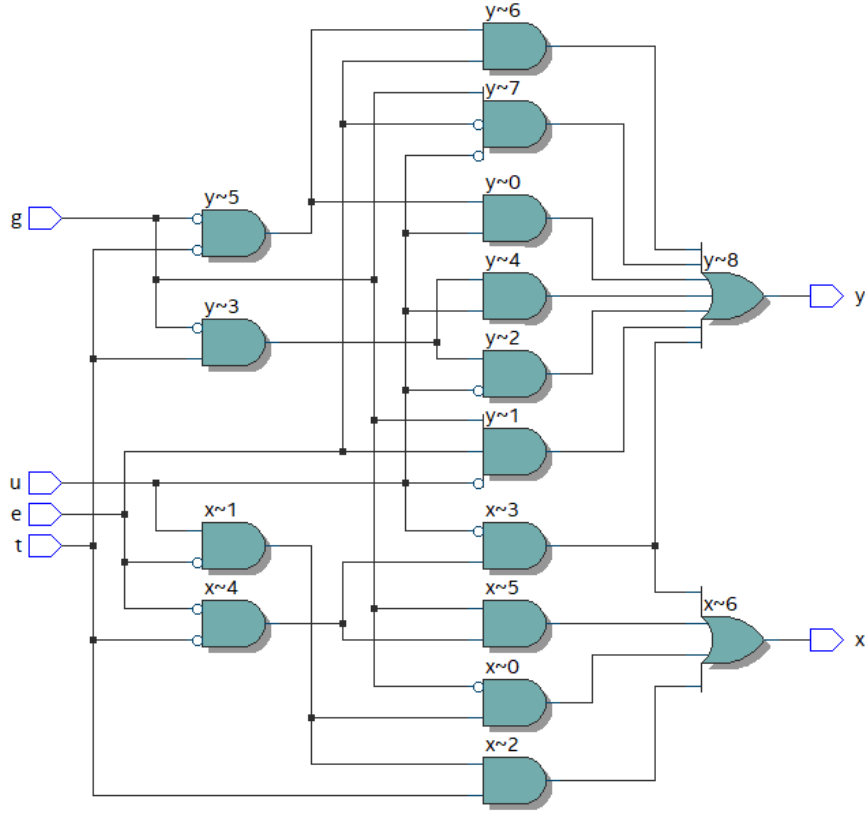
$$UE'G + UE'T + T'E'(U'+G')$$

$$UE'G' + UE'T + T'E'U' + T'E'G = X$$

sonucuna ulaşılır. Aynı işlemler kullanarak Y denklemi de sadeleştirildi

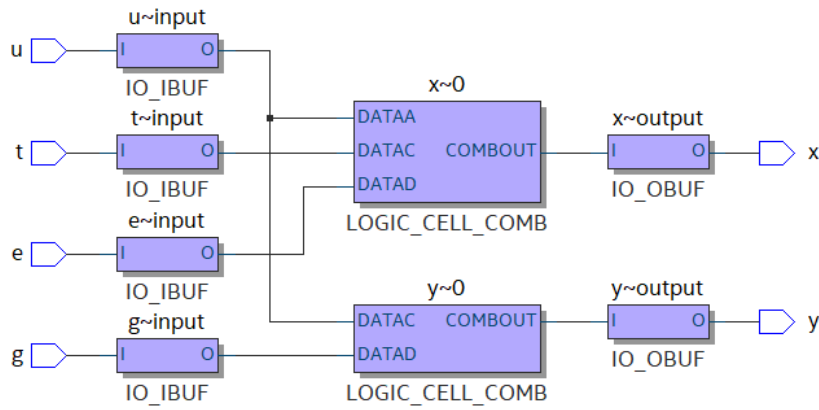
$$G'T'U + G U' E + T E' U' + G'TU' + G'TU + G'T'E + U' E'G = Y$$

### c. Devrenin RTL Şeması



Şema 7: Devrenin RTL Şeması

### d. Eşleştirme Sonrası Devre Şeması



Şema 8: eşleştirme sonrası devre şeması



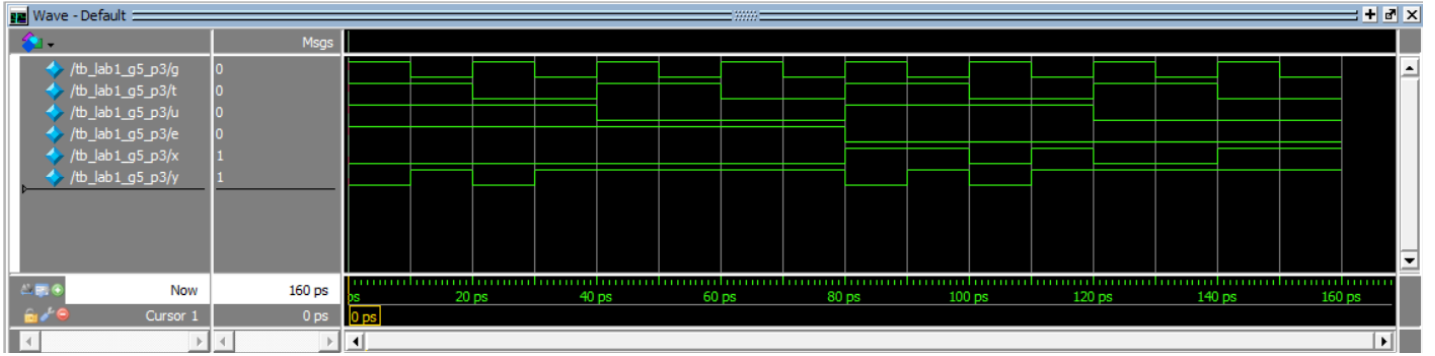
#### d. Analiz ve Sentez Özeti

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Apr 30 01:36:04 2023
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	lab1_g5_p3
Top-level Entity Name	lab1_g5_p3
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	3 / 8,064 ( < 1 % )
Total registers	0
Total pins	6 / 250 ( 2 % )
Total virtual pins	0
Total memory bits	0 / 387,072 ( 0 % )
Embedded Multiplier 9-bit elements	0 / 48 ( 0 % )
Total PLLs	0 / 2 ( 0 % )
UFM blocks	0 / 1 ( 0 % )
ADC blocks	0 / 1 ( 0 % )

#### e. Analiz ve Sentez Kaynak Kullanım Özeti

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	2
2		
3	Total combinational functions	2
4	▼ Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	1
3	-- <=2 input functions	1
5		
6	▼ Logic elements by mode	
1	-- normal mode	2
2	-- arithmetic mode	0
7		
8	▼ Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	6
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	u~input
15	Maximum fan-out	2
16	Total fan-out	13
17	Average fan-out	0.93

## f. Simülasyon



### 2.3.3. Sonuç

Şekil 1 de verilen zamanlama diyagramındaki dalga şekli ile bizim simülasyonda bulduğumuz dalga şeklinin aynı olduğu gözlemlendi. Zamanlama diyagramı ve dalga şekli yardımıyla lojik devre tasarımı gerçekleştirildi.

## EKLER

### 1. Problem 1 SystemVerilog DTD tasarımı ve test tezgahı

```
/* lab1_g5_p1.sv

* Hazırlayanlar:

* Şule Nur Demirdaş

* Aysu Aktürk

* Notlar:

* ELM235 2023 Bahar Lab1 - Problem 1

*  $Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$ 
denkleminin gerçekleştirilmesi

*/

module lab1_g5_p1(
    input logic g, t, u, e,
    output logic y
);

assign y = ~g & t & ~u & e | g & t & u & e | g & ~t & ~u & e | g & t
& ~u & e | ~g & t & u & e | ~g & ~t & u & e | g & t & u & ~e;

endmodule

/* tb_lab1_g5_p1.sv

* Hazırlayanlar:

* Şule Nur Demirdaş

* Aysu Aktürk

* ELM235 2023 Bahar Lab1 - Problem 1 Testbench

*  $Y = G'TU'E + GTUE + GT'U'E + GTU'E + G'TUE + G'T'UE + GTUE'$ 
denkleminin simülasyonu

* Bütün olası girişlere göre çıkış gözlemlenir.

*/
```

```

module tb_lab1_g5_p1();

logic g, t, u, e; // Test tezgahi giriş değişkenleri tanımları
logic y; // Test tezgahi çıkış değişkenleri tanımları

lab1_g5_p1 dut0(g, t, u, e, y);

initial begin

    // Truth table daki tüm durumlar tanımlanır

    g = 0; t = 0; u = 0; e = 0; #10 // Değişkenlere değerler
    atandıktan sonra 10 us bekle

    g = 0; t = 0; u = 0; e = 1; #10
    g = 0; t = 0; u = 1; e = 0; #10
    g = 0; t = 0; u = 1; e = 1; #10
    g = 0; t = 1; u = 0; e = 0; #10
    g = 0; t = 1; u = 0; e = 1; #10
    g = 0; t = 1; u = 1; e = 0; #10
    g = 0; t = 1; u = 1; e = 1; #10
    g = 1; t = 0; u = 0; e = 0; #10
    g = 1; t = 0; u = 0; e = 1; #10
    g = 1; t = 0; u = 1; e = 0; #10
    g = 1; t = 0; u = 1; e = 1; #10
    g = 1; t = 1; u = 0; e = 0; #10
    g = 1; t = 1; u = 0; e = 1; #10
    g = 1; t = 1; u = 1; e = 0; #10
    g = 1; t = 1; u = 1; e = 1; #10

    $stop;

end

endmodule

```

## 2. Problem 2 SystemVerilog DTD tasarımı ve test tezgahı

```
/* lab1_g5_p2.sv

* Hazırlayanlar:

* Şule Nur Demirdaş

* Aysu Aktürk

* Notlar:

* ELM235 2023 Bahar Lab1 - Problem 2

*  $Y = GTU + G'UE + GU'E + EU'T$  denkleminin gerçekleştirilmesi

*/

module lab1_g5_p2(

    input logic g, t, u, e,

    output logic y

);

assign y = g & t & u | ~g & u & e | g & ~u & e | t & ~u & e ;

endmodule

/* tb_lab1_g5_p2.sv

*

* Hazırlayanlar:

* Sule Nur Demirdas

* Aysu Aktürk

* ELM235 2023 Bahar Lab1 - Problem 2 Testbench

*  $Y = GTU + G'UE + GU'E + EU'T$  denkleminin simülasyonu

* Bütün olası girişlere göre çıkış gözlemlenir.

*/

module tb_lab1_g5_p2();
```

```

logic g, t, u, e;

logic y;

lab1_g5_p2 dut0(g, t, u, e, y);

initial begin

    g = 0; t = 0; u = 0; e = 0; #10
    g = 0; t = 0; u = 0; e = 1; #10
    g = 0; t = 0; u = 1; e = 0; #10
    g = 0; t = 0; u = 1; e = 1; #10
    g = 0; t = 1; u = 0; e = 0; #10
    g = 0; t = 1; u = 0; e = 1; #10
    g = 0; t = 1; u = 1; e = 0; #10
    g = 0; t = 1; u = 1; e = 1; #10
    g = 1; t = 0; u = 0; e = 0; #10
    g = 1; t = 0; u = 0; e = 1; #10
    g = 1; t = 0; u = 1; e = 0; #10
    g = 1; t = 0; u = 1; e = 1; #10
    g = 1; t = 1; u = 0; e = 0; #10
    g = 1; t = 1; u = 0; e = 1; #10
    g = 1; t = 1; u = 1; e = 0; #10
    g = 1; t = 1; u = 1; e = 1; #10

    $stop;

end

endmodule

```

### 3. Problem 3 SystemVerilog DTD tasarımı ve test tezgahı

```
/* lab1_g5_p3.sv
*
* Hazirlayanlar:
* Sule Nur Demirdas
* Aysu Aktürk
*
* Notlar:
* ELM235 2023 Bahar Lab1 - Problem 3
* Denklem 3:  $X = UE'G' + UE'T + T'E'U' + T'E'G$ 
* Denklem 4:  $Y = G'T'U + G U' E + T E' U' + G'TU' + G'TU + G'T'E + U' E'G$ 
*/
module lab1_g5_p3(
    input logic g, t, u, e,
    output logic x, y
);
    assign x = u & ~e & ~g | u & ~e & t | ~t & ~e & ~u | ~t & ~e & g ;
    assign y = ~g & ~t & u | g & ~u & e | ~t & ~e & ~u | ~g & t & ~u |
    ~g & t & u | ~g & ~t & e | ~u & ~e & g;
endmodule

/* tb_lab1_g5_p3.sv
*
* Hazirlayanlar:
* Sule Nur Demirdas
* Aysu Aktürk
*
* Notlar:
* ELM235 2023 Bahar Lab1 - Problem 3 Testbench
```

\* Denklem 3:  $X = UE'G' + UE'T + T'E'U' + T'E'G$

Denklem 4:  $Y = G'T'U + G U' E + T E' U' + G'TU' + G'TU + G'T'E + U'E'G$

denkleminin simulasyonu

\* Bütün olası girişlere göre çıkış gözlemlenir.

\*/

```
module tb_lab1_g5_p3();
```

```
logic g, t, u, e;
```

```
logic x, y;
```

```
lab1_g5_p3 dut0(g, t, u, e, x, y);
```

```
assign x = u & ~e & ~g | u & ~e & t | ~t & ~e & ~u | ~t & ~e & ~g ;
```

```
assign y = ~g & ~t & u | g & ~u & e | ~t & ~e & ~u | ~g & t & ~u |  
~g & t & u | ~g & ~t & e | ~u & ~e & g;
```

```
initial begin
```

```
    g = 1; t = 1; u = 1; e = 1; #10
```

```
    g = 0; t = 1; u = 1; e = 1; #10
```

```
    g = 1; t = 0; u = 1; e = 1; #10
```

```
    g = 0; t = 0; u = 1; e = 1; #10
```

```
    g = 1; t = 1; u = 0; e = 1; #10
```

```
    g = 0; t = 1; u = 0; e = 1; #10
```

```
    g = 1; t = 0; u = 0; e = 1; #10
```

```
    g = 0; t = 0; u = 0; e = 1; #10
```

```
    g = 1; t = 1; u = 1; e = 0; #10
```

```
    g = 0; t = 1; u = 1; e = 0; #10
```

```
    g = 1; t = 0; u = 1; e = 0; #10
```

```
    g = 0; t = 0; u = 1; e = 0; #10
```

```
    g = 1; t = 1; u = 0; e = 0; #10
```

```
    g = 0; t = 1; u = 0; e = 0; #10
```

```
    g = 1; t = 0; u = 0; e = 0; #10
```



```
        g = 0; t = 0; u = 0; e = 0;  #10
        $stop;
    end
endmodule
```