**[景嘉微杯](http://univ.ciciec.com/nd.jsp?id=554" \l "_jcp=1)**

**一、杯赛题目：一种RGB数据无损压缩/解压单元**

**二、参赛组别：A组、B组**

**三、赛题背景**

在GPU、AI等芯片设计领域，存储器访问往往是系统性能的瓶颈，提高存储器的访问效率对于提升芯片性能的意义重大，其中对颜色缓冲区数据（RGB）的频繁读写对性能的影响很大；本课题从数据压缩的角度，通过减小访问颜色缓冲区的数据量来提高存储器的带宽和访问效率。

**四、赛题任务**

实现一种RGB数据（二进制数据）的无损压缩/解压单元，用于GPU或其它存储器图形图像访问密集的系统中，利用无损数据压缩技术降低存储器带宽，提高访问效率。总体要求：

1. 研究一种高效的RGB数据压缩/解压算法；

（1）支持线性块或二维块的RGB数据压缩和解压；块大小支持256Byte/512Byte/1KByte；

（2）输入：压缩：指定的图像RGB数据；解压：压缩后数据；

（3）输出：压缩：压缩后的数据；解压：解压后RGB数据；

（4）语言及标准: c99 without libs；

（5）结果评价：输入压缩后数据执行解压后得到的结果与原始图像完全一致；统计压缩后数据大小与原始图像数据大小比例得到压缩率；能正确完成原图像指定大小块的压缩和解压。（输入原始图像由主办方提供）

2. 采用verilog语言实现该单元：

   (1) 支持1个AXI slave接口；

   (2) 支持1个AXI master接口；

   (3) 上述两个接口均支持AXI4协议，数据位宽需支持128bit、256bit、512bit（至少支持一种数据位宽，支持多种为加分项）；

   (4) 支持1个AHB/APB接口用于寄存器配置（寄存器由参赛队伍自行定义）；

   (5) 支持线性存储数据和按块存储数据（线性数据块或二维数据块大小支持256Byte/512Byte/1KByte）的压缩/解压；

3. 在FPGA上进行验证（开发板推荐：ZYNQ-7000系列或ZYNQ-ULTRASCALE系列，如：z-7535/z-7045/z-7100系列或ZU4EV/ZU5EV系列；允许参赛队伍自己选择开发板）：

（1）CPU将原始图像数据通过PCIE（或内部总线）写入开发板的DDR中；

（2）启动一个DMA模块，将DDR中的图像数据读回，通过AXI总线发送给压缩单元，压缩单元执行压缩并写回到DDR中另外一块地址空间（与原图像的存储空间不同），压缩完成后，CPU读出压缩后图像数据写入文件，统计压缩率；

（3）启动解压单元，将（2）中的压缩数据读回执行解压，通过AXI发送给DMA模块，由DMA模块将解压后数据写回到DDR中另外一块地址空间（与（2）中的存储空间均不同），解压完成后，CPU读出解压后图像数据写入文件，判断正确性；

（4）以上（2）和（3）均需支持指定块大小数据的压缩和解压；

4. 提交详细设计文档，包括：算法设计说明、实现函数说明，寄存器说明，RTL模块设计说明、仿真验证环境及说明、性能评估说明、FPGA验证报告；

**五、杯赛阶段和内容**

1、初赛阶段需提交：

（1）数据压缩/解压算法模型（C语言模型），对应赛题任务1；

（2）相关设计文档：算法设计说明、实现函数说明；

2、分赛区决赛需提交：

（1）符合verilog-2005标准的单元实现源代码（verilog），对应赛题任务2；

（2）FPGA验证演示，对应赛题任务3；

（3）详细设计文档，包括：寄存器说明，RTL模块设计说明、仿真验证环境及说明、性能评估说明、FPGA验证报告；

（4）汇报PPT：项目介绍、关键技术介绍、性能指标等

3、总决赛需提交：

（1）符合verilog-2005标准的单元实现源代码（verilog），对应赛题任务2；

（2）FPGA验证演示，对应赛题任务3；

（3）详细设计文档，包括：寄存器说明，RTL模块设计说明、仿真验证环境及说明、性能评估说明、FPGA验证报告；

（4）汇报PPT：项目介绍、关键技术介绍、性能指标等。

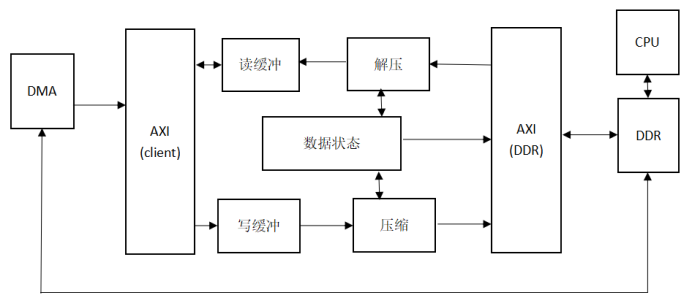
**六、评分标准**

注：1、初赛只评价软件算法和程序实现（对应下表1）；

       2、赛区决赛和总决赛评价下表所有项（其中1按照比例带入决赛）

|  |  |  |
| --- | --- | --- |
| **内容** | **分值** | **评分要求** |
| 1、算法 | 初赛：100  按照30%比例带入决赛(30) | 1、软件能对给定的测试图像（主办方提供）能正确执行压缩/解压；--20%  2、能对指定大小的线性数据块/二维数据块执行压缩/解压；--20%  3、能对4Byte~1KByte数据多次带压缩/解压读写；--20%  4、比较压缩率，按照压缩率从大到小赋分；--30%  5、提交的相关文档清晰明了；--10% |
| 2、功能单元的verilog实现 | 40 | 1、与软件算法实现的一致性；--30%  2、比较延时大小，小者优先；（延时是指读回待压缩数据到压缩数据写出和读回已压缩数据到解压完数据写出）--10% |
| 3、压缩数据块支持 | 12 | 支持AXI数据位宽和压缩数据块大小种类多者优先；（共3+3=6种，每支持一种加2分） |
| 4、FPGA验证 | 10 | 系统运行正确；最高运行频率高者优；综合后占用逻辑资源少者优 |
| 5、设计文档和现场答辩 | 8 | 文档规范，详细完整，现场答辩清晰。 |

**七、附图：总体结构**



**八、注意事项：**

1. 参加企业命题杯赛的作品，杯赛出题企业有权在同等条件下优先购买参加本企业杯赛及单项奖获奖团队作品的知识产权。

2. 大赛组委会和杯赛企业对参赛作品提交的材料拥有使用权和展示权。

3. 参赛项目可以参考现有公开发表的文献和论文内容，但应当在技术论文和答辩PPT中注明来源，且不能将参考的内容作为自己作品的创新部分。