**[芯原杯](http://univ.ciciec.com/nd.jsp?id=555" \l "_jcp=1)**

**一、杯赛题目：基于芯原DSP核的智能语音识别SoC设计**

**二、参赛组别：A组、B组**

**三、赛题背景：**

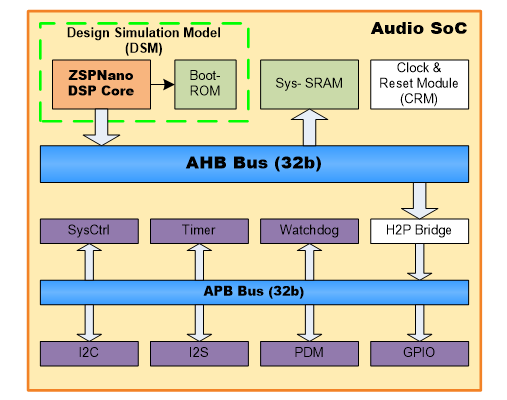
基于芯原自主半导体IP搭建的技术平台，可以快速设计出满足不同应用的SoC产品，实现自主可控国产SoC芯片，帮助缩短产品的上市时间。

**四、赛题任务：**

本课题要求参赛选手在基于芯原自主DSP(数字信号处理器)核ZSPNano的语音处理SoC设计平台上设计具备智能语音处理的SoC。配合现有的平台，要求选手设计满足需求的AHB和APB总线，实现音频数据输入、输出。

具体要求如下：

1. 下载芯原基于ZSPNano的语音处理SoC设计平台，系统框图如下：



(1) ZSPNano处理器及Boot ROM；（下载包提供DSM）

(2) System SRAM缓存；（下载包提供仿真模型）

(3) AHB Bus，APB Bus及AHB2APB Bridge；（要求选手自行设计）

(4) APB外设接口；（下载包提供PDM，I2S，GPIO，I2C及Timer，Watchdog，SysCtrl）

(5) Clock & Reset控制模块；（下载包提供系统所需的Clock和Reset）

2. 基于上述基础平台，选手根据下载包提供的SoC design Spec完成设计任务。包括：

(1) 设计SoC系统AHB-Lite总线：1x Master，2x Slaves；

(2) 设计SoC系统APB总线：可支持7 APB外设；

(3) 设计AHB到APB的转接bridge。

3. 基于平台，选手根据下载包提供的DV Plan，编写C测试用例完成SoC验证任务。包括：

(1) 验证完成规定的GPIO点灯仿真；

(2) 验证完成Watchdog喂狗使SoC可以正常运行；

(3) 验证使用SysCtrl配置改变I2C，PDM，I2S的时钟频率；

(4) 验证用I2C配置PDM数字Microphone model输出数字音频数据到SoC；

(5) 验证基于Timer定时的从PDM接口接收音频数据到Sys-SRAM，然后把Sys-SRAM的数据从I2S接口输出的功能验证；

(6) 系统从低功耗Sleep模式进行智能语音唤醒的全过程性能验证并评估性能指标；

**五、提交内容：**

1. 设计报告

(1) 作品展板与PPT，至少包括：团队介绍、项目心得体会、项目研发情况、技术创新点、后续工作；

(2) 设计报告，至少包括：项目背景、设计功能介绍、架构划分、接口及时序描述；

(3) 验证报告，至少包括：验证场景的配置、验证场景的运行描述、验证结果的输入输出波形。

2. 设计数据

(1) 设计RTL代码；

(2) 验证C代码；

(3) 仿真结果波形；

3. 现场答辩和演示

**六、评分标准：**

|  |  |  |  |
| --- | --- | --- | --- |
| 内容 | 分值 | 评分依据 | 评分阶段 |
| 完成AHB-Lite Bus设计 | 10 | 1） 根据Design Spec规定的memory mapping，完成AHB-Lite RTL设计；（5分）  2）AHB-Lite可以实现对Sys-SRAM和APB Bus访问；（5分） | 纳入一、二、三阶段评分 |
| 完成APB Bus及H2P Bridge设计 | 10 | 1） 根据Design Spec规定的memory mapping，完成APB Bus 和H2P Bridge RTL设计；（5分）  2）APB Bus可以实现对APB外设的访问；（5分） | 纳入一、二、三阶段评分 |
| 完成功能的验证及结果输出 | 30 | 1） 仿真波形输出规定的GPIO点灯效果；（5分）  2）仿真波形显示Watchdog中断，喂狗，系统未被Watchdog复位的完整过程；（5分）  3）仿真波形显示通过SysCtrl配置改变I2C，PDM，I2S时钟频率；（5分）  4) 仿真波形显示用I2C配置PDM数字Micphone model输出特定的音频数据；（5分）  5) 通过Timer定时，从PDM接口采集规定的音频数据并保存到Sys-SRAM；（5分）  6) 通过Timer定时，把保存在Sys-SRAM的音频数据通过I2S接口输出到Checker；（5分） | 纳入一、二、三阶段评分 |
| 完成性能的验证及结果输出 | 20 | 1) ZSPNano设置外设Clock Gating进入低功耗模式（PDM除外）， 然后ZSPNano也进入Sleep模式等待唤醒；（5分）  2）通过PDM数字Microphone输入关键字，当PDM的内部FIFO接收到数据之后通过中断唤醒ZSPNano对关键字进行识别，如果关键字是“Hello VeriSilicon”，ZSPNano唤醒整个系统，并通过I2S接口输出特定采样率的音频，表示系统唤醒成功；否则，关键字识别失败，系统继续返回低功耗Sleep状态；（10分）  3）通过仿真评估每次关键字识别进行系统唤醒所需要的时间（包括不成功返回睡眠）；（5分）  4）通过逻辑综合结果，试着分别评估系统睡眠和唤醒模式的功耗（仅考虑数字逻辑部分）；（5分） | 纳入二、三阶段评分 |
| 创新性及系统性能优化 | 15 | 1）设计思路或实现方法具有新颖性或独到之处；（5分）  2）对性能或可靠性方面有明显的改进和提升；（5分）  3）实现同样的功能需要的面积更小或者更低的功耗；（5分） | 纳入三阶段评分 |
| 项目展示 | 10 | 1) 技术报告内容充实，思路清晰；（5分）  2) PPT、展板内容完整，制作精美，展示描述可读性强；（5分） | 纳入一、二、三阶段评分 |
| 答辩及现场演示 | 5 | 1) 答辩及现场演示；（5分） | 纳入二、三阶段评分 |

注： 以上评分一阶段：初赛； 二阶段：分赛区决赛；三阶段：全国总决赛。

**七、参赛资源说明：**

学生可以根据需要自行选择和使用合适的EDA软件进行设计工作，大赛组委会和杯赛企业不提供EDA软件。

**八、注意事项：**

1. 参加企业命题杯赛的作品，需向杯赛方进行开源分享（包括设计源码）；

2. 大赛组委会和杯赛企业对参赛作品的提交材料拥有使用权和展示权，杯赛企业对参赛作品知识产权具有优先购买权；

3. 参赛项目可以参考现有公开发表的文献和论文内容，但应当在技术论文和答辩PPT中注明来源，且不能将参考的内容作为自己作品的创新部分。