实验一 基本门电路的设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法
2. 熟悉Verilog的基本语法
3. 熟悉Vivado开发平台
4. 掌握Logisim的使用

**二、实验内容（同时用Logisim和Vivado实现）**

1. 完成一个2输入门电路模块的设计（Verilog赋值语句和Logisim基础电路）。
2. 完成多个（4个以上）门电路之间的级联，形成一个完整的电路。
3. 在Vivado中完成一个工程的设计、编辑、综合和实现的全过程。
4. 掌握以上电路的程序结构和风格。
5. 观察和分析仿真波形，注重输入输出之间的时序关系。
6. 观察logisim真值表（选logisim可忽略3-5）

**三、实验要求**

1. 画出模块的电路图。
2. 分析电路的仿真波形。
3. 记录设计和调试过程。
4. **实验代码及结果**

**2输入与门：**

Design source：

module and21(D0,D1,Y);

input D0,D1;

output Y;

wire D0,D1,Y;

assign Y=D0&D1;

Endmodule

Simulation source：

module sim\_and21;

reg D0,D1;

wire Y;

initial begin

D0=0;D1=0;

#10 D0=1;D1=0;

#10 D0=0;D1=1;

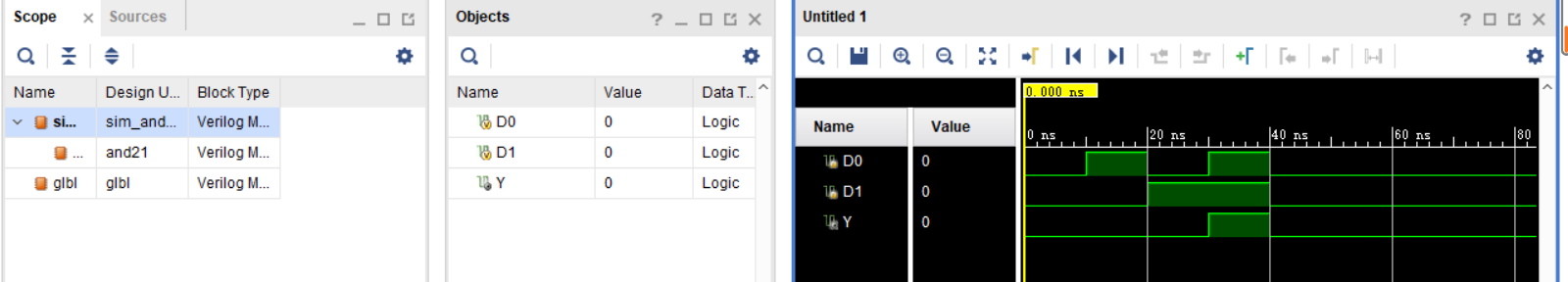
#10 D0=1;D1=1;

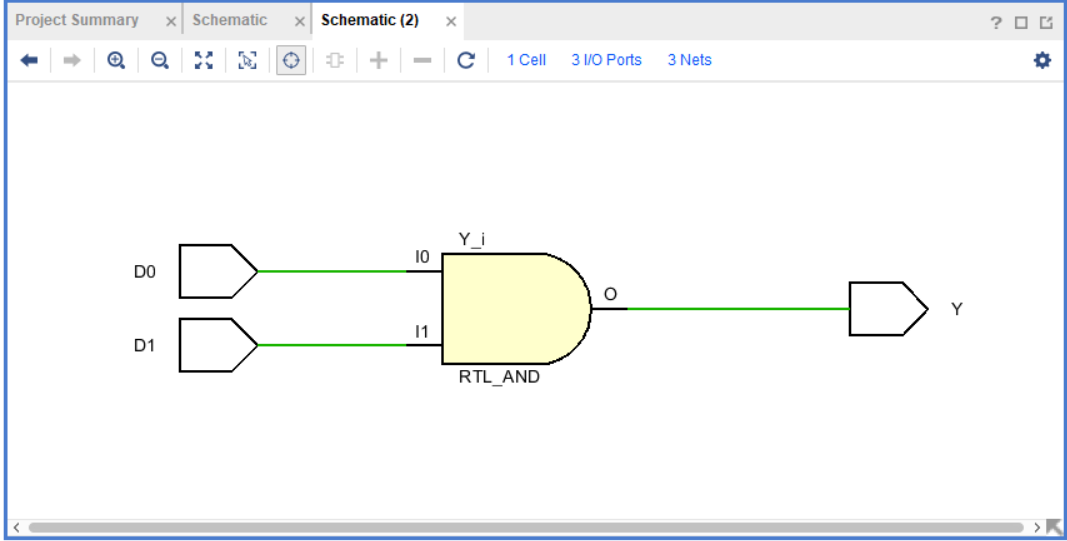
#10 D0=0;D1=0;

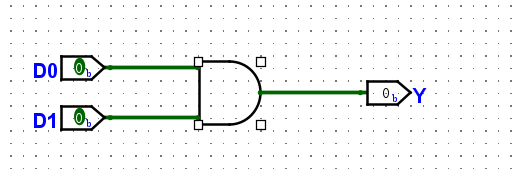
end

and21 and21t(D0,D1,Y);

endmodule







**多输入与门**

Design source：

module and61(

input D0,D1,D2,D3,D4,D5,

output Y

);

wire Y1,Y2,Y3,Y4;

and21 and21\_1(D0,D1,Y1),

and21\_2(D2,D3,Y2),

and21\_3(D4,D5,Y3),

and21\_4(Y1,Y2,Y4),

and21\_5(.D0(Y3),.Y(Y),.D1(Y4));

Endmodule

Simulation source：

module sim\_and61();

reg D0,D1,D2,D3,D4,D5;

wire Y;

integer i;

initial begin

D0=0;D1=0;D2=0;D3=0;D4=0;D5=0;

#5 {D0,D1,D2,D3,D4,D5}=6'b100000;

fork

forever #5 D1=~D1;

repeat(5) #10 D2=~D2;

join

end

initial fork

while(1) begin #15 D3=~D3;end

for(i=0;i<10;i=i+1) #20 D4=~D4;

join

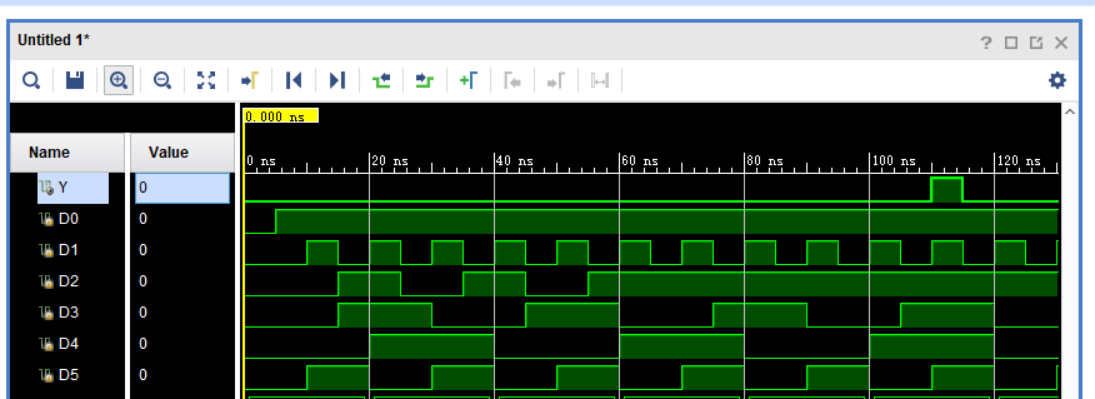
always begin

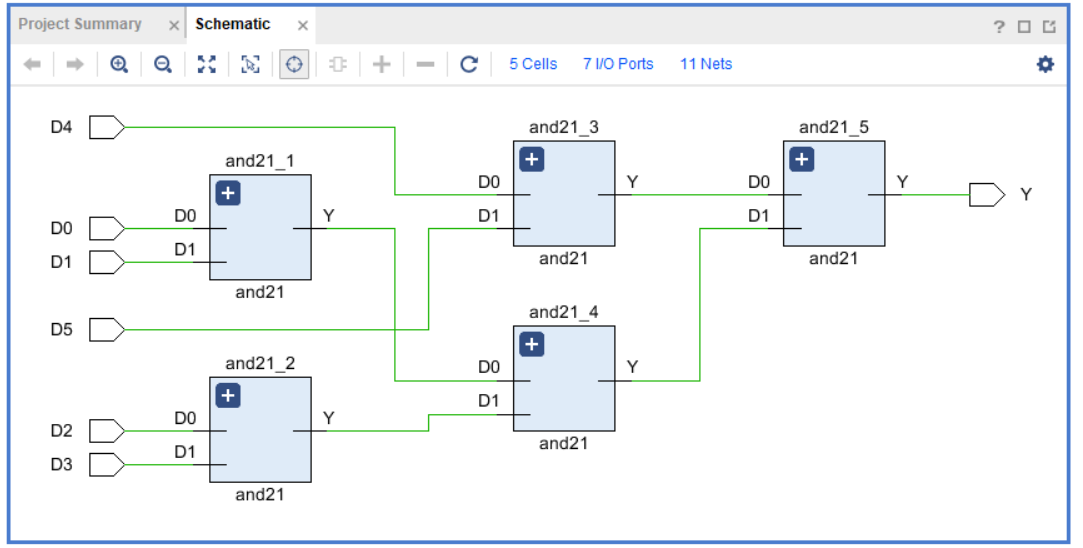
#10 D5=~D5;

end

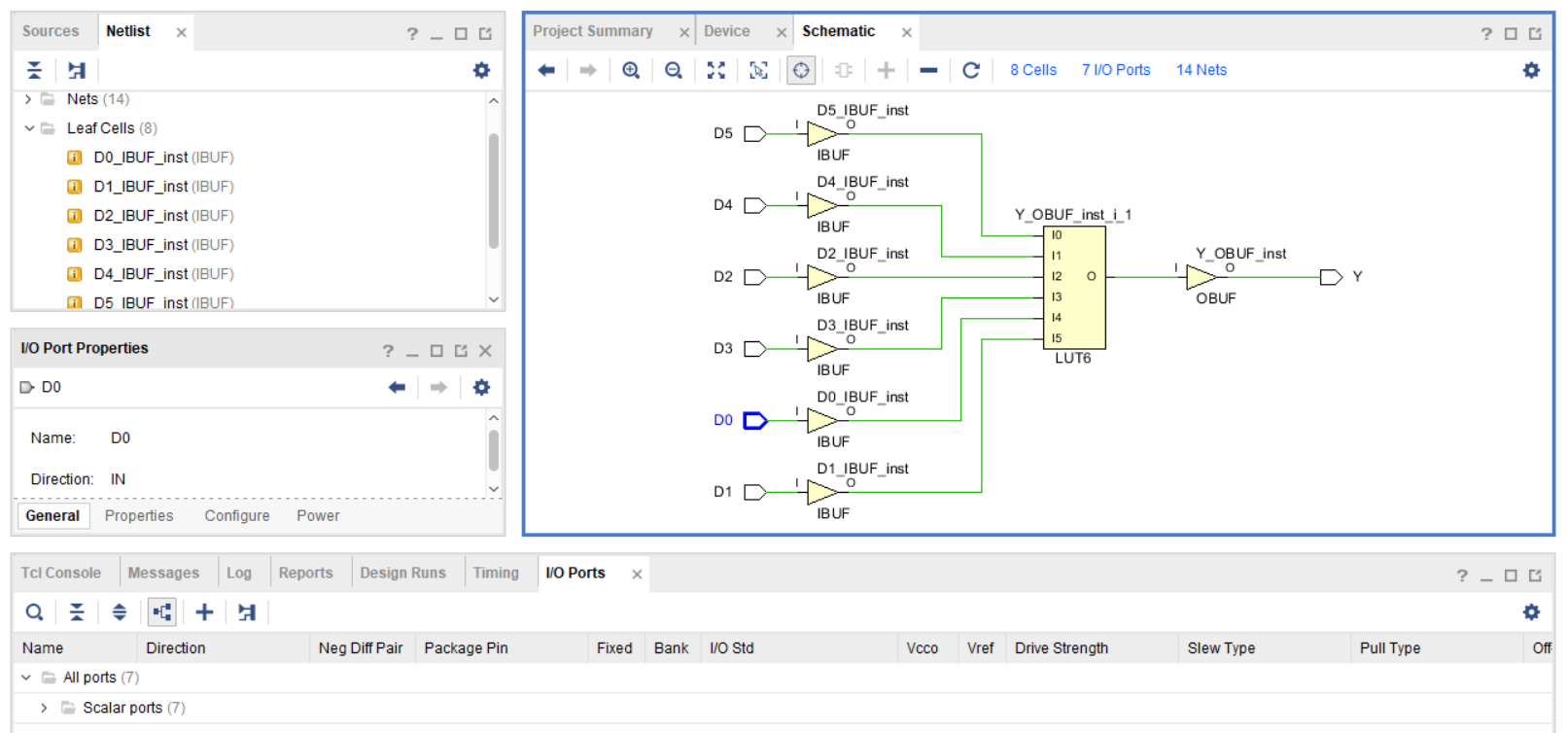
and61 and61\_1(D0,D1,D2,D3,D4,D5,Y);

endmodule





完成一个工程



**五、调试和心得体会**

经过数电实验之后有过vivado使用经验，对Verilog有一定的理解，在完成运行ppt中给出的代码并成功实现之后，为了对verilog有更好的掌握，自己分别对与或非，与非门等进行了实现，观察并且分析生成的仿真波形。在时间充足的情况下也掌握了logisim的一些基础操作。