实验二 基本功能模块程序设计

**一、实验目的**

1. 掌握Verilog语言框架，编程及调试的方法。
2. 熟悉Verilog的基本语法。
3. 掌握Verilog中时序模块电路的设计方法。
4. 熟悉Verilog中层次结构的设计方法。
5. 掌握Logisim的使用。

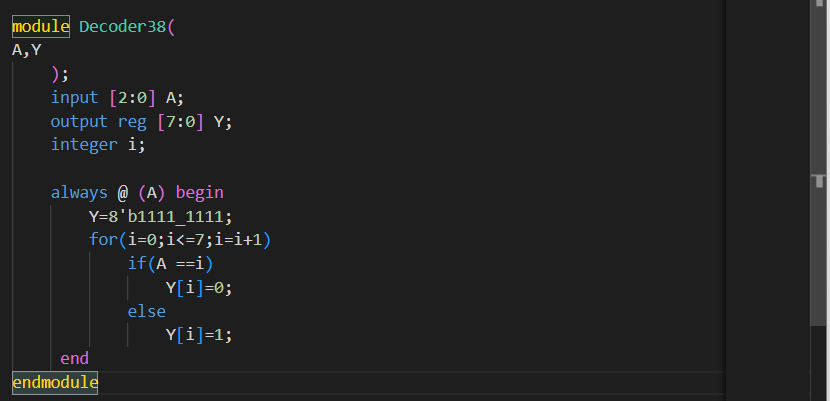
**二、实验内容（同时用Logisim和Vivado实现）**

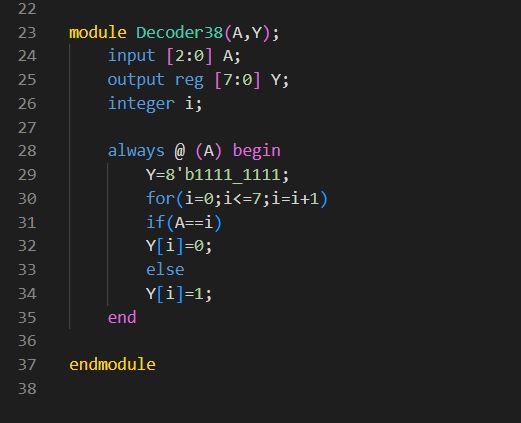
1. 完成编码器、译码器等功能。
2. 完成一个触发器电路模块（使能端、复位）的设计。
3. 完成寄存器和移位寄存器（循环移位）电路模块的设计。
4. 完成各种数字（个人学号末两位）进制的计数器。
5. 掌握以上电路的程序结构和风格。
6. 观察和分析仿真波形，注重输入输出之间的时序关系。

**三、实验要求**

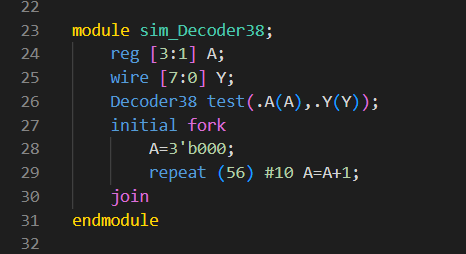
1. 画出模块的电路图。
2. 分析电路的仿真波形。
3. 记录设计和调试过程。
4. **实验代码及结果**

**38译码器**

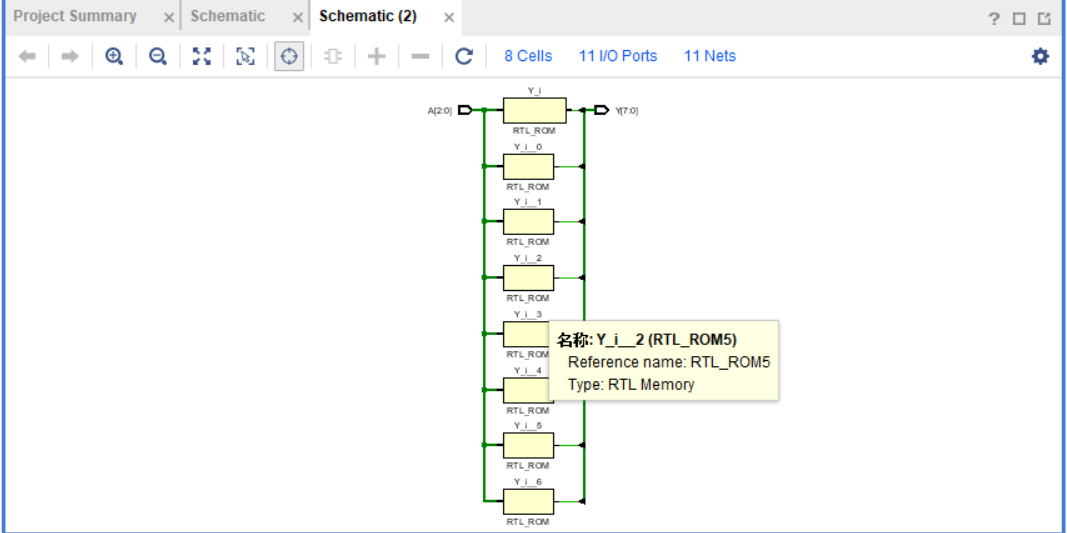




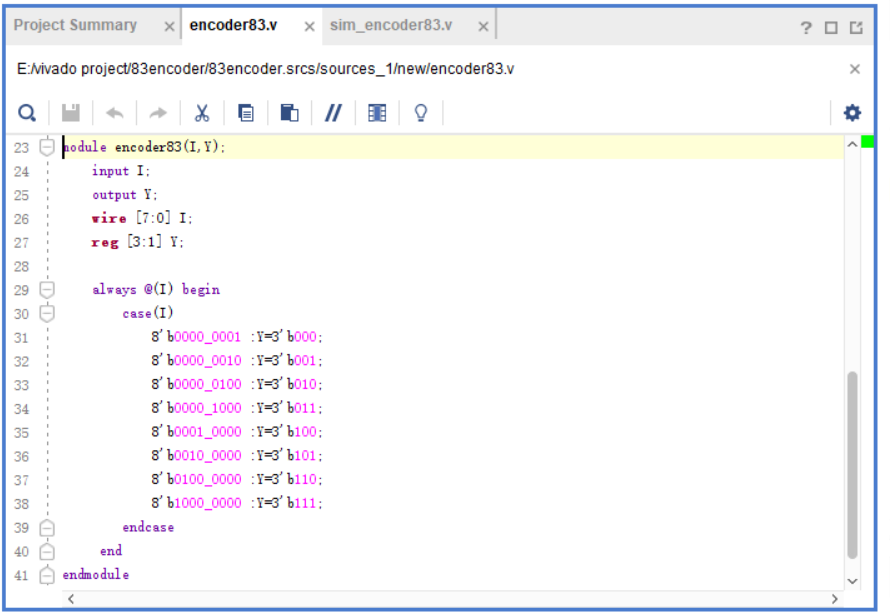
测试文件：

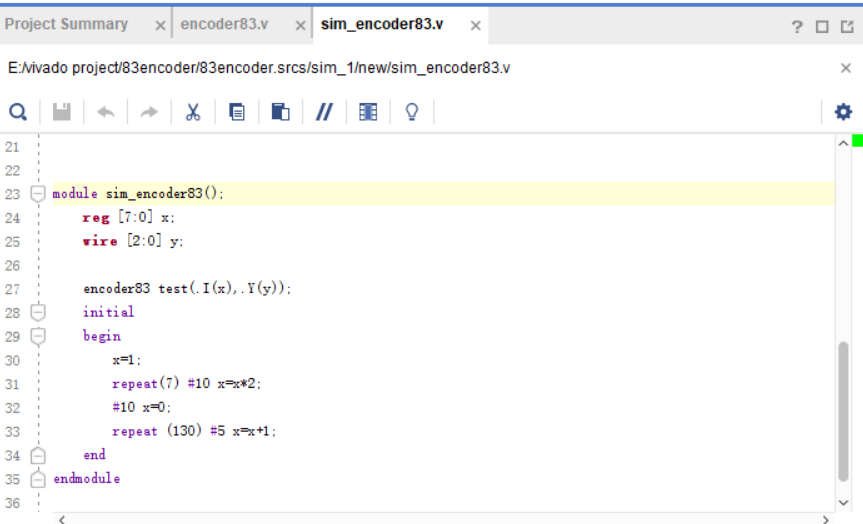


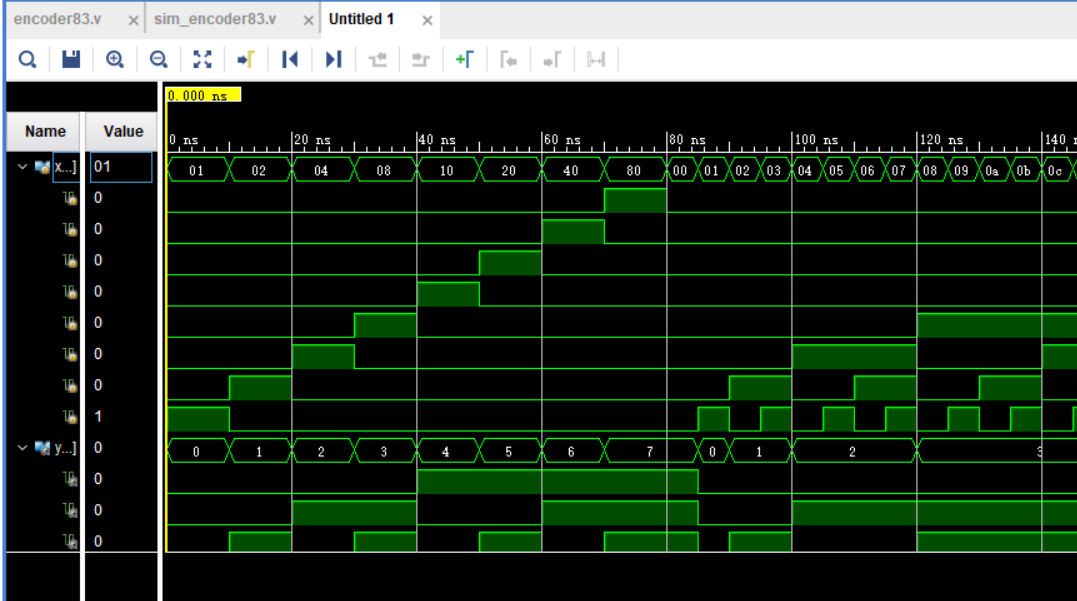




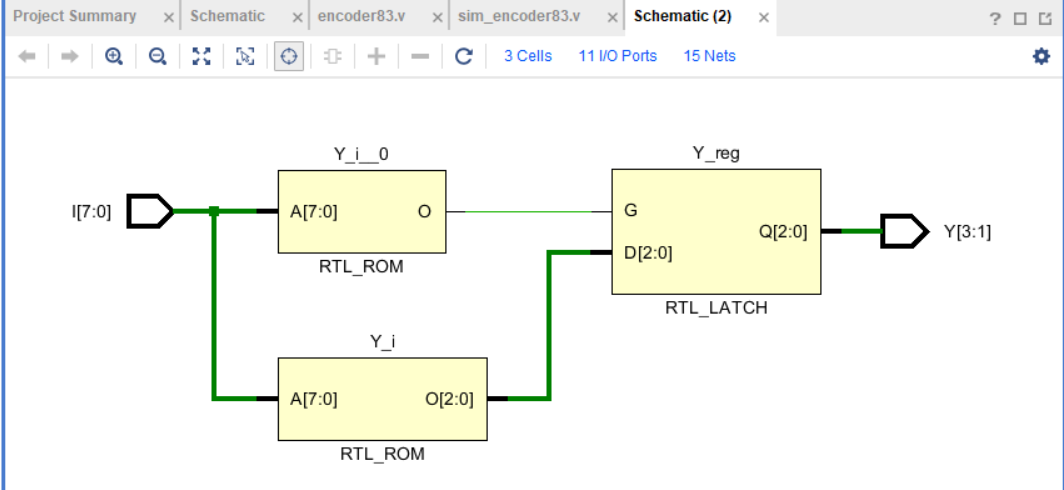
83编码器

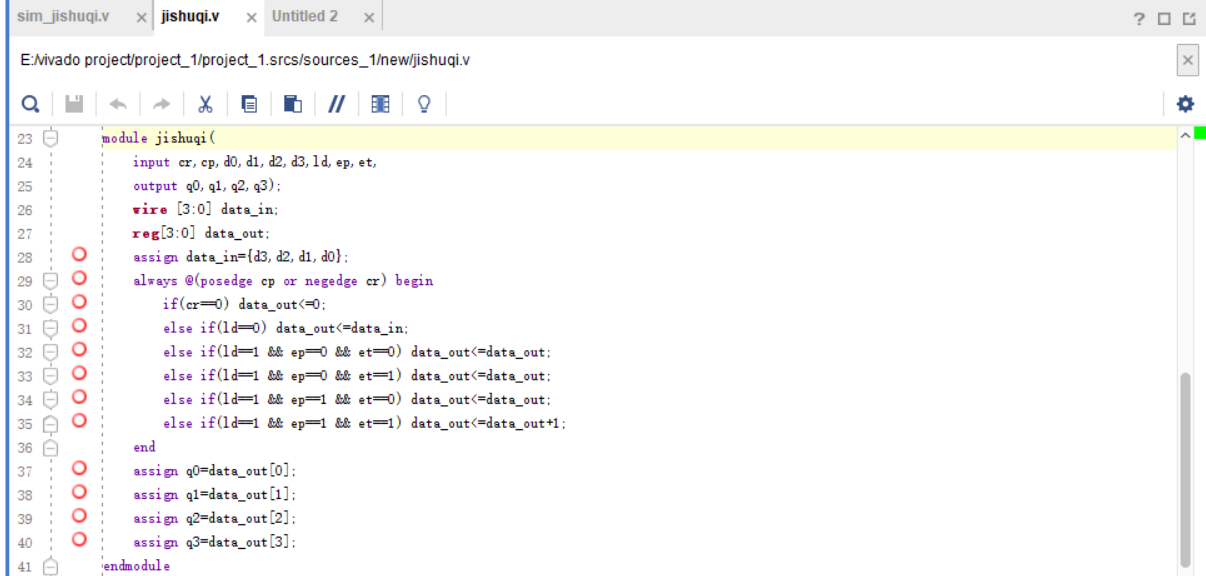
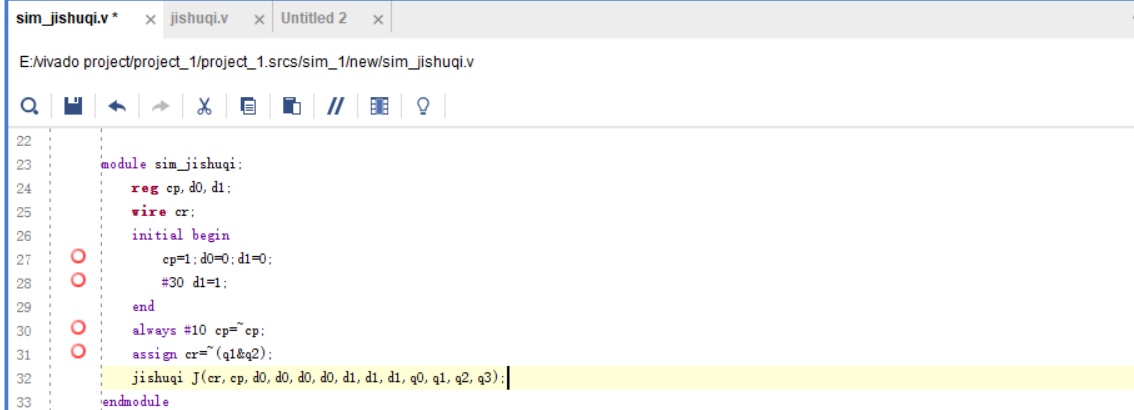






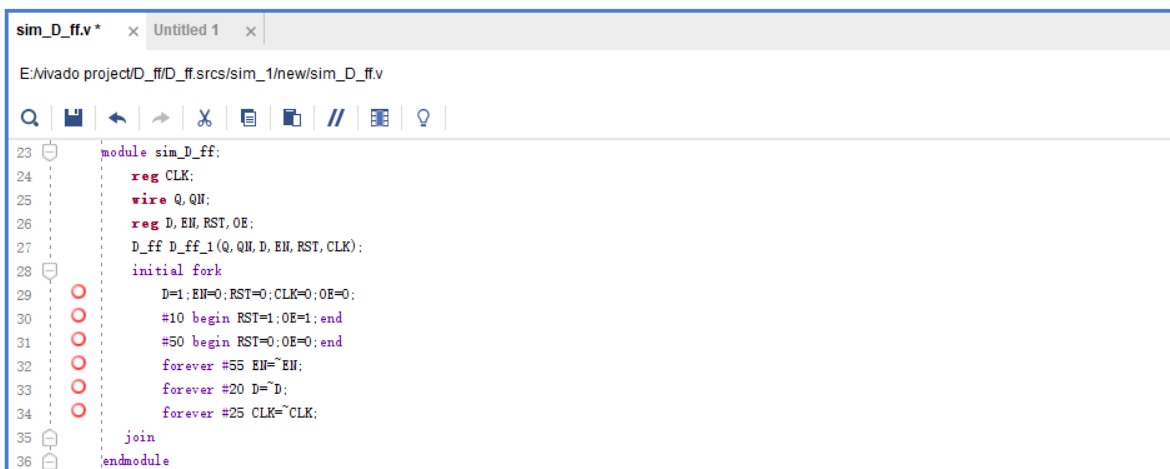
计数器

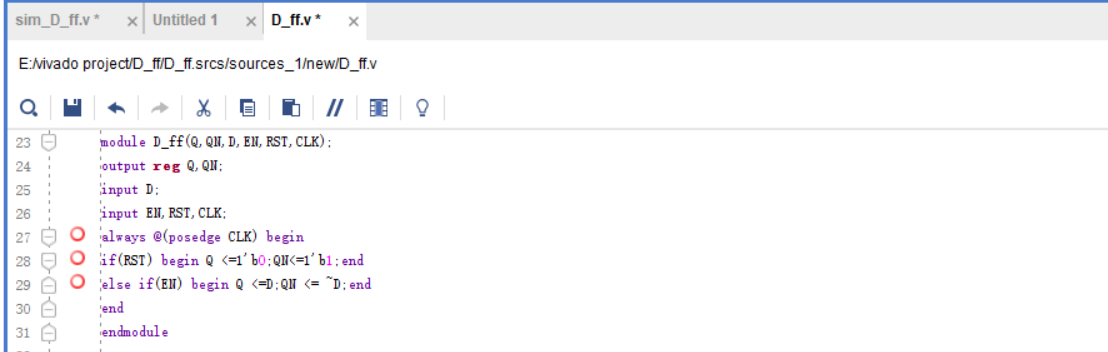


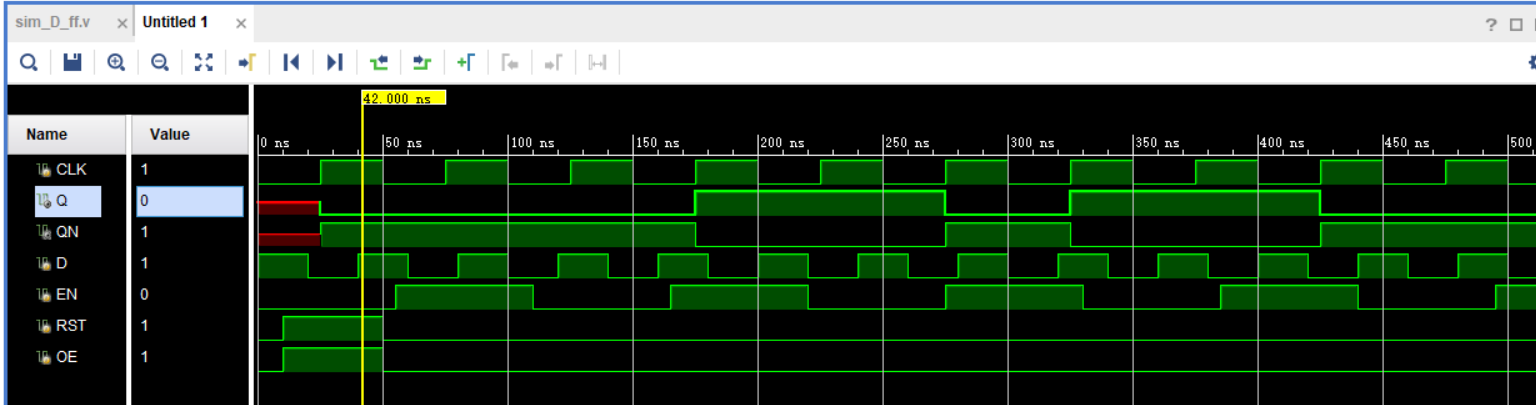
  


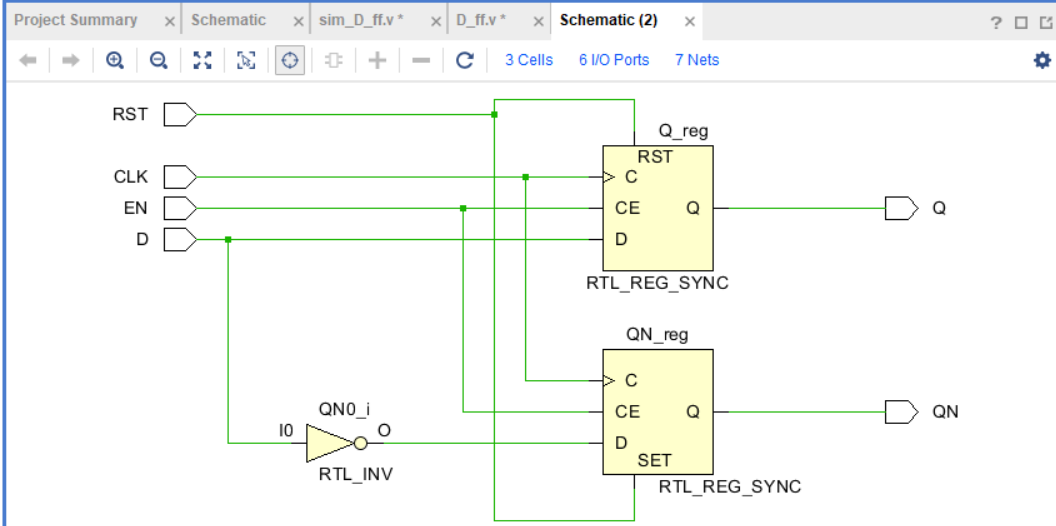


D触发器



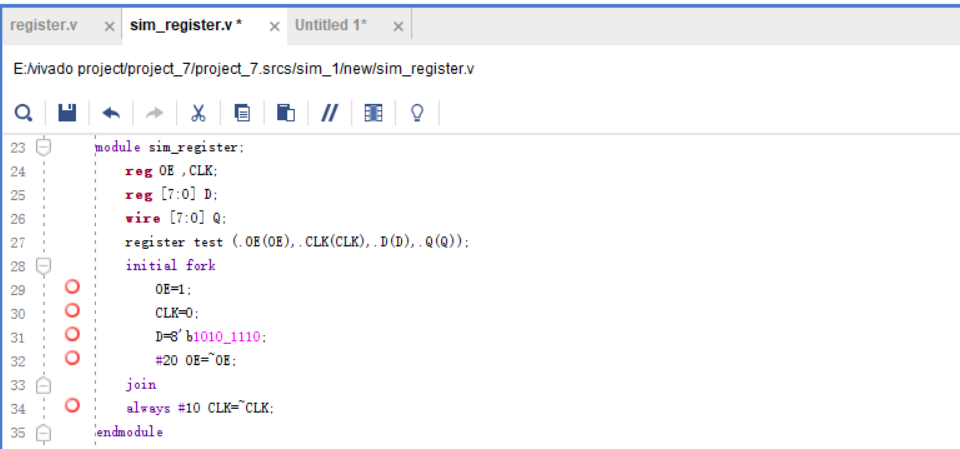


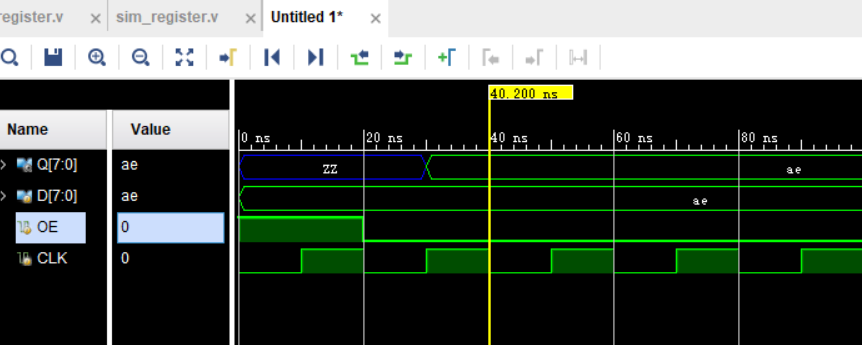


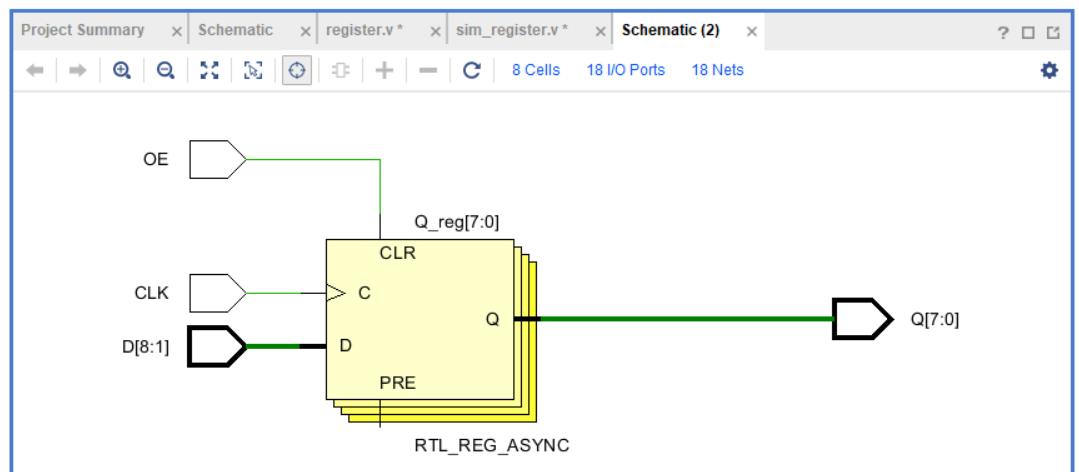


寄存器









**五、调试和心得体会**

有了之前的基础和老师的帮助，这次的实验进行起来比上一次好了很多，实验内容也轻松了很多。在编写计数器时在网上搜索了一些教程才得以实现。