实验三 层次结构设计方法及应用

**一、实验目的**

1. 进一步掌握Verilog中的基本语法和语句。
2. 熟悉Logisim软件的使用。

**二、实验内容**

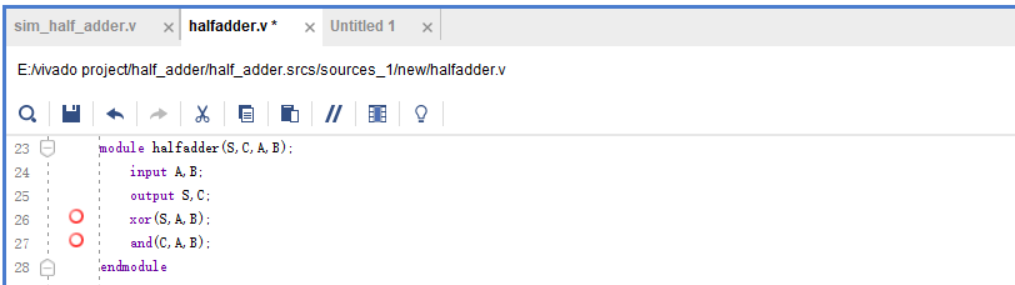
1. 掌握Verilog三种描述方式的使用。
2. 完成1位半加器、32位全加器模块的设计。
3. 设计一个基本的32位算术逻辑运算（ALU）模块。
4. 观察记录分析仿真波形。
5. 或者在Logisim中完成设计并验证。

**三、实验要求**

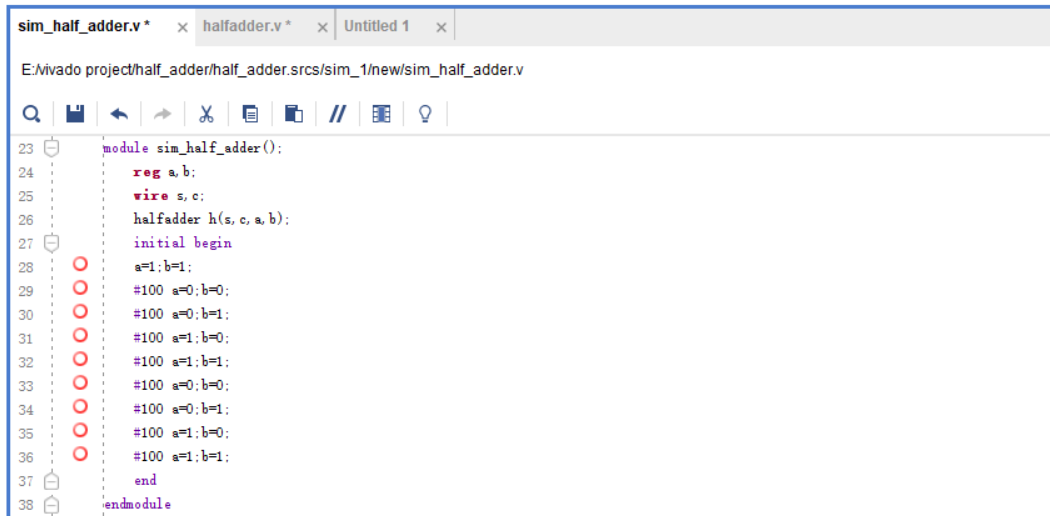
1. 画出模块的电路图。
2. 分析电路的仿真波形/真值表，标出关键的数值。
3. 记录设计和调试过程。
4. **实验代码及结果**

半加器

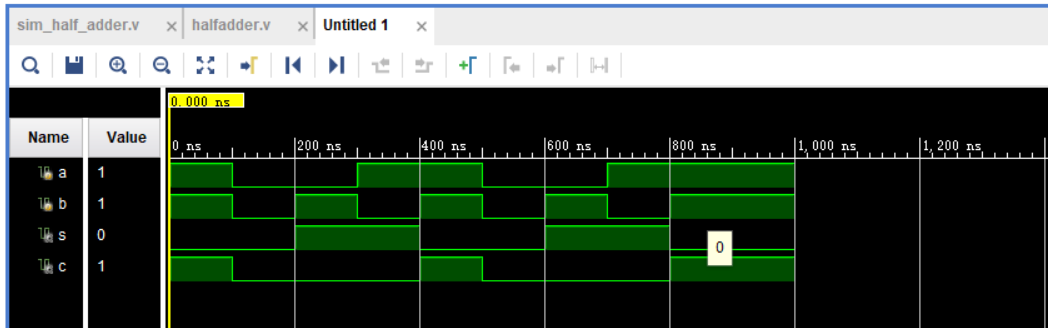
Design



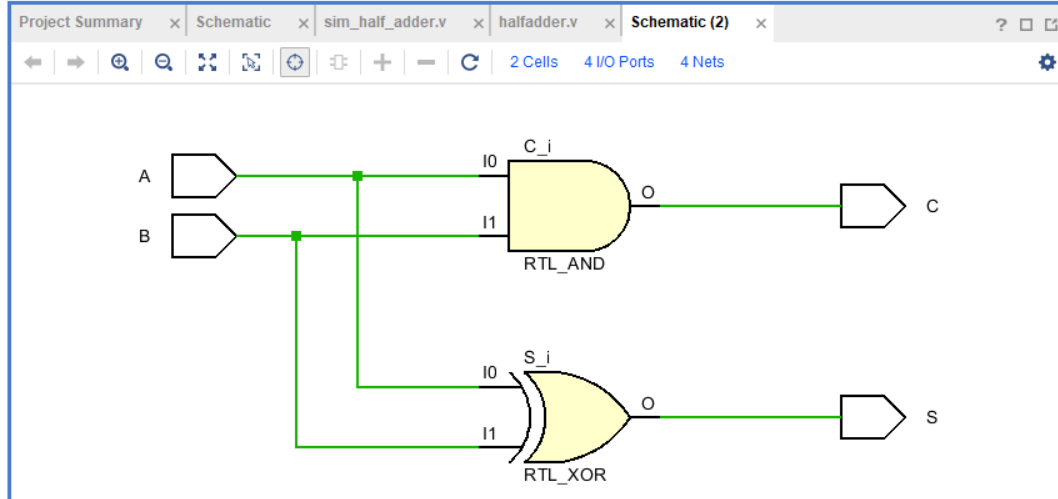
simulation



仿真



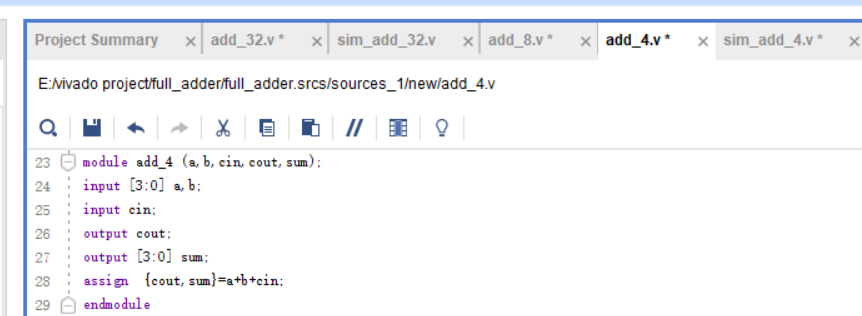
模块



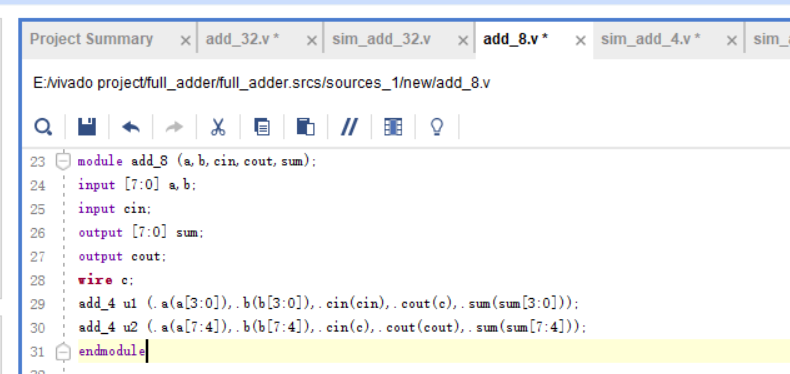
全加器

Degin

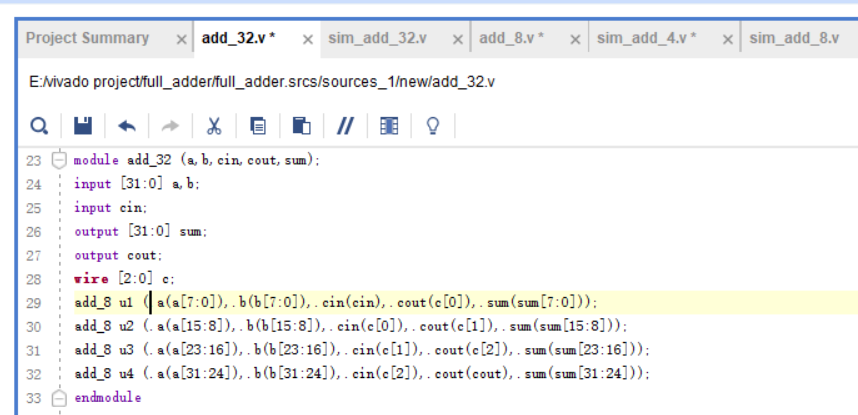
4位



8位

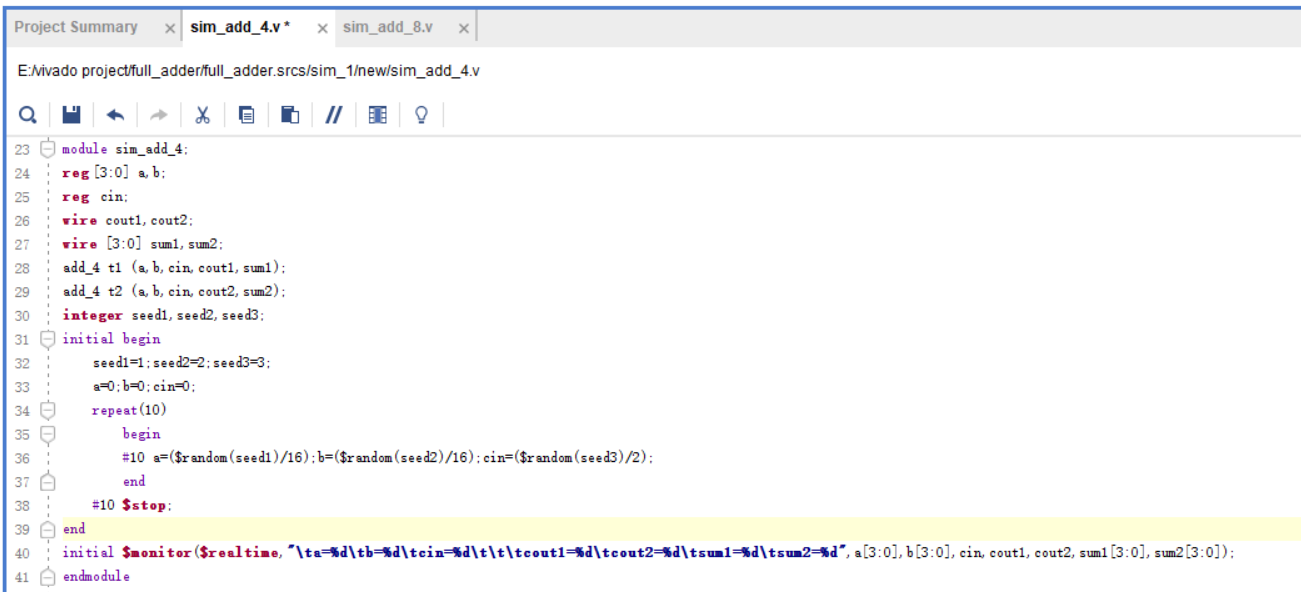


32位

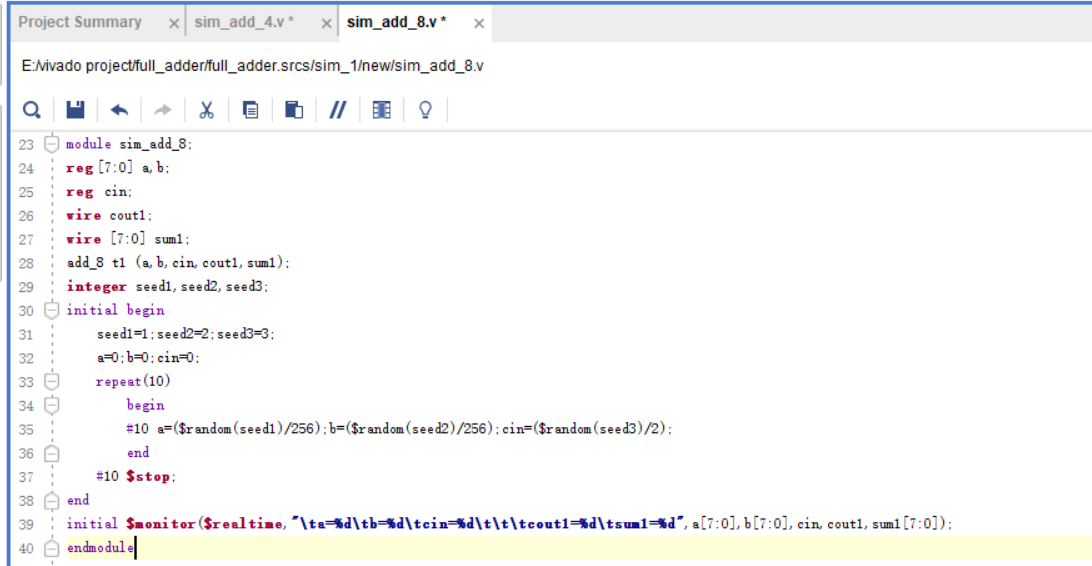


Simulation（注：本次实验全加器的仿真代码有借鉴网上教程）

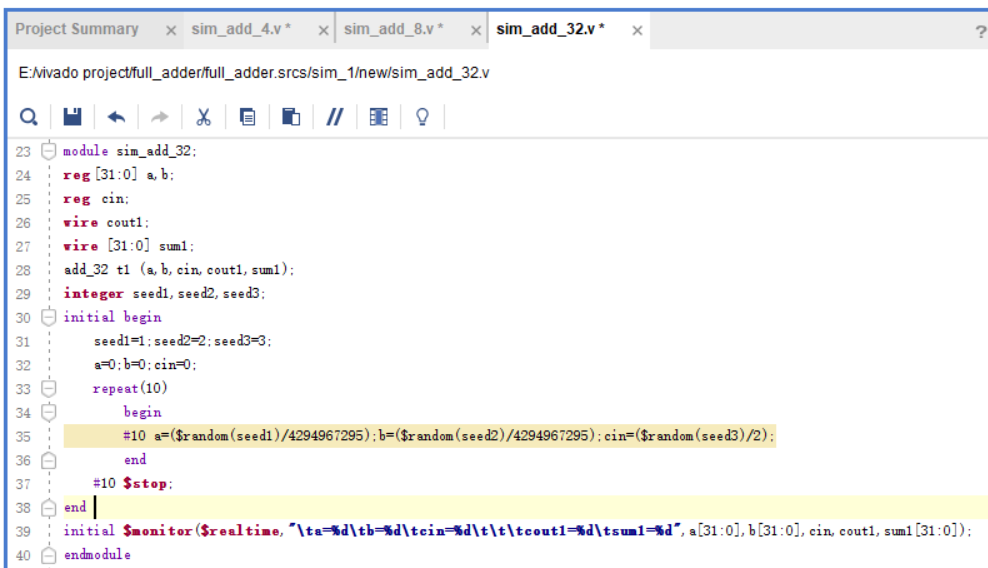
4位



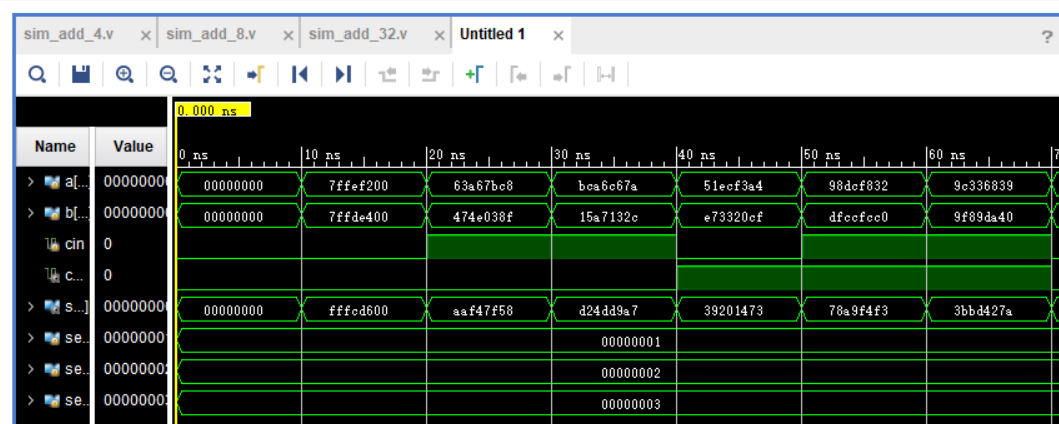
8位



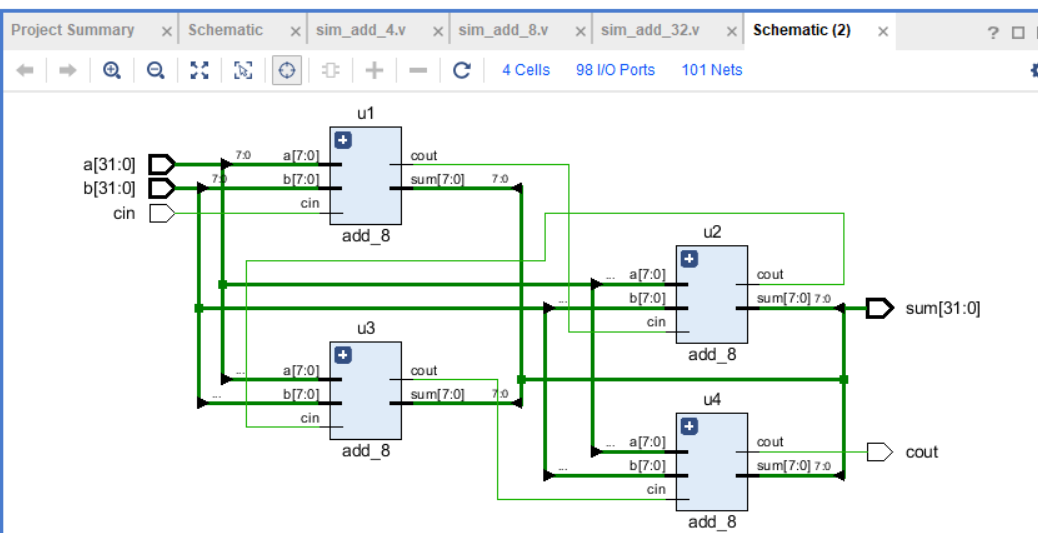
32位：



仿真

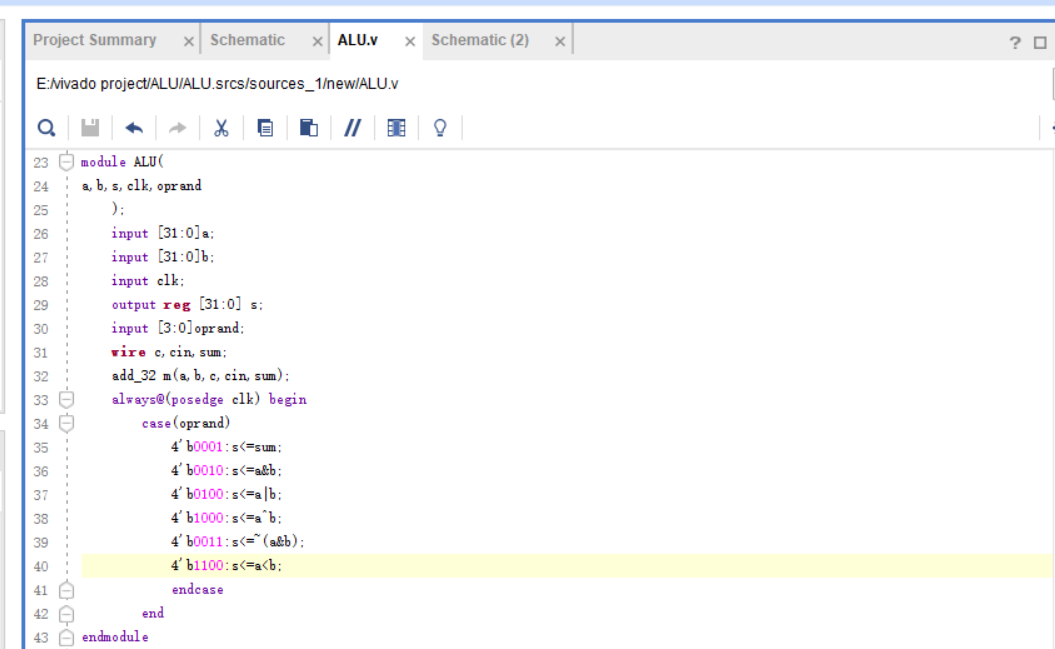


模块

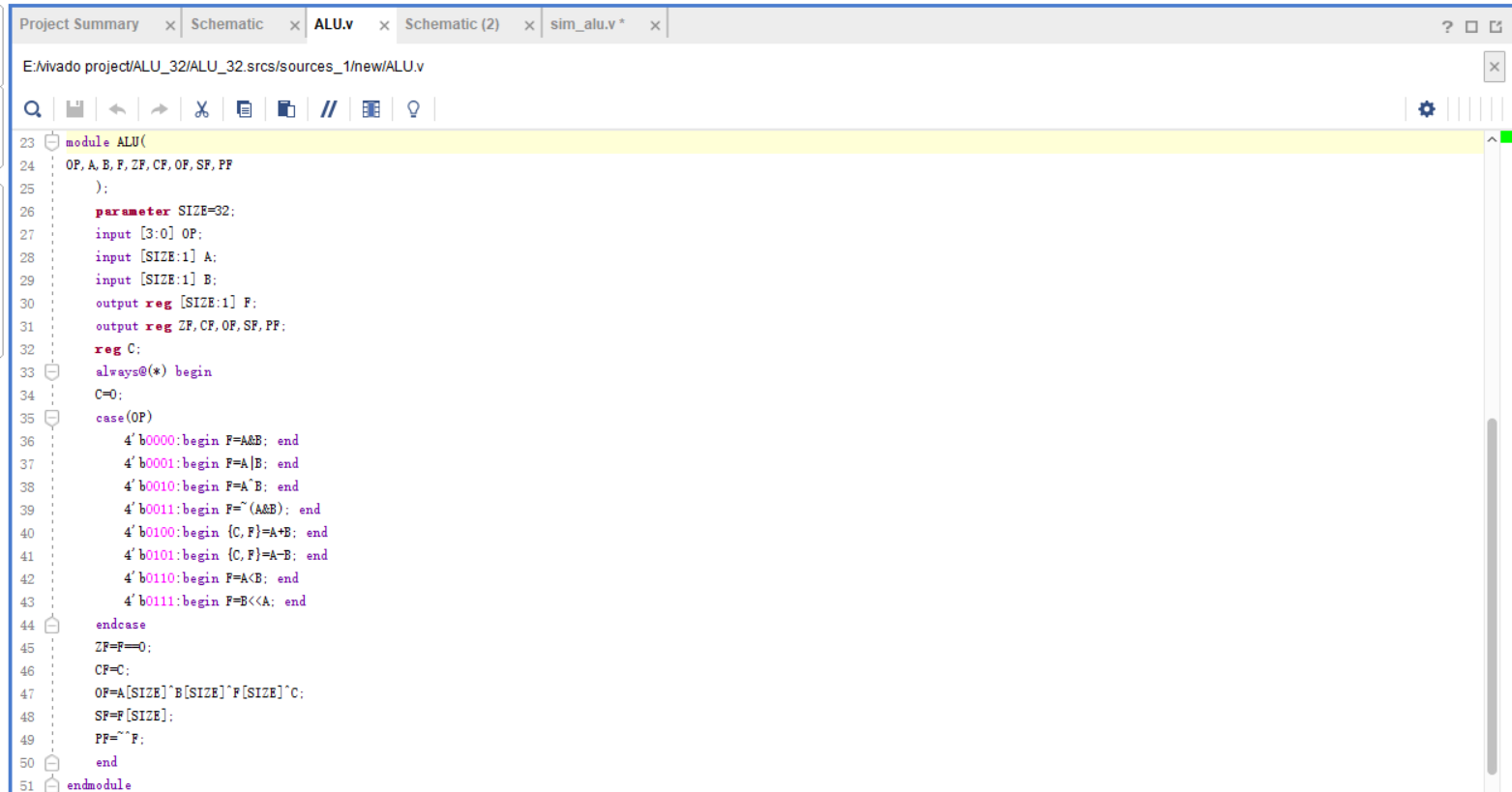


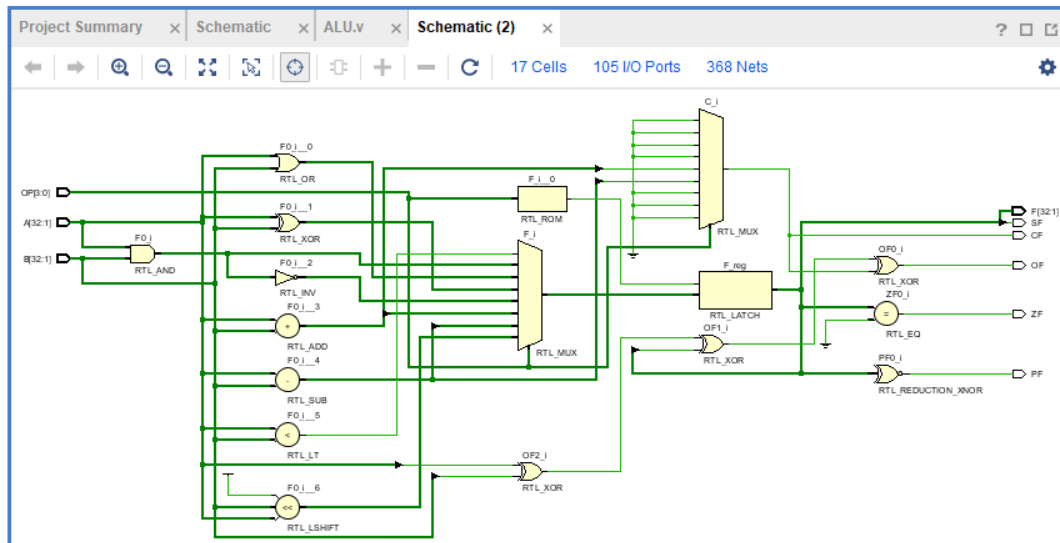
ALU

design



Simulation





**五、调试和心得体会**

通过本次实验，对设计文件和仿真文件的理解更加深刻，遇到不会写测试文件问题时通过网上搜了教程知道该如何去写。