实验四 存储器模块的设计及应用

**一、实验目的**

1. 掌握Verilog语言框架、编程和调试方法。
2. 掌握Verilog中的存储器电路工作原理。
3. 掌握存储器的实际应用。
4. 掌握Logisim中存储模块的使用。

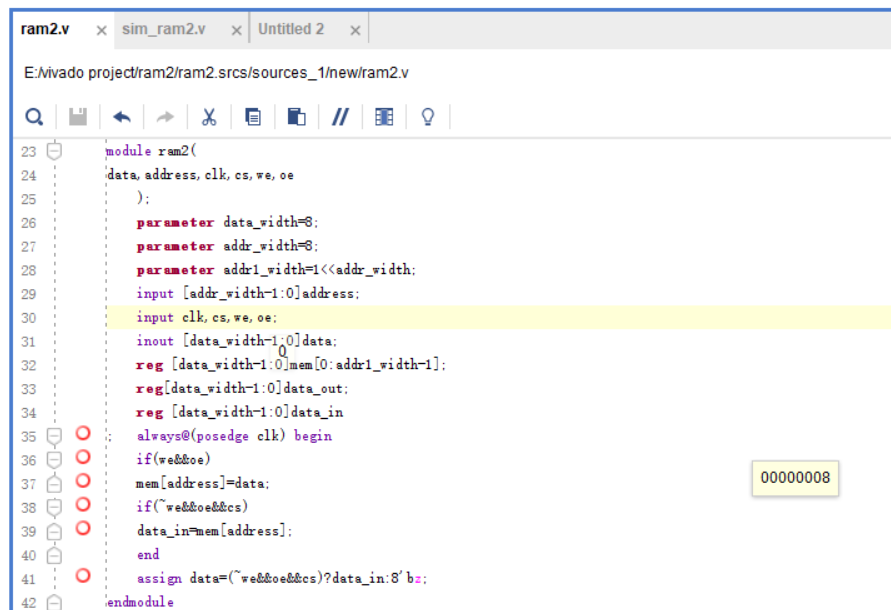
**二、实验内容**

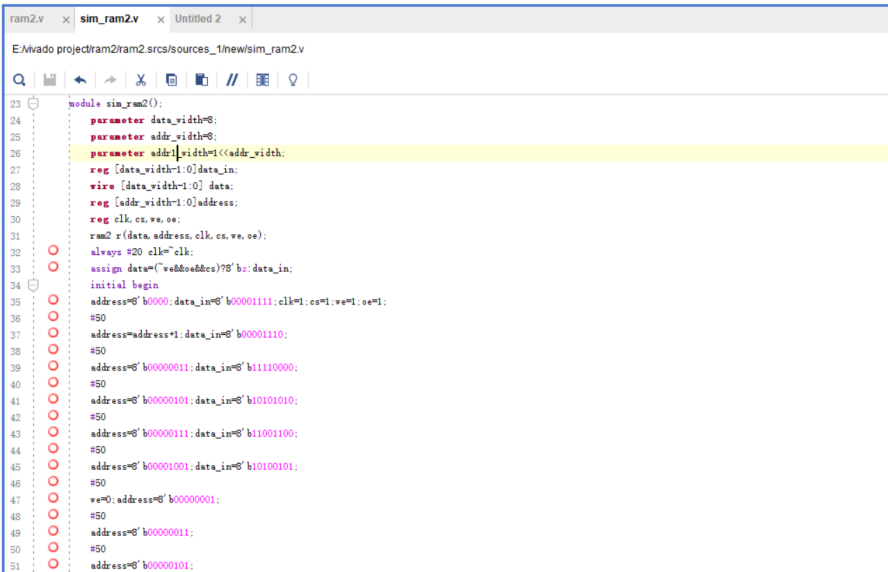
1. 设计一个静态存储器RAM，容量为256\*32bit。
2. 建立存储器的访问所需要的各种信号。
3. 对存储单元0#,1#,3#,5#,7#,9#进行读写操作。
4. 设计一个寄存器组，10\*32bit。
5. 观察、记录和分析仿真波形（Verilog）。
6. 测试电路输入输出正确性（Logisim）。

**三、实验要求**

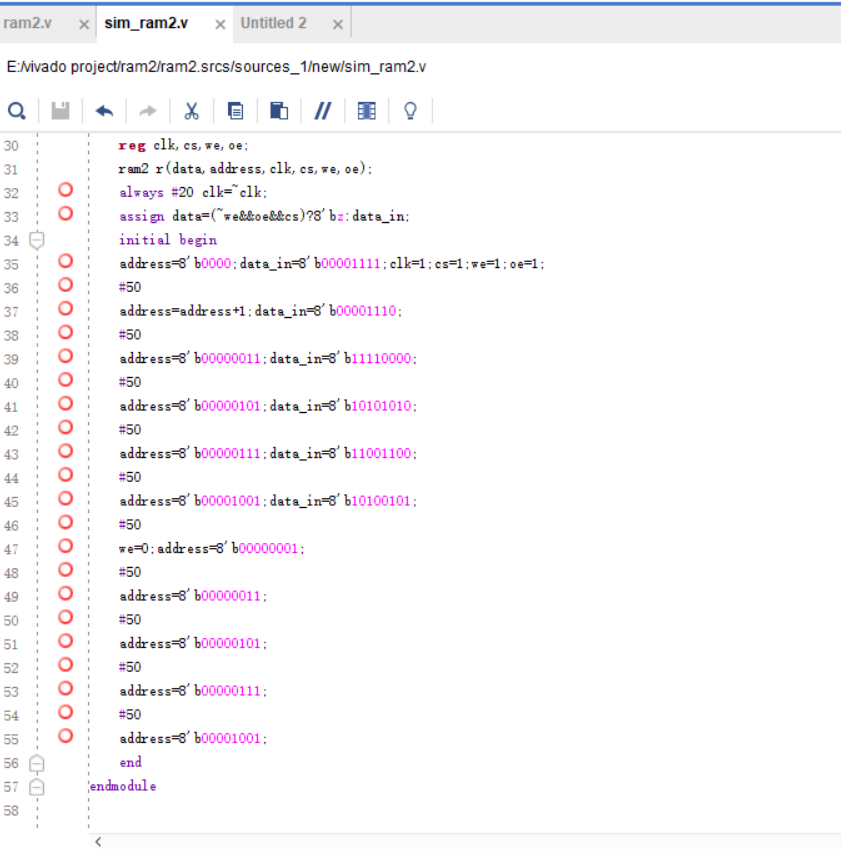
1. 分析模块的结构，画出其流程图。
2. 画出模块的电路图。
3. 分析电路的仿真波形，标出关键的数值（或在Logisim中完成验证）。
4. 记录设计和调试过程。
5. **实验代码及结果**

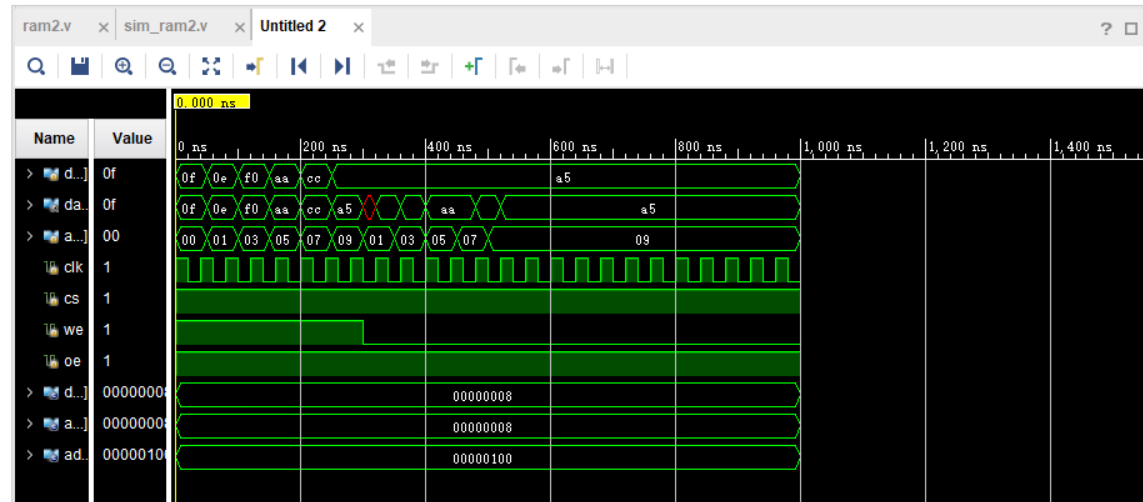
Design

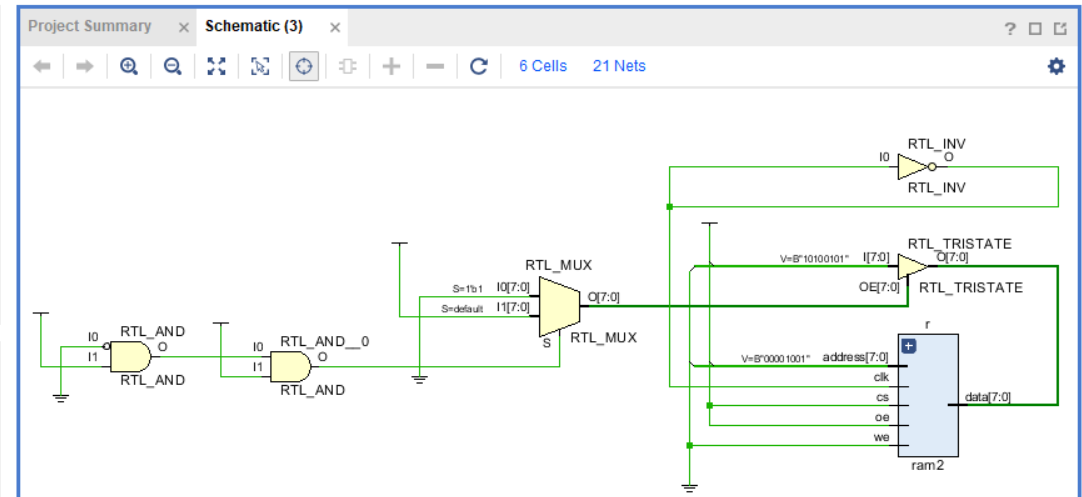




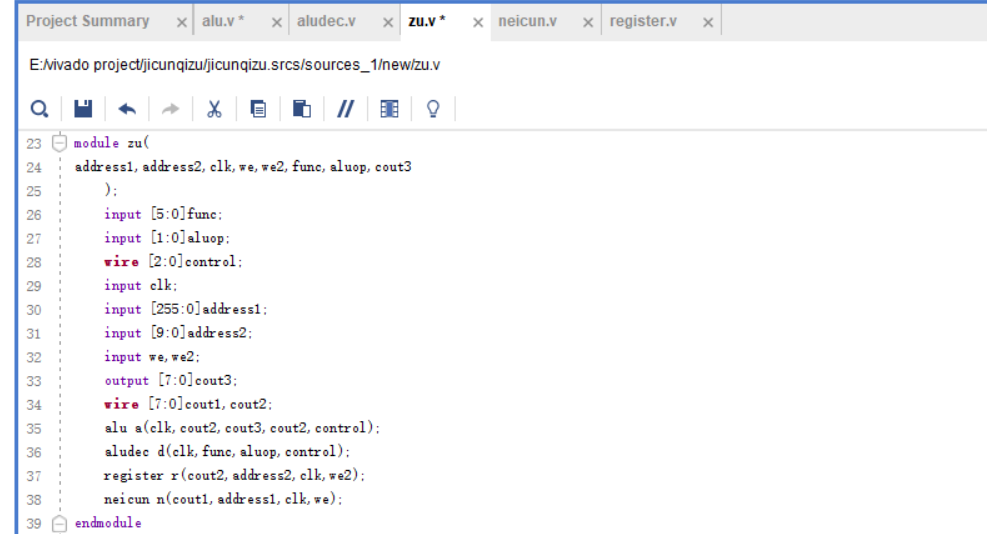
Simulation

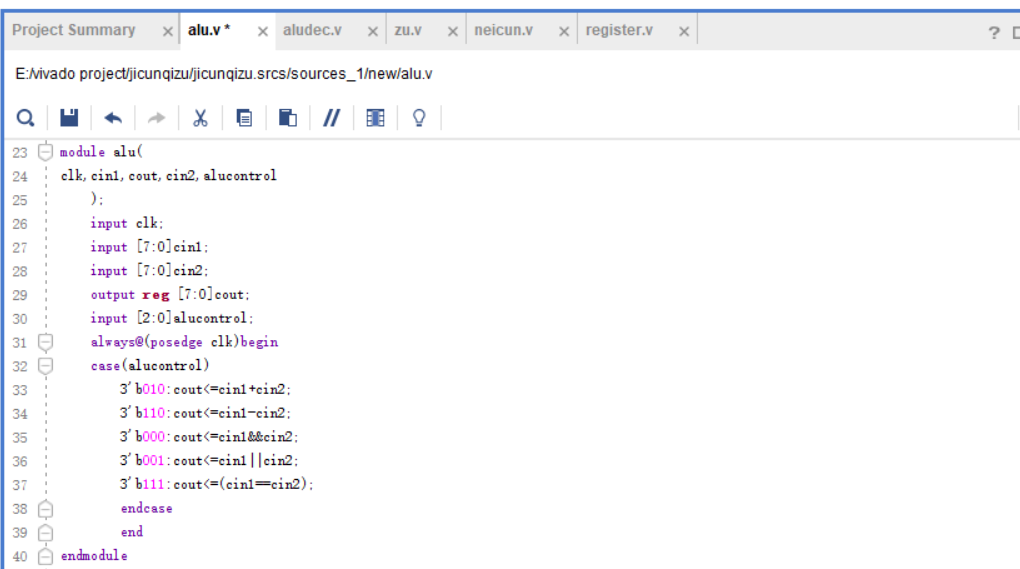


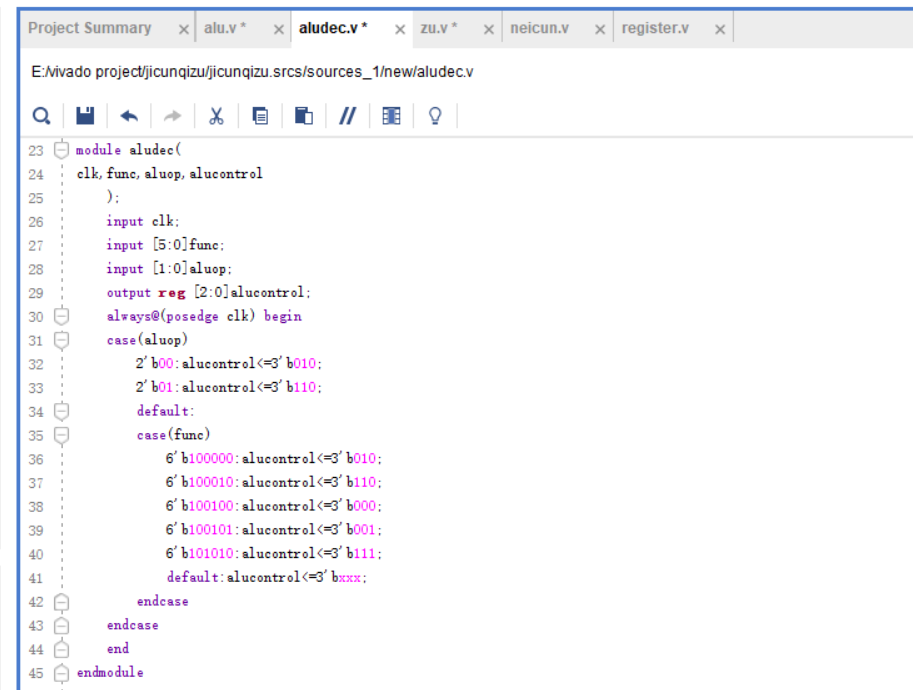


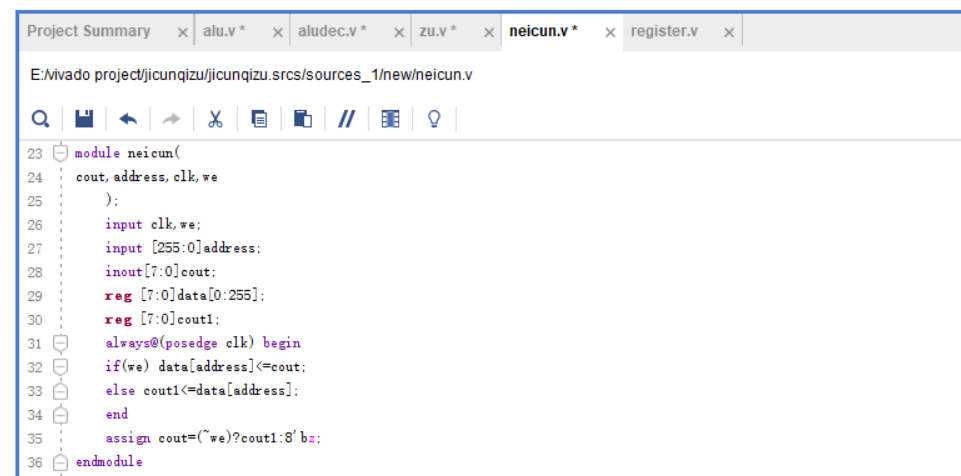


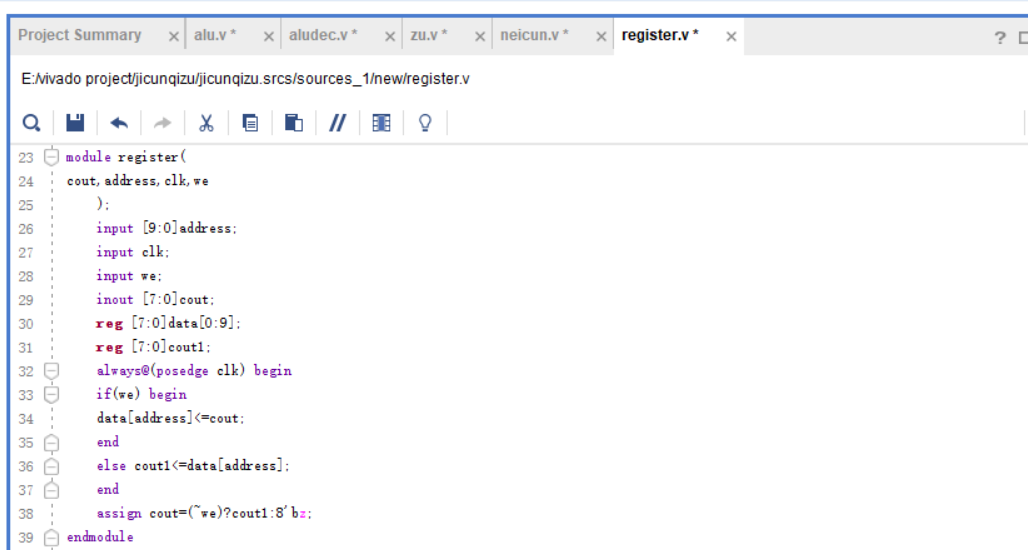
Design



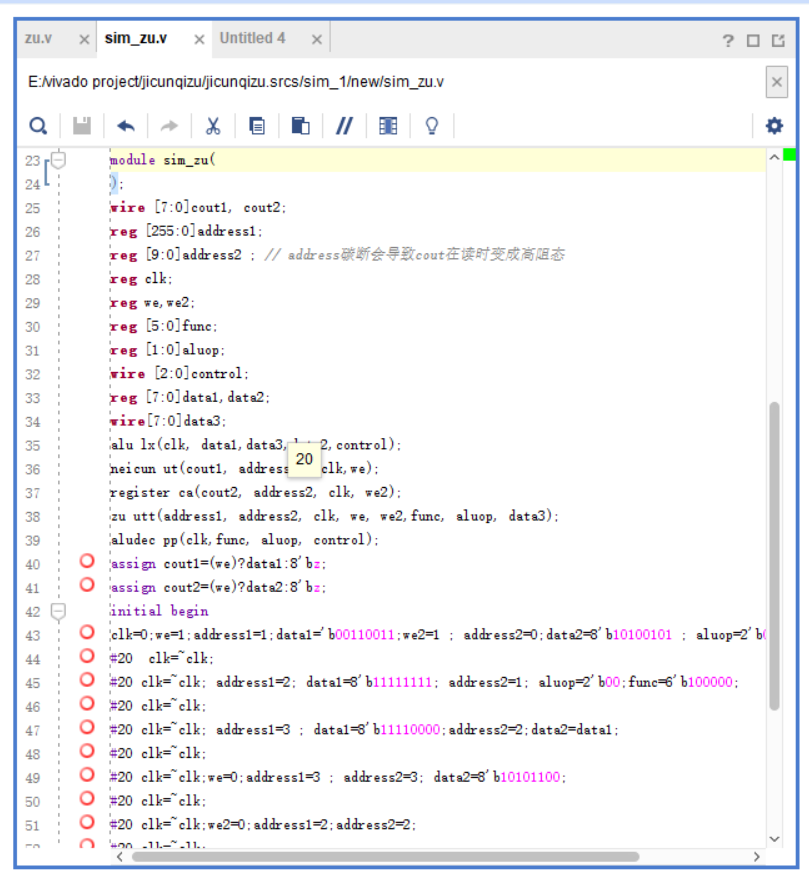


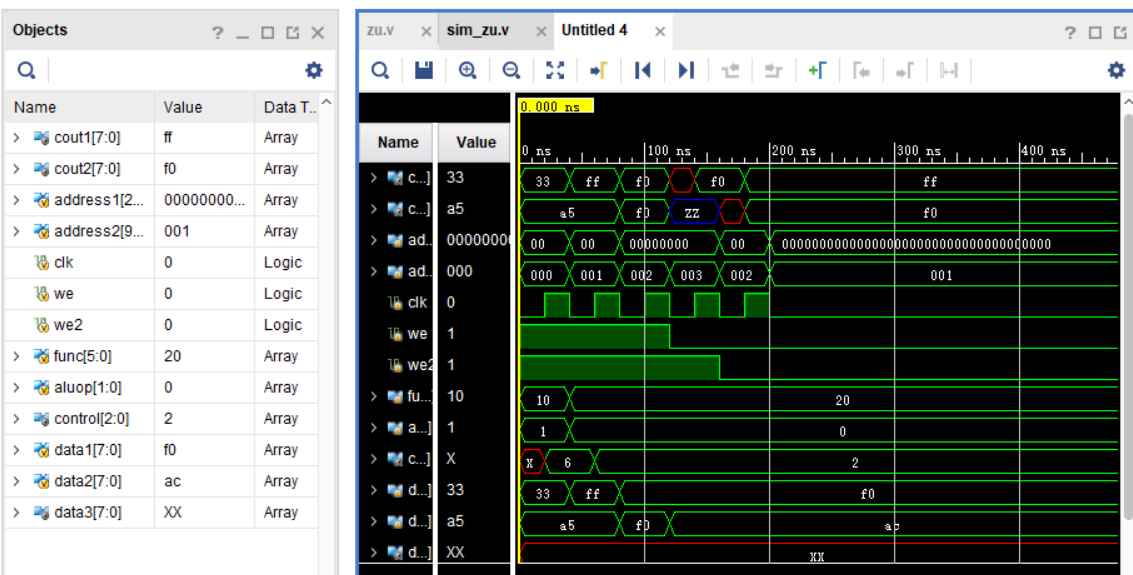


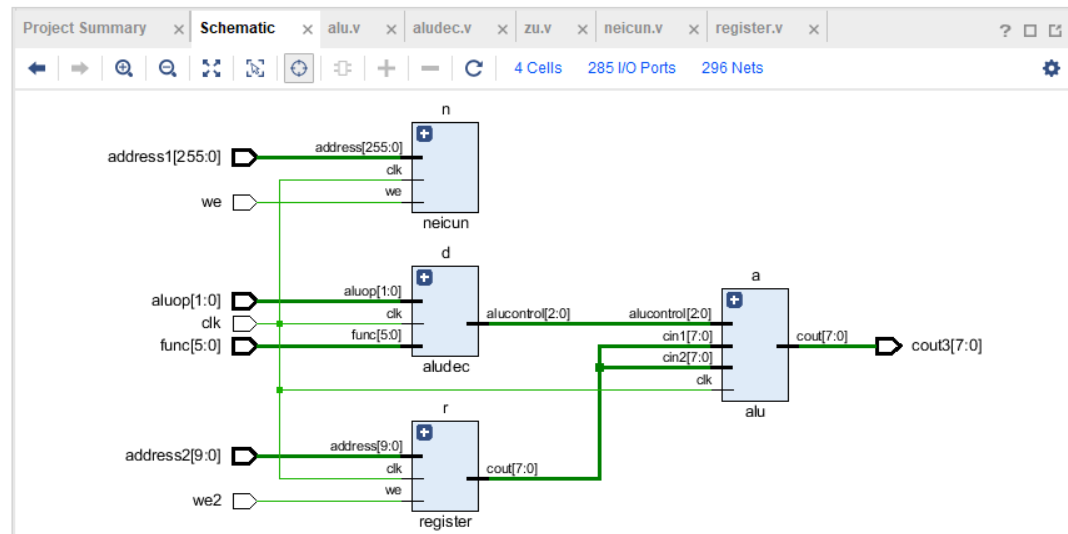




Simulation







**五、调试和心得体会**

第一次使用inout,掌握了其正确的编程方法。在仿真时，发现当WE从1变成0时会有短暂的X状态，经过讨论和网上搜索资料仍不知道怎么消除。