



数字集成电路设计

Jan M. Rabaey

Anantha Chandrakasan

Borivoje Nikolic

第一讲 简介

教材

- 《数字集成电路—电路、系统与设计》
第二版，Jan M. Rabaey等著；周润德等
译；电子工业出版社



参考教材

- 《CMOS数字集成电路—分析与设计》
第四版，Sung-Mo Kang等著；王志功等
译；电子工业出版社

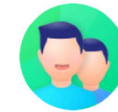


P2

Introduction

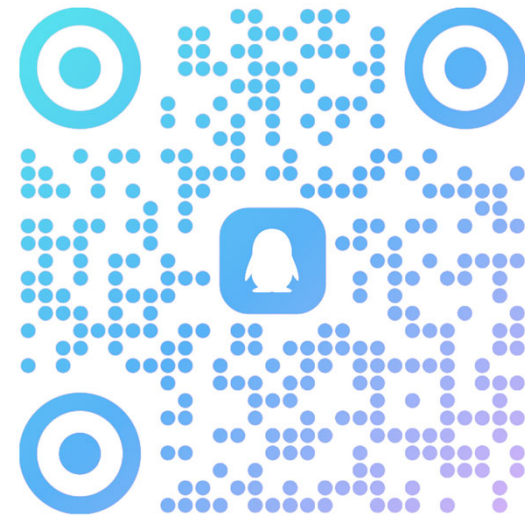
考试与课程评定

- 理论：40学时；
- 实验：16学时；
- 期末考试成绩占总成绩的60%
- 实验成绩30%；
- 平时成绩占10%（考勤+作业）
- 课件将在QQ群中发布。



2024秋数集课程群

群号：903674683



本课程的主要目标

- 使从事数字集成电路设计的工程师了解基本单元模型以及关键概念；
- 能够对电路的性能、功耗、成本等进行分析和优化；
- 学习如何保证设计的电路能够正常工作。
- 通过课程的学习，能够理解数字集成电路各性能参数（速度、功耗、成本、可靠性）的关系，并进行设计和优化。

课程内容

基础部分

- 数字集成电路介绍（第一章）
- CMOS 器件和制造工艺（第二章、第三章、第四章）

电路部分

- CMOS组合逻辑单元（第五章、第六章）
- CMOS时序逻辑单元（第七章）

系统部分

- 设计方法学（第八章）
- 互连（第九章）
- 时序（第十章）
- 设计运算单元（第十一章）
- 逻辑综合

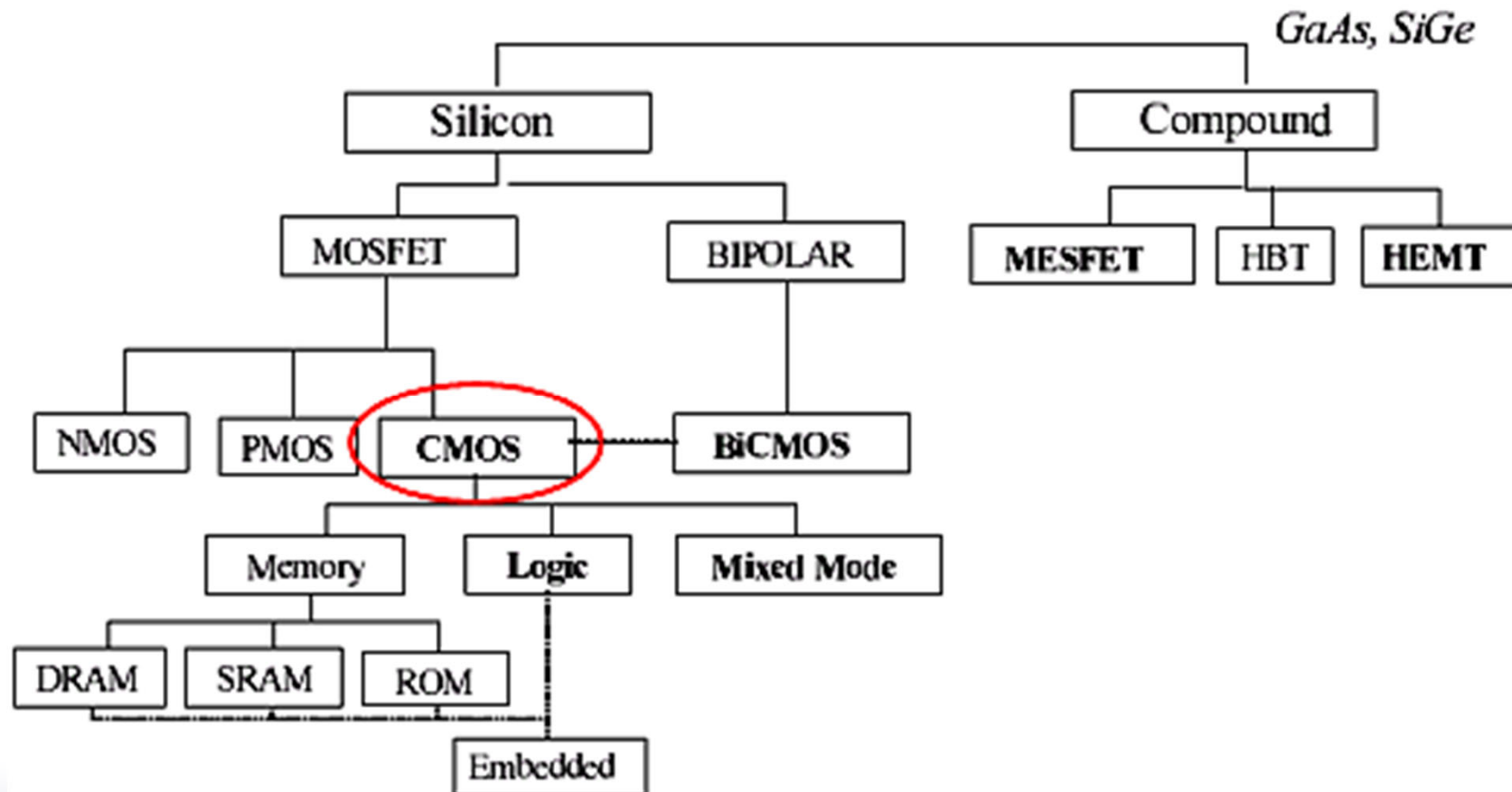
IC的概念

□ 按集成度分

- SSI (小型集成电路), 晶体管数 $10\sim10^2$, 门数 <10
- MSI (中型集成电路), 晶体管数 $10^2\sim10^3$, 门数 $10\sim10^2$
- LSI (大规模集成电路), 晶体管数 $10^3\sim10^5$, 门数 $10^2\sim10^4$
- VLSI (超大规模集成电路), 晶体管数 $10^5\sim 10^7$, 门数 $10^4\sim10^6$
- ULSI (特大规模集成电路), 晶体管数 $10^7\sim 10^9$, 门数 $10^6\sim10^8$
- GSI (极大规模集成电路), 晶体管数 $>10^9$, 门数 $>10^8$

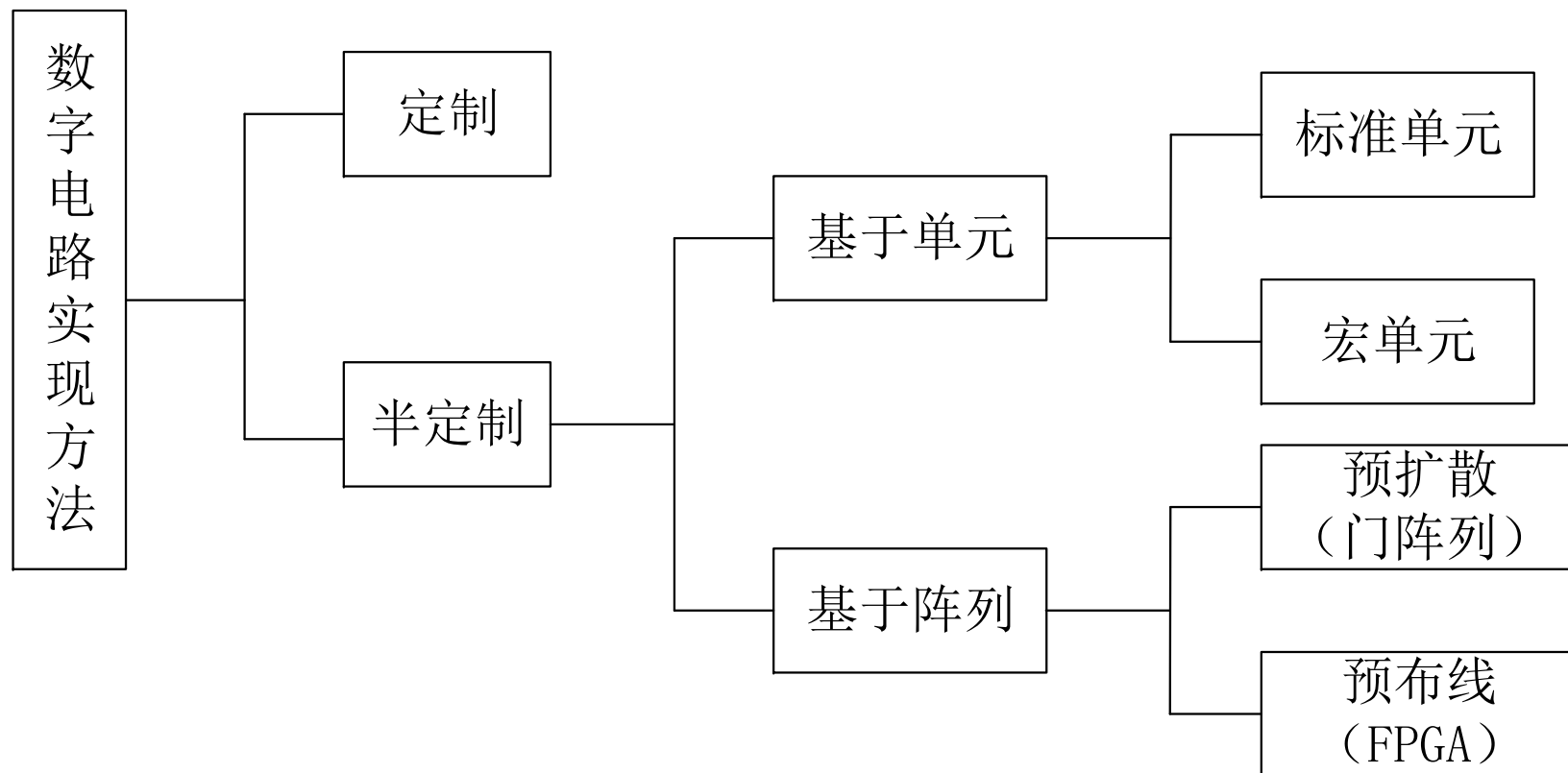
IC的概念

□ IC按制造工艺分类

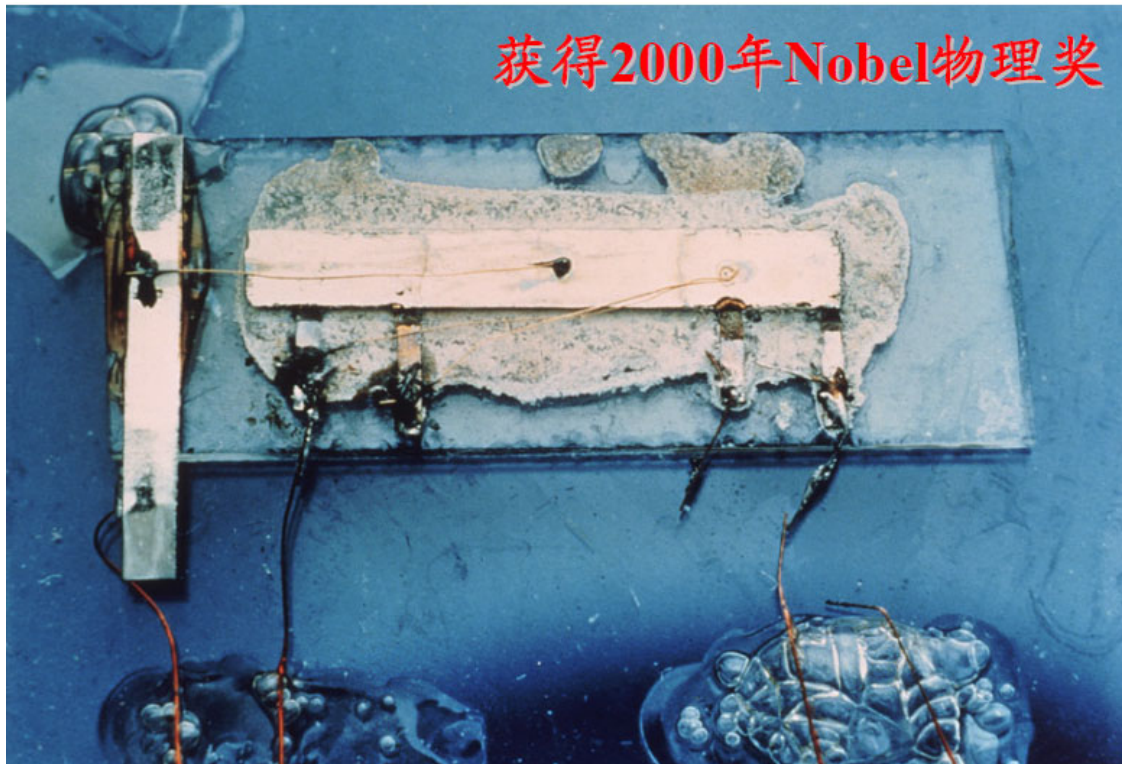


IC的概念

□ IC按实现方法分类

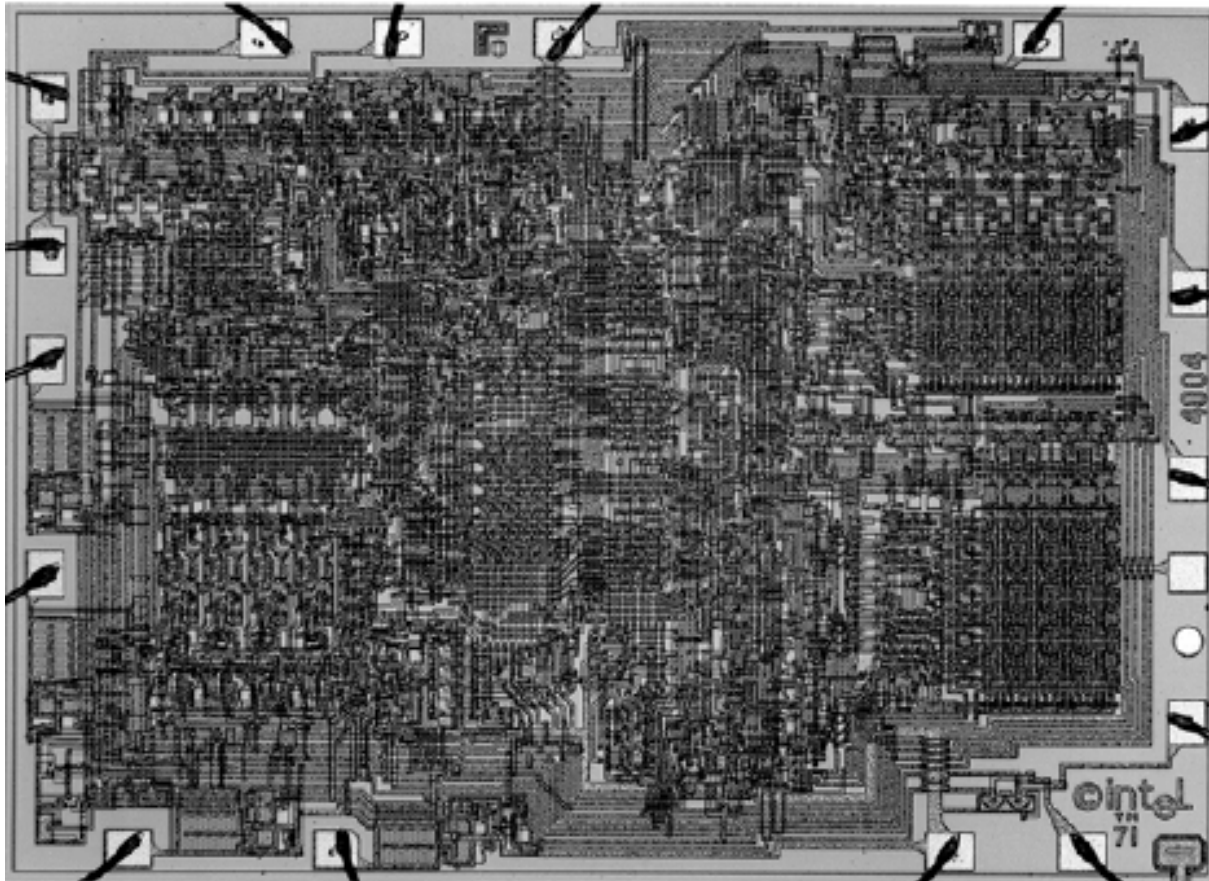


第一块集成电路



1958年，德州
仪器公司（TI）
工程师Jack
kilby申请第一个
集成电路发明专利，
12个器件，
Ge 晶体；

Intel 4004 微处理器



Intel, 1971

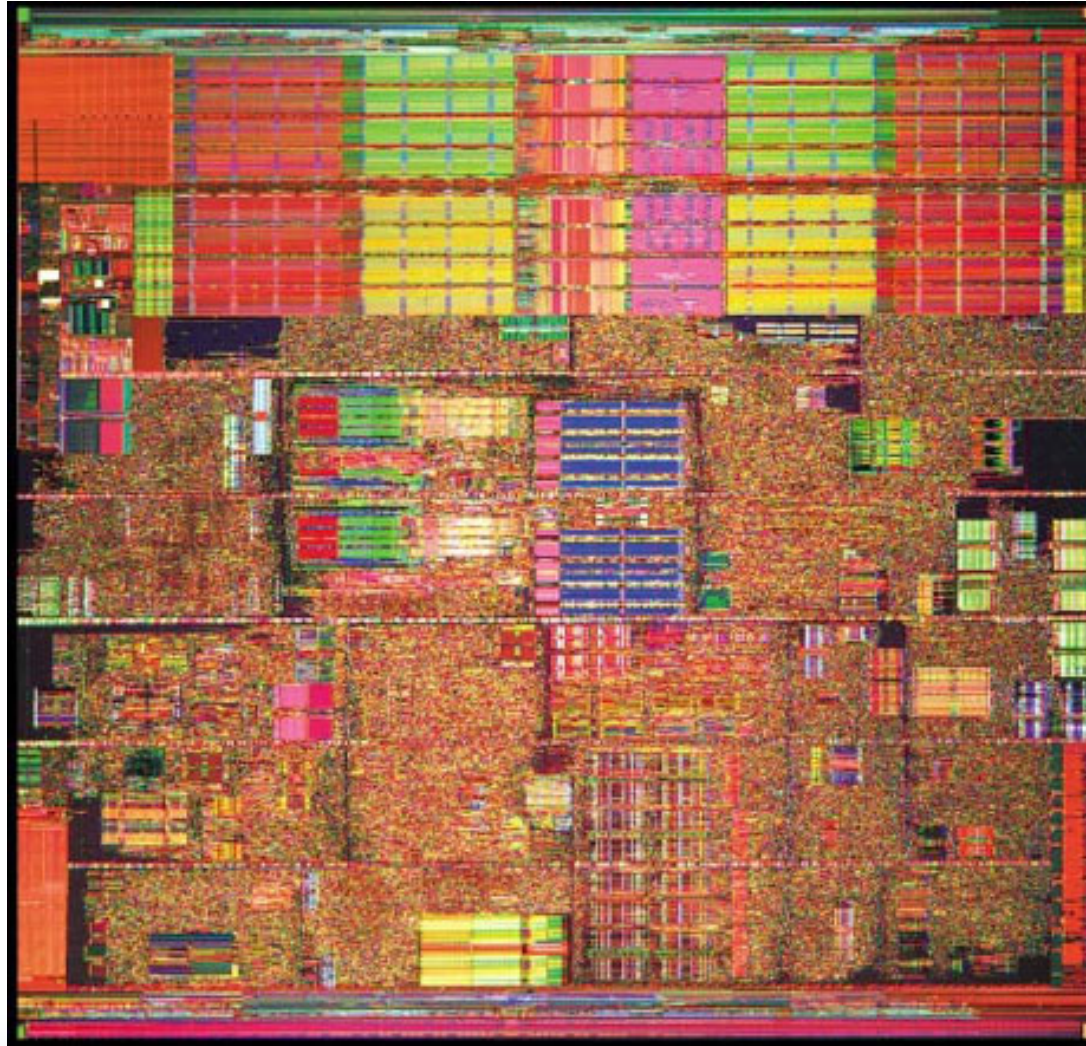
晶体管: 2300

面积: 12mm^2

频率: 740kHz

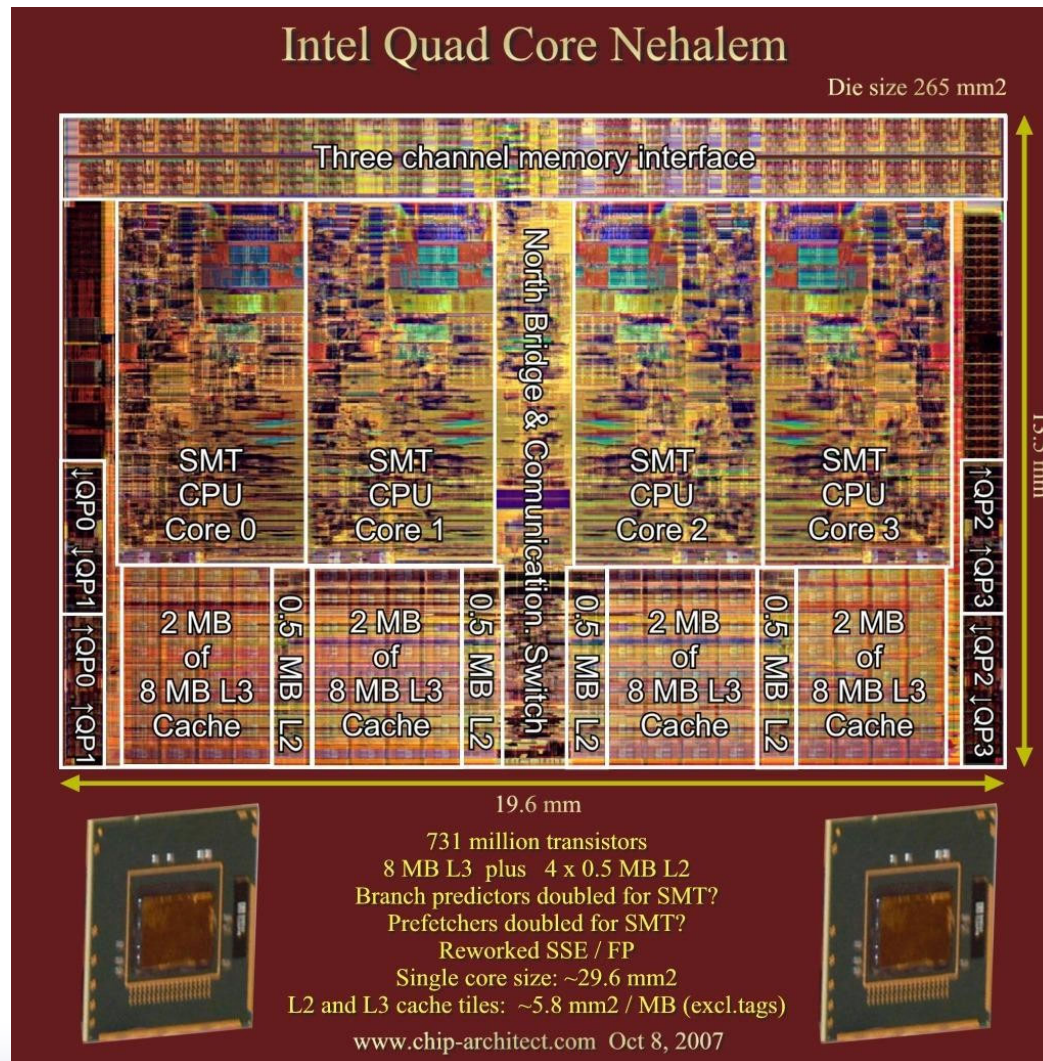
工艺: $10\mu\text{m}$ PMOS

Intel Pentium 4 微处理器



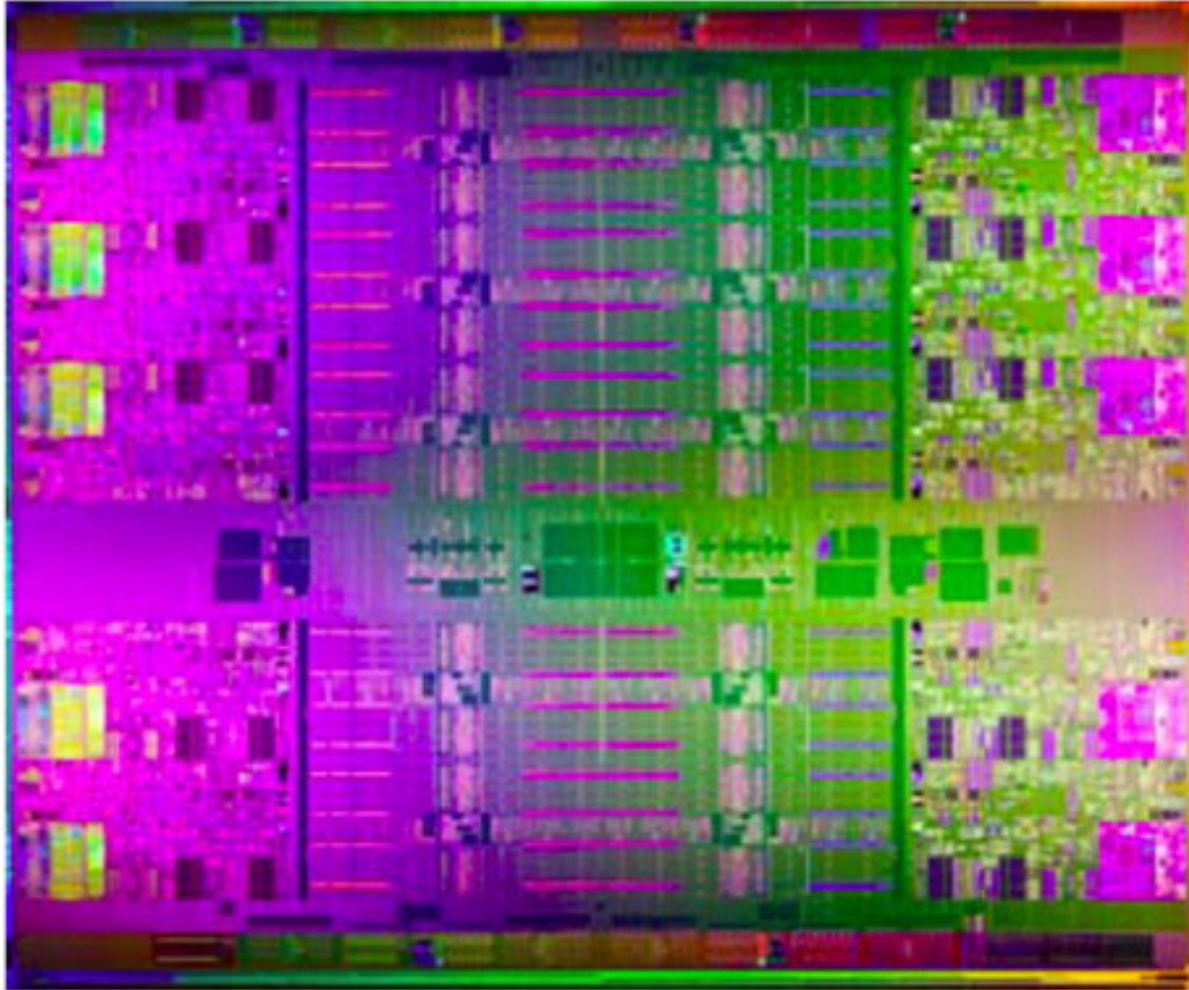
Intel, 2005年
晶体管: 1.25亿
面积: 112mm²
频率: 2.8GHz
工艺: 90nm

Intel 四核处理器



Intel, 2007年
晶体管: 7.31亿
面积: 265mm²
频率: 2.93GHz
工艺: 45nm

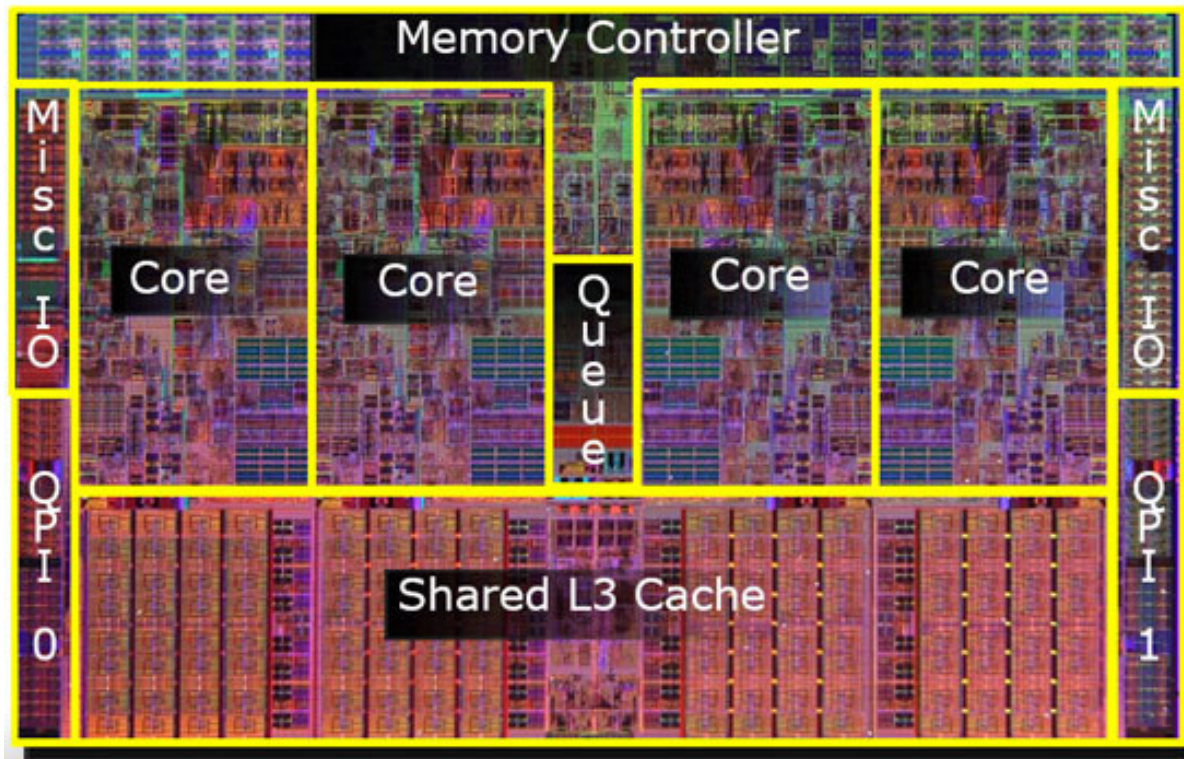
Intel Xeon 至强微处理器



Intel, 2011年
晶体管: 26亿
面积: 513mm²
频率: 2.4GHz
工艺: 32nm

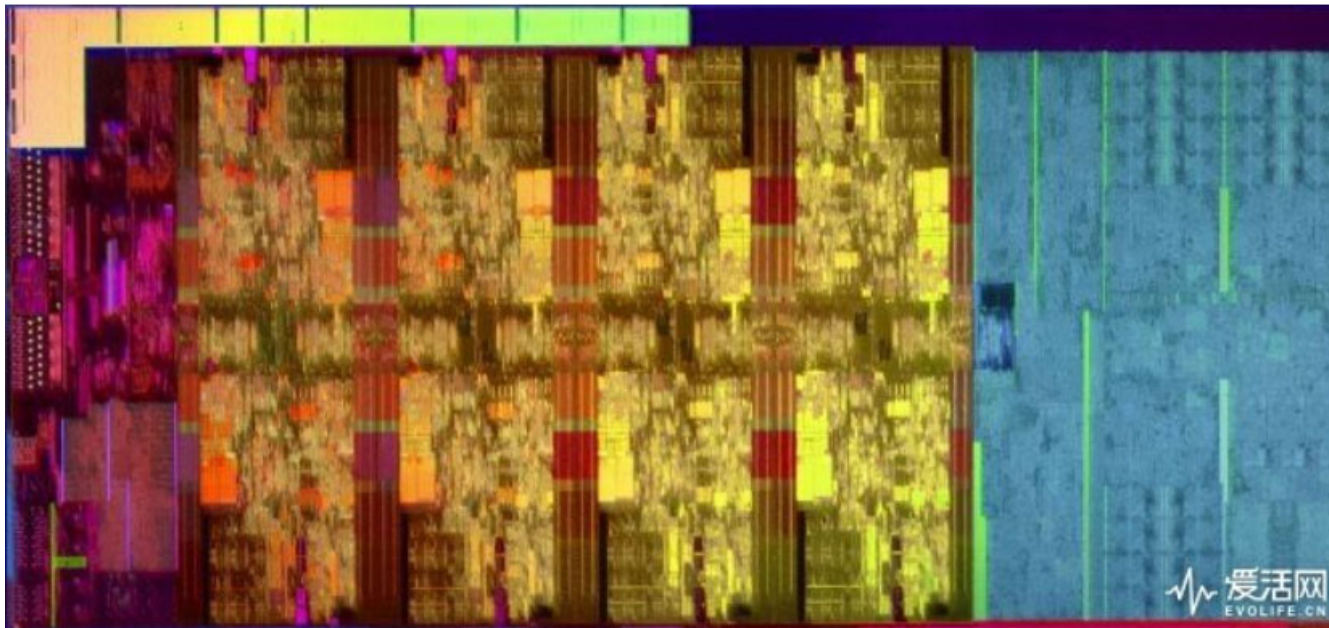
Intel 酷睿处理器（第四代）

2012年发布第四代智能英特尔®酷睿i7处理器；22纳米制造工艺；晶体管数量：14.8亿；核心面积：159.8mm²；主频：2.5GHz。



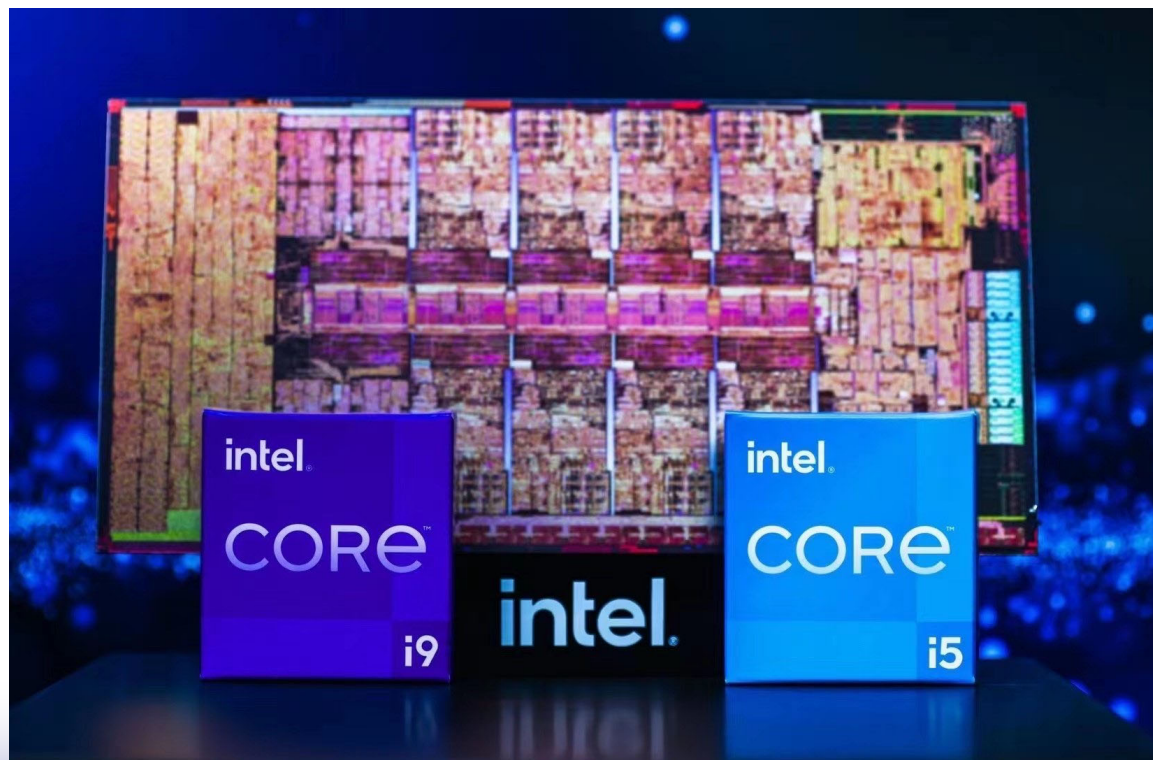
Intel酷睿处理器（第九代）

2018年发布第九代智能英特尔®酷睿；三个型号：酷睿i9-9900K，酷睿i7-9700K和酷睿i5-9600K。架构：Coffee Lake；采用14++纳米制造工艺；核心面积：173mm²；主频：3.6GHz。



Intel酷睿处理器（第十二代）

2021年底发布第十二代智能英特尔®酷睿；六个型号：酷睿i9-12900K/KF，酷睿i7-12700K/KF和酷睿i5-12600K/KF。架构：Alder Lake；采用7纳米制造工艺；支持DDR5，最高容量可达128GB，最高速度可达4800MT/s；主频：5.2GHz。



Intel酷睿处理器（第十四代）

2023年底发布第十四代智能英特尔®酷睿；型号：酷睿i9-14900K，酷睿i7-14700K和酷睿i5-14600K等。架构：Raptor Lake；采用7纳米制造工艺；支持DDR5，最高容量可达192GB，最高速度可达5200MT/s；主频：5.8GHz。

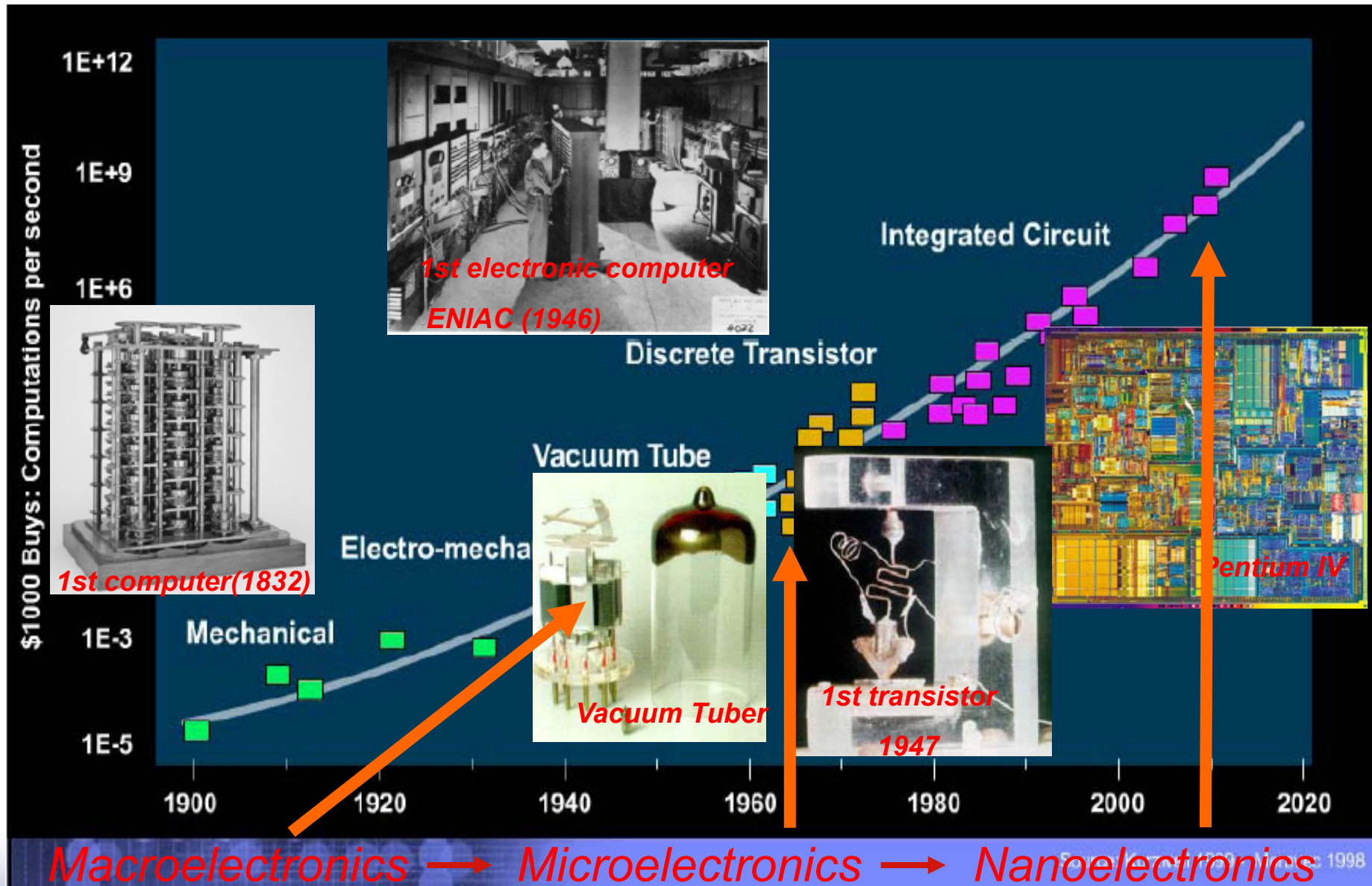


Moore定律

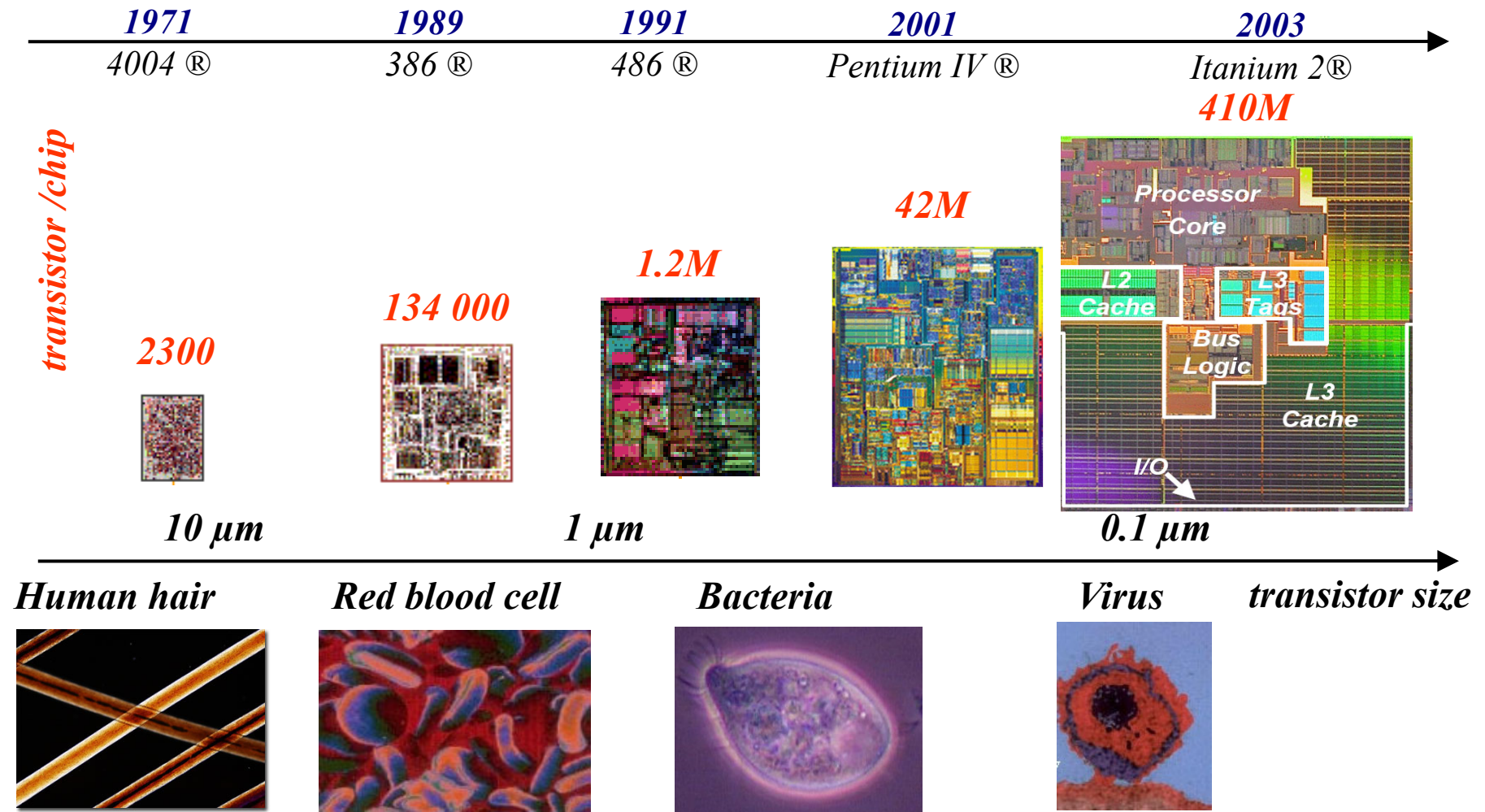
摩尔定律 (**Moore's Law**)是由英特尔创始人之一戈登·摩尔于1965年提出来的。其内容为：集成电路上可容纳的晶体管数目，约每隔18到24个月便会增加一倍。

硅集成电路二年（或二到三年）为一代，集成度翻一番，工艺线宽约缩小30%，芯片面积约增大1.5倍，工作速度提高1.5倍。

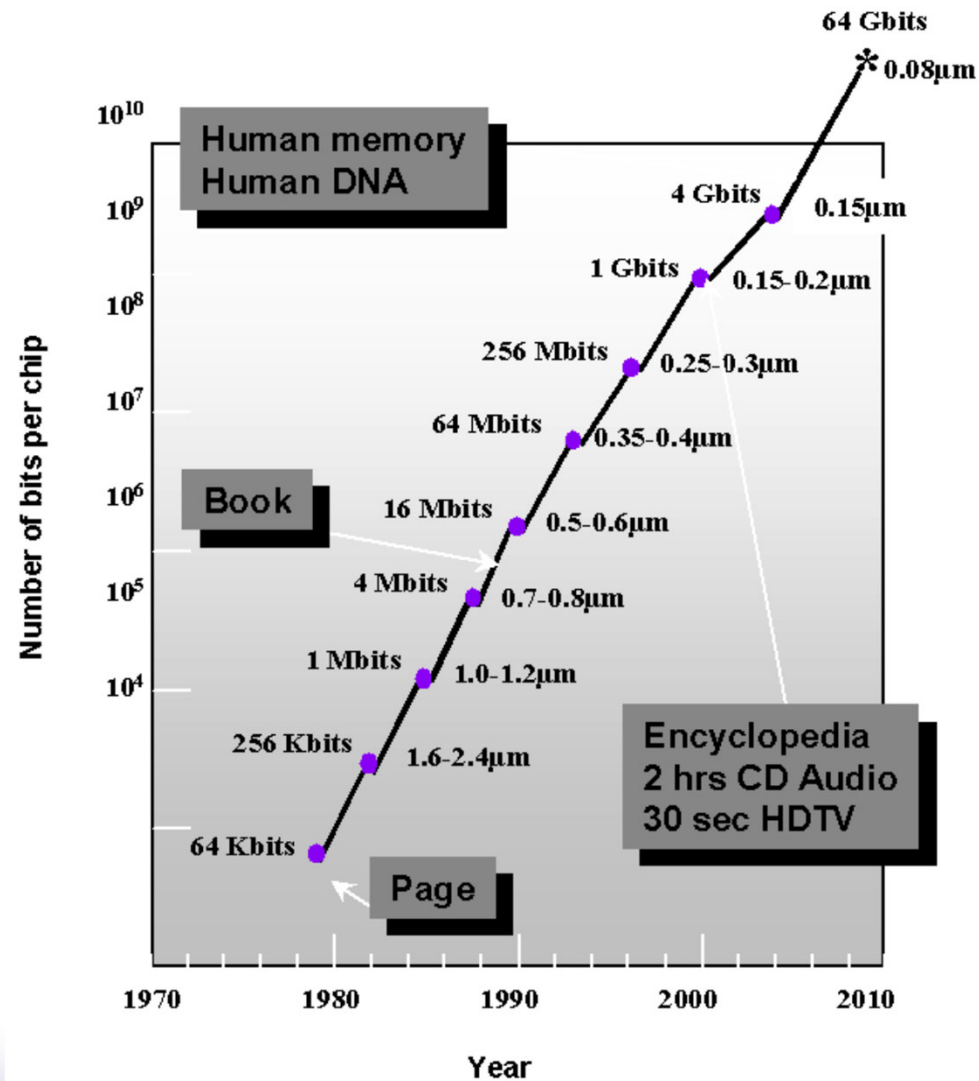
Explosive Growth of Computing Power



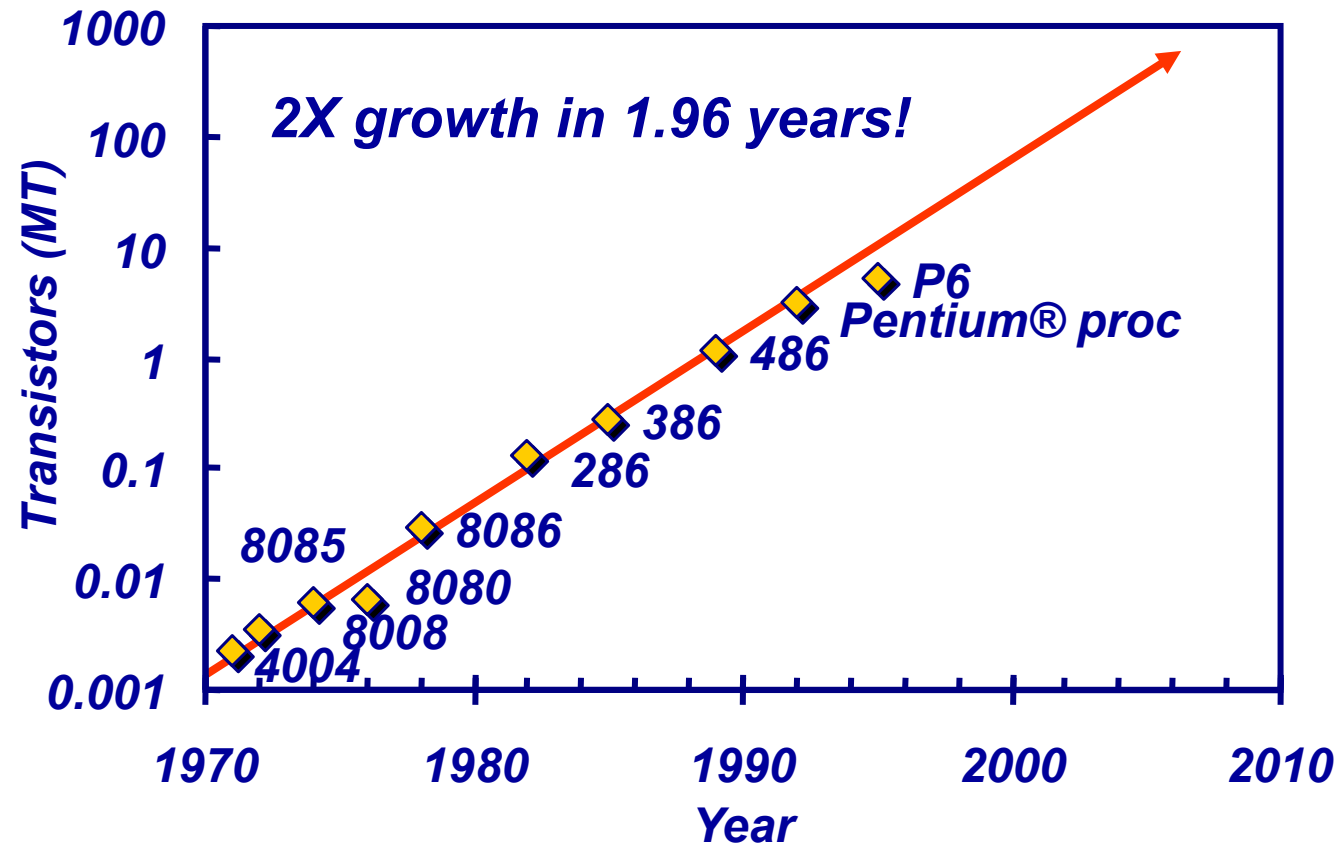
Macroelectronics → Microelectronics → Nanoelectronics



存储器复杂度的演变

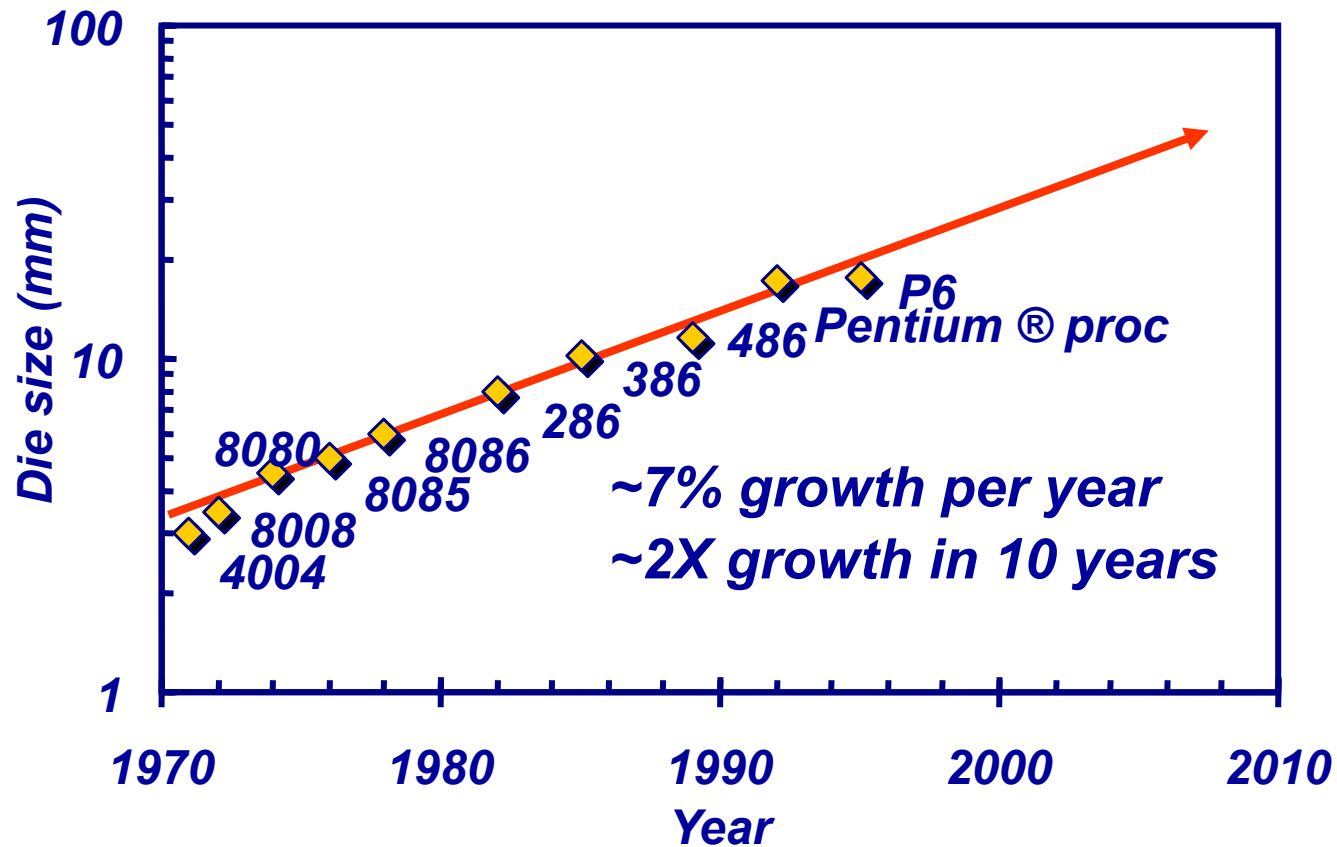


晶体管的数量



Transistors on Lead Microprocessors double every 2 years

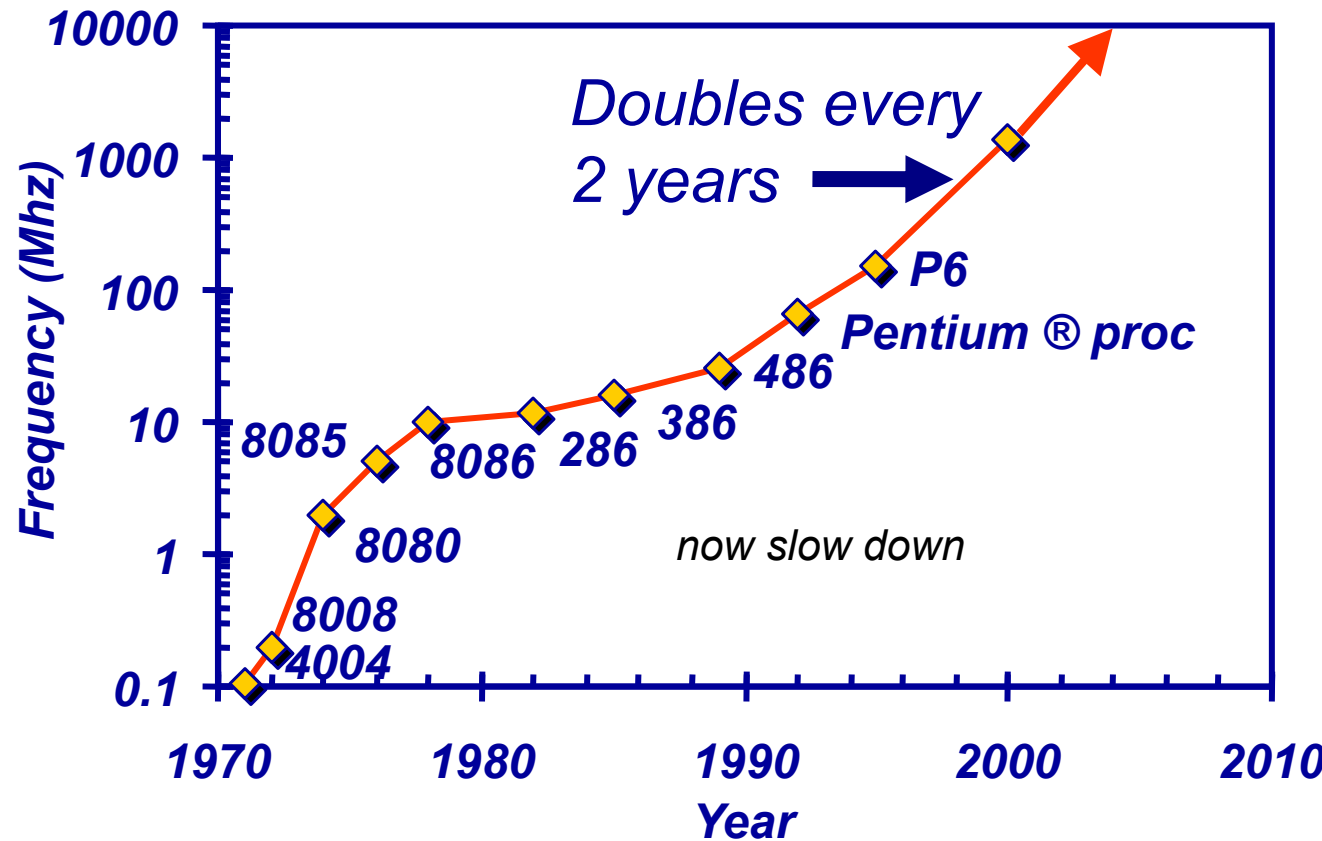
芯片面积



Die size grows by 14% to satisfy Moore's Law

Courtesy, Intel

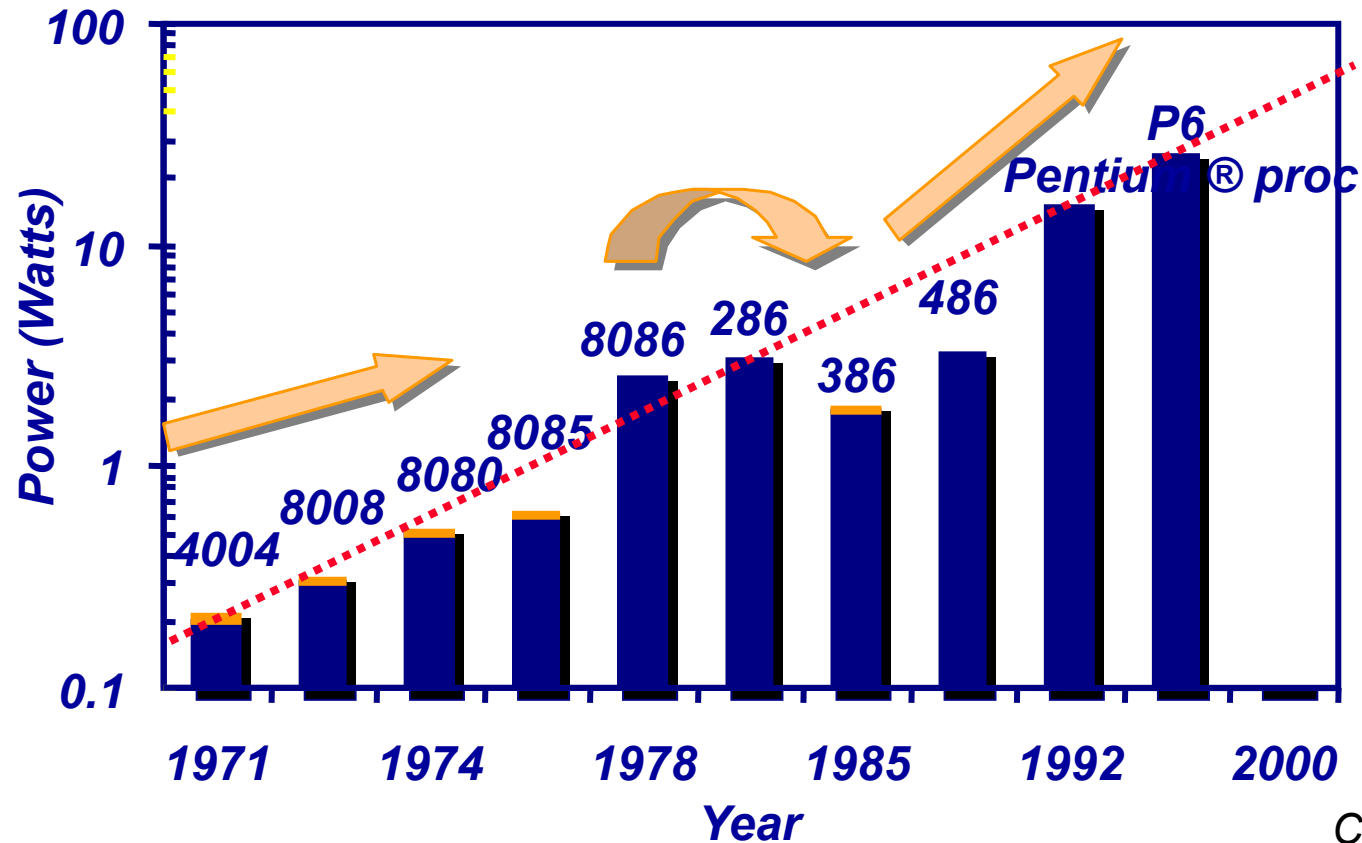
工作频率



Courtesy, Intel

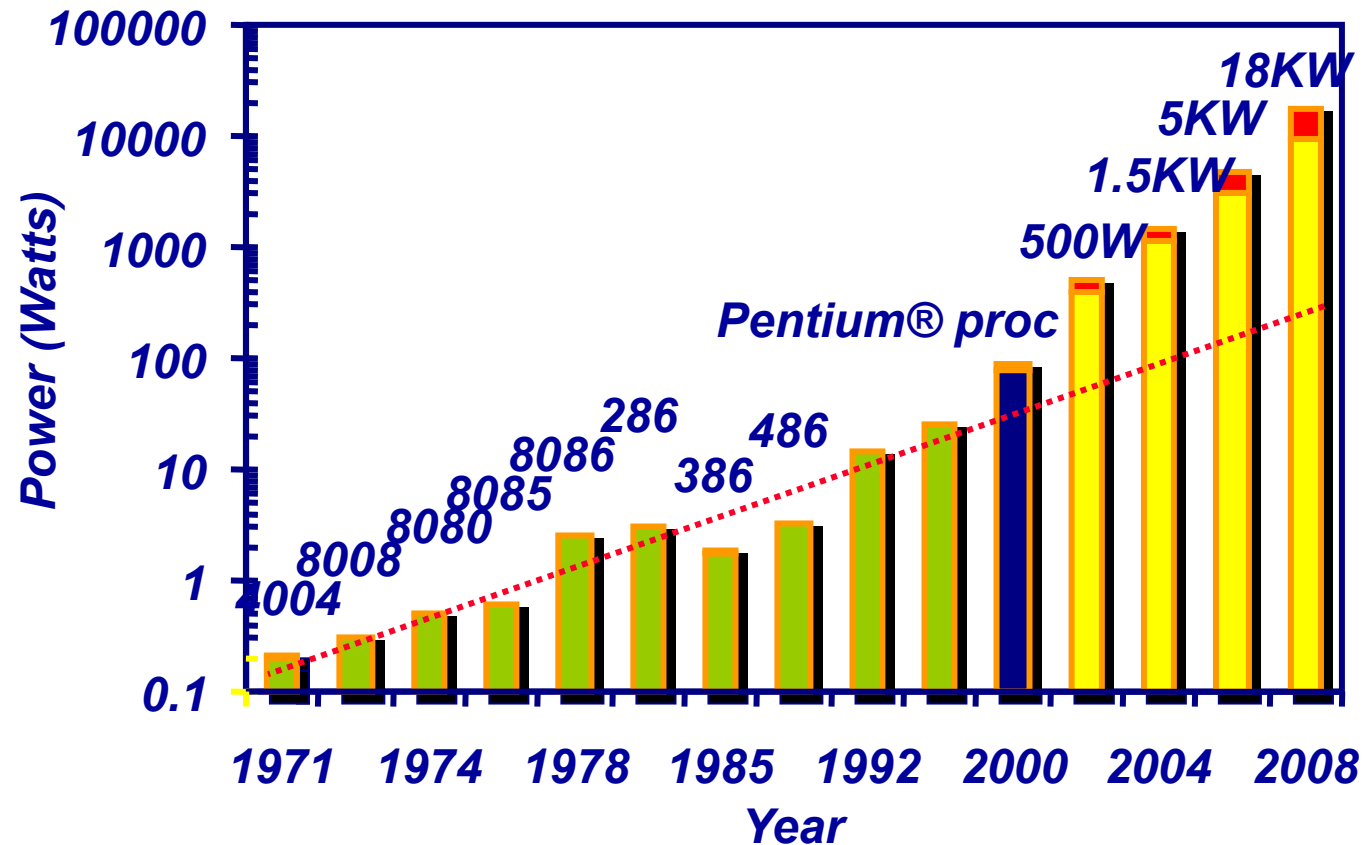
Lead Microprocessors frequency doubles every 2 years

功耗



Lead Microprocessors power continues to increase

功耗将成为一个主要问题

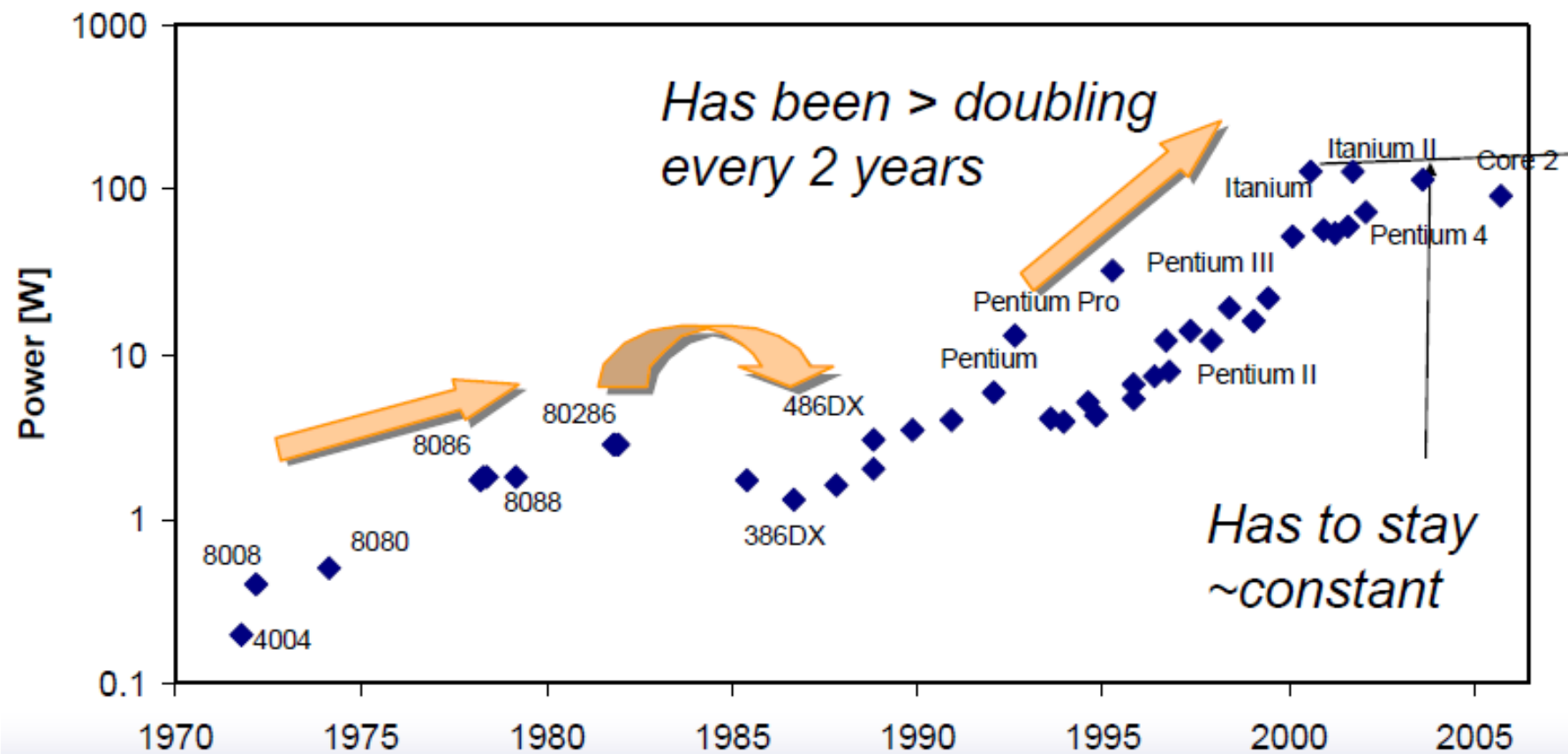


Power delivery and dissipation will be prohibitive

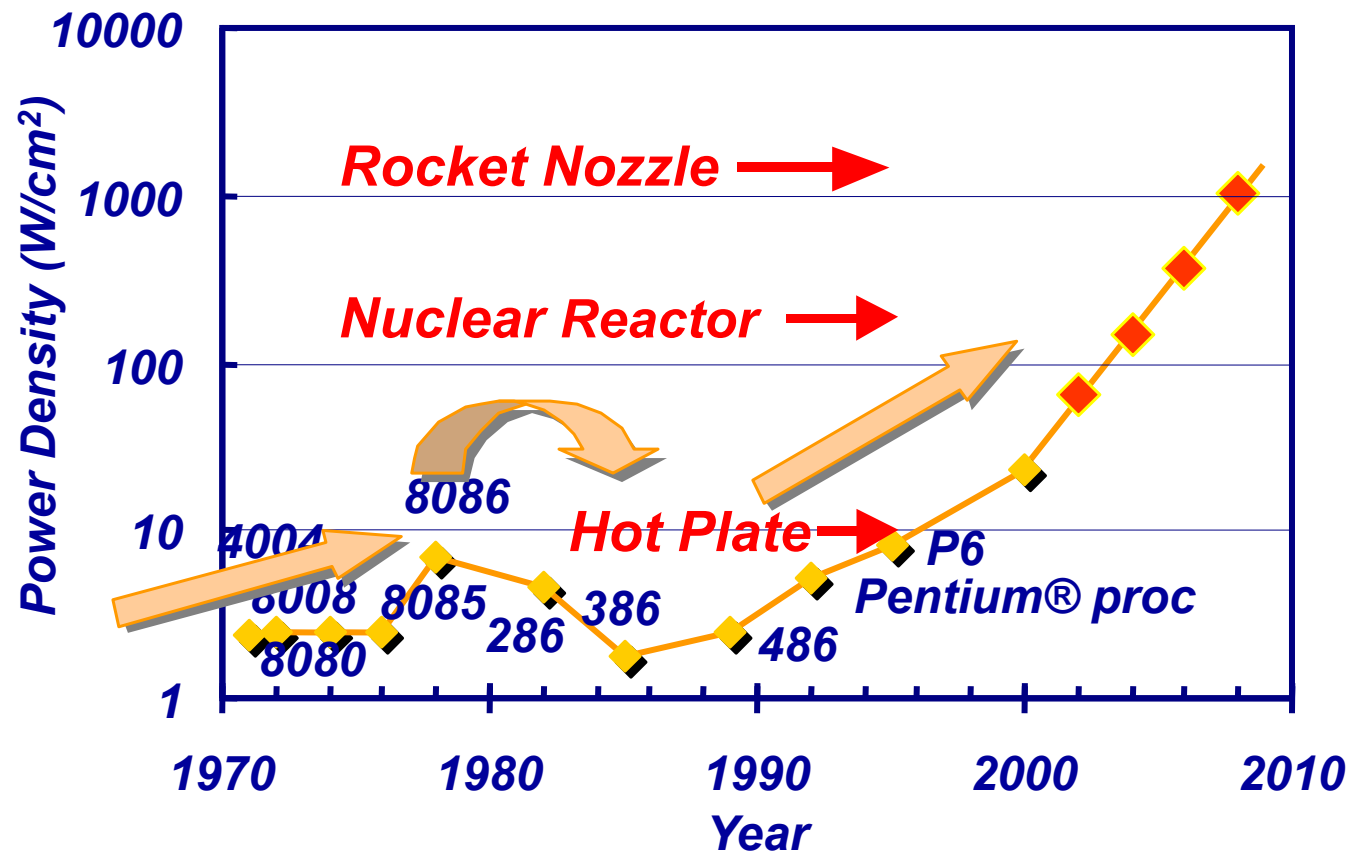
Courtesy, Intel

功耗数据

Power Trends in Intel's Microprocessors

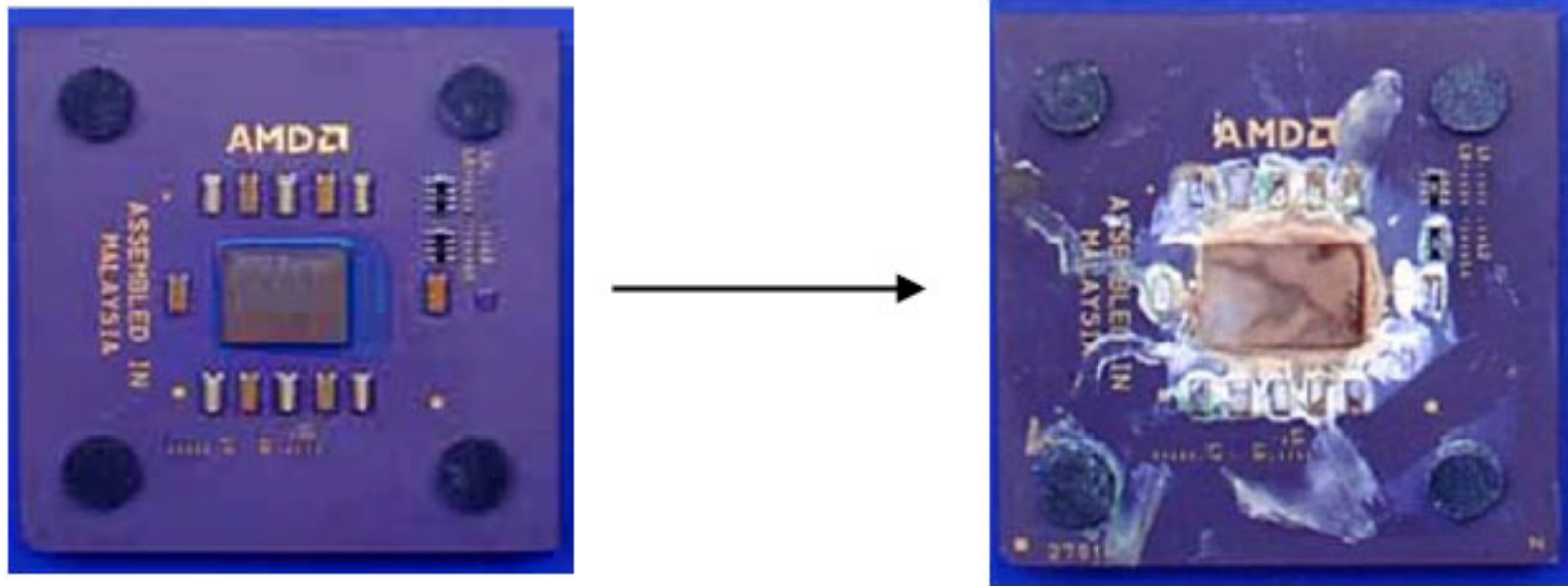


功率密度



Power density too high to keep junctions at low temp

没有足够的冷却

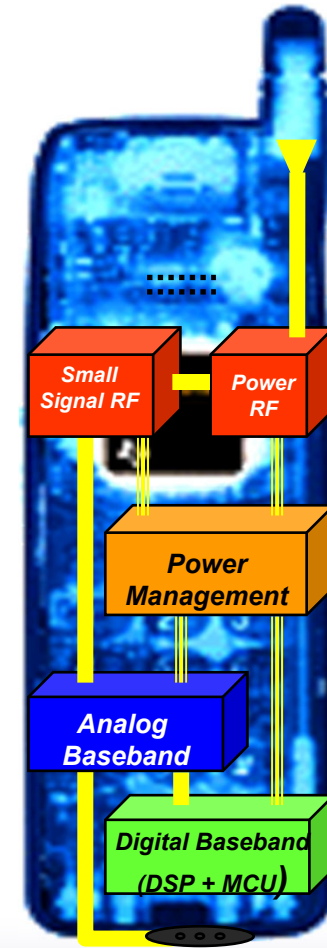


数字集成电路不只用于微处理器

移动电话
(出货量)

	1996	1997	1998	1999	2000
Units	48M	86M	162M	260M	435M

- 2019全球智能手机出货量约为14.8亿部。前五：三星（19%）、华为（14%）、苹果（14%）、小米（8%）、OPPO（8%）。
- 2022年全球智能手机出货量约为12亿部。前五：三星（22%）、苹果（19%）、小米（13%）、OPPO（10%）、VIVO（9%）。
- 2023年全球智能手机出货量约为11.4亿部。前五：苹果（20.1%）、三星（19.4%）、小米（12.5%）、OPPO（8.8%）、传音（8.1%）。



深亚微米 (DSM) 的挑战

$\propto \text{DSM}$

“微观问题”

- 超高速设计
- 互联
- 噪声、串扰
- 可测性
- 可制造性
- 功耗
- 时钟分布



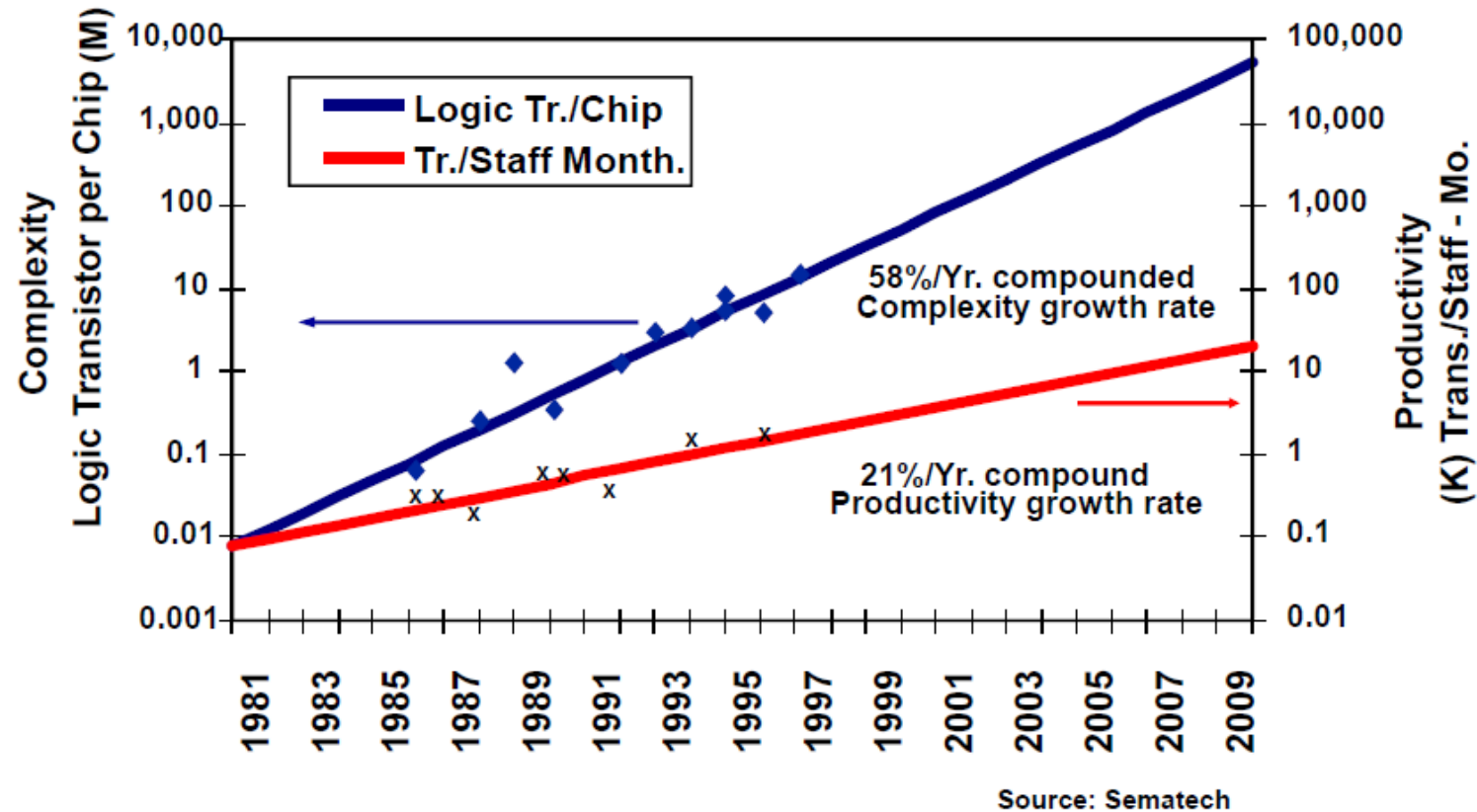
?

$\propto 1/\text{DSM}$

“宏观问题”

- 复杂度
- 产品的上市周期
- 千万门级
- 高层次抽象
- 可复用IP: 可移植性
- 可预测性
- 等等

产率的发展趋势



复杂度超出了设计能力（产率）。

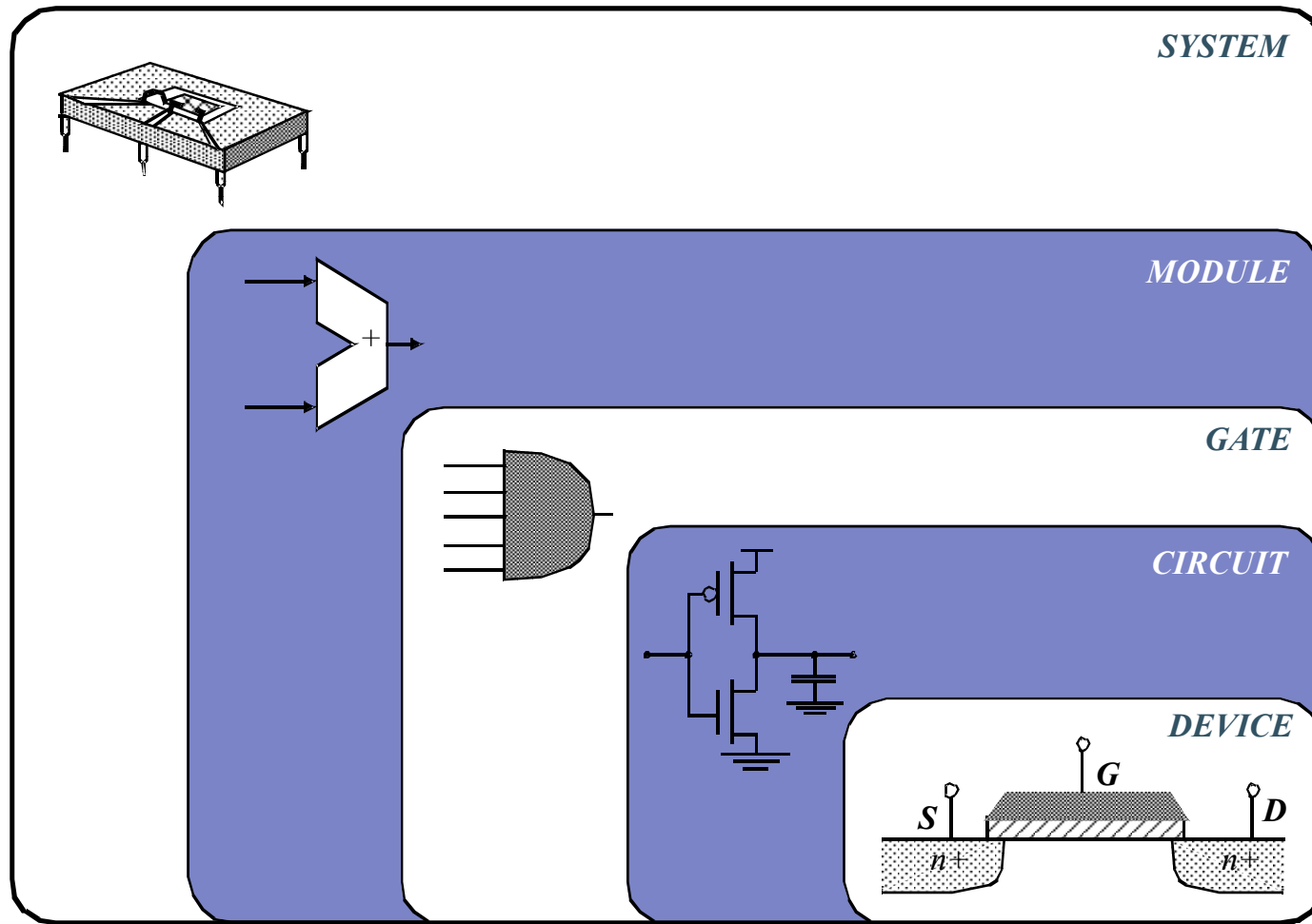
现代IC设计特点 IC设计要求

- ❑ 设计正确性：IC投片费用高，难以修改，应确保一次成功
- ❑ 设计时间：决定了设计费用和市场竞争力。
- ❑ 设计成本：芯片面积↓，小批量→开发费用↓，大批量→成品率↑
- ❑ 产品性能：速度、功耗、面积
- ❑ 可测性和可靠性

为什么工艺要按比例缩小？

- 工艺特征尺寸按每代0.7倍减小。
- 单片集成的功能按每代2倍增长，且芯片成本没有显著增加。
- 每种功能的成本按0.5比例下降。
- 但是 ...
 - 如何设计功能越来越强大的芯片？
 - 设计工程师的数量也不可能每年增加1倍...
- 因此，需要一种更有效的设计方法
 - 开发不同的抽象层次

设计抽象层次



Top—Down 设计流程

Abstraction Levels

System



Architecture



Register Transfer



Gate



Transistor

Tools

Matlab

C/C++ Model

VHDL/Verilog
simulation

VHDL/Verilog
simulation

[SPICE]

现代IC设计特点 IC设计要素

- 人：需同时具备系统与微电子知识
- 工具：微机→工作站，CAD软件→EDA软件
- 库：工艺库，IP库

现代IC设计特点 对人才的要求

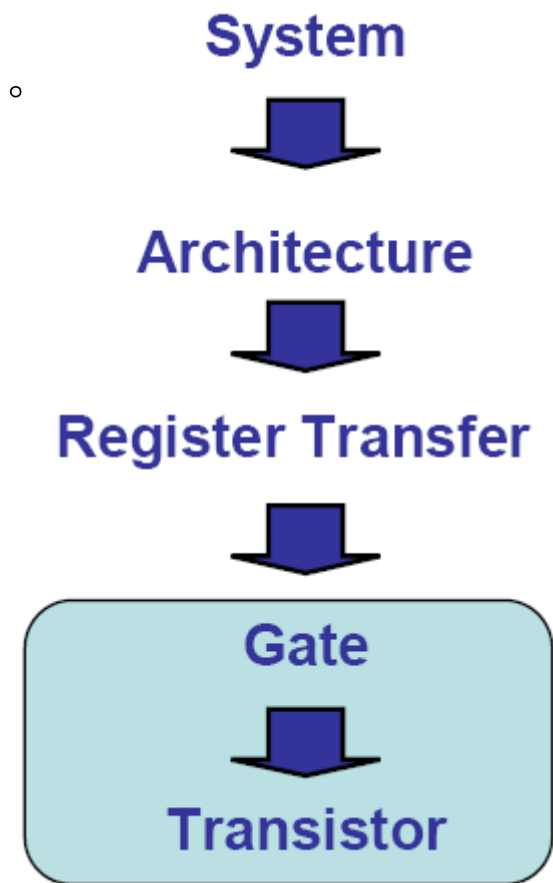
- ❑ 扎实的理论基础：物理，电路，数学
- ❑ 娴熟的实践能力：设计语言（HDL、C、Matlab），EDA软件，FPGA/DSP验证
- ❑ 宽广的系统知识：计算机，通信，信号处理
- ❑ 迅捷的自学能力：Moore定律，集成度每三年上升四倍，40年有效

本课程 的内容

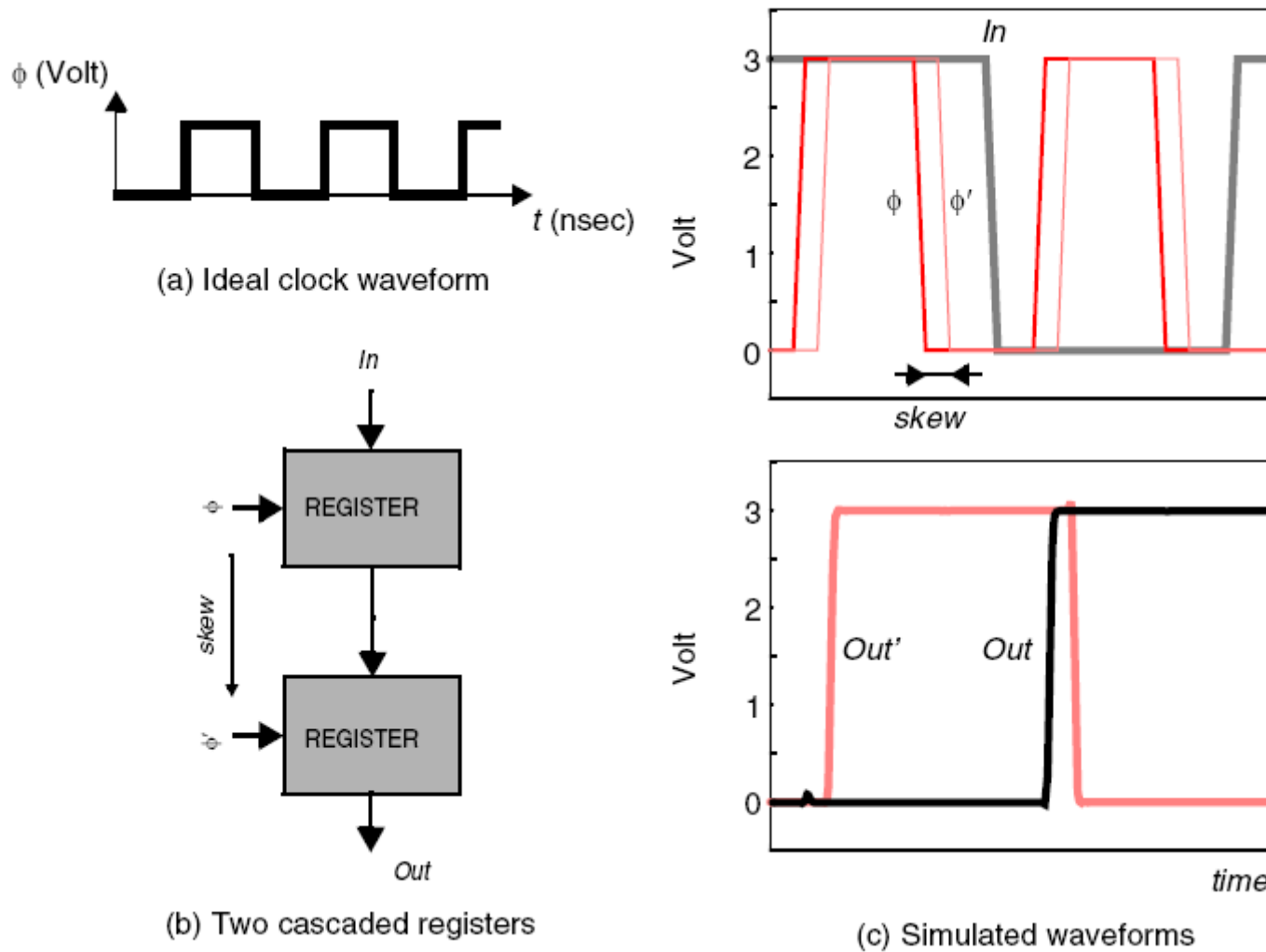
集中在门级和晶体管级 结构和工艺之间的连接

数字电路实际上是非常复杂的，在未来很长一段时间内对于数字电路和它们的复杂性的深刻理解仍然是极为重要的。

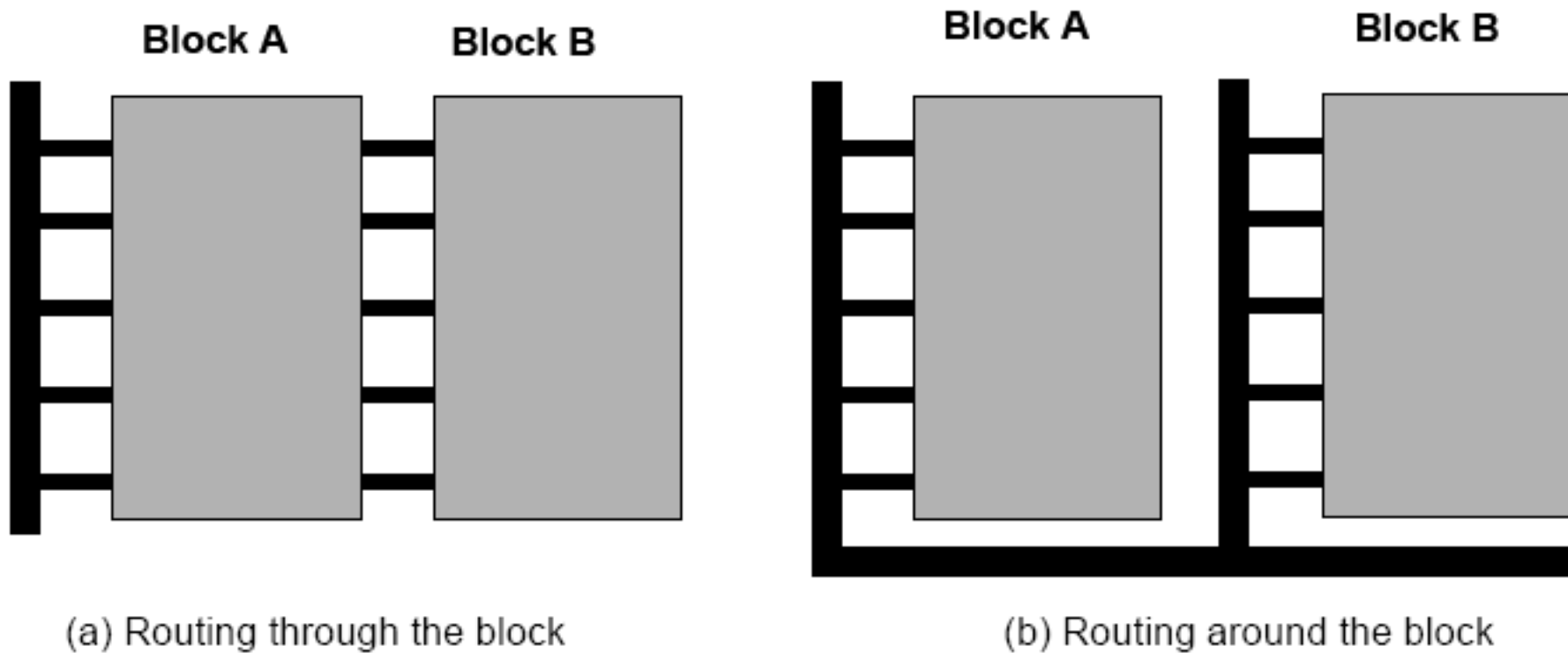
1. 必须有人来设计和实现模块库（标准单元库）
2. 建立一个单元或模块的合适模型要求对它的内部操作有深刻的理解。
3. 以库为基础的设计方法在有些情况下不太适用。
4. 以抽象为基础的方法只在一定程度上是正确的。（互连影响）
5. 工艺尺寸的缩小会使以抽象为基础的模型的其它一些缺陷更为明显。（时钟线和电源线）
6. 工艺水平提高的另一个影响是新的设计问题和约束条件会不断的出现（例如：功耗，器件和互连寄生参数之间的比例变化等）



时钟对系统设计的挑战



电源分布网络对系统设计的挑战



电流为**100A**时，**1.25m**欧姆导线电阻就会造成供电电压下降**5%**（假设电源电压为**2.5V**）。

数字设计的质量评价

- 如何评价数字电路性能 (门, 模块, ...)?
 - 成本 (**Cost**)
 - 可靠性
 - 按比例下降的能力
 - 速度 (延迟, 运行频率)
 - 功耗 (**Power dissipation**)
 - 实现某种功能所消耗的能量 (**Energy to perform a function**)

集成电路的成本

□ 固定成本（NRE (non-recurrent engineering costs)）

- 与产品销售量无关的成本；
- 设计时间和人力，掩模板费用；
- 间接成本：生产设备、市场和销售费用、基础设施建设等；

□ 可变成本

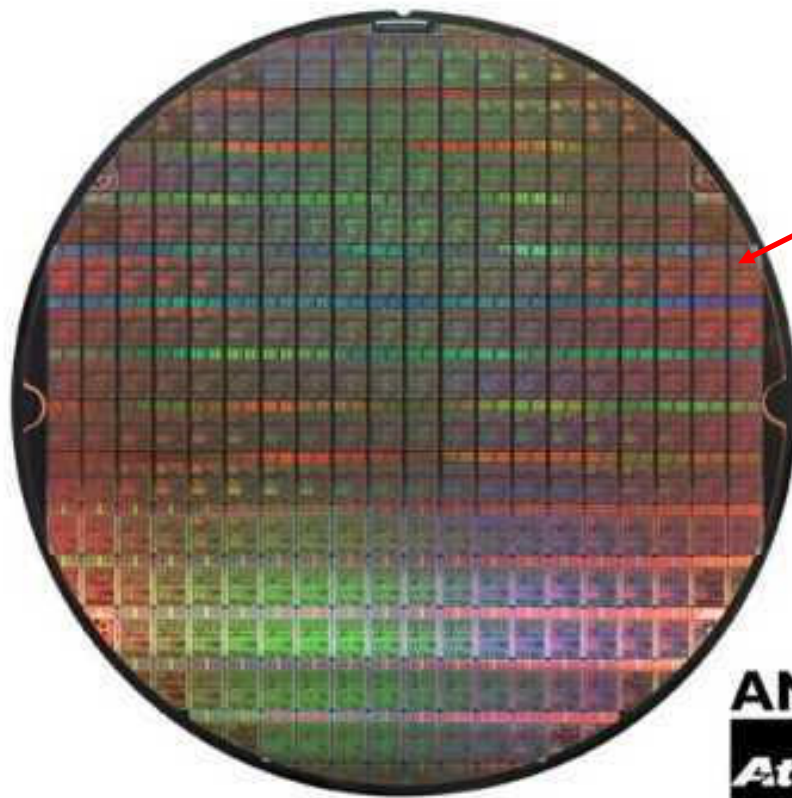
- 直接用于制造产品的费用，与产量成比例；
- 硅加工、封装和测试费用；
- 与芯片面积成比例；

集成电路成本

$$\text{每个集成电路的成本} = \boxed{\text{每个集成电路的可变成本}} + \frac{\text{固定成本}}{\text{产量}}$$


$$\text{可变成本} = \frac{\text{芯片成本} + \text{芯片测试成本} + \text{封装成本}}{\text{最终测试的成品率}}$$

芯片成本



单个芯片

$$\text{芯片成本} = \frac{\text{晶圆成本}}{\text{每个晶圆上的芯片数} \times \text{芯片成品率}}$$

晶圆

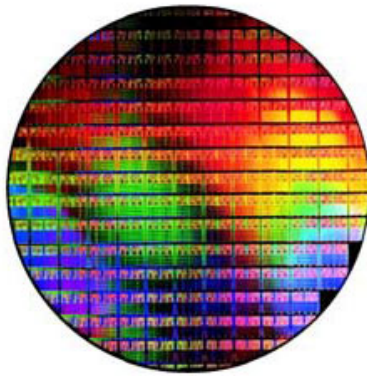


尺寸达到12英寸 (300mm)

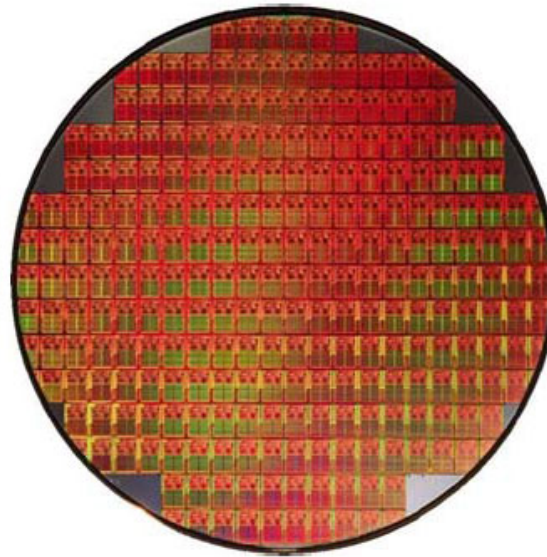
From <http://www.amd.com>

Wafer size

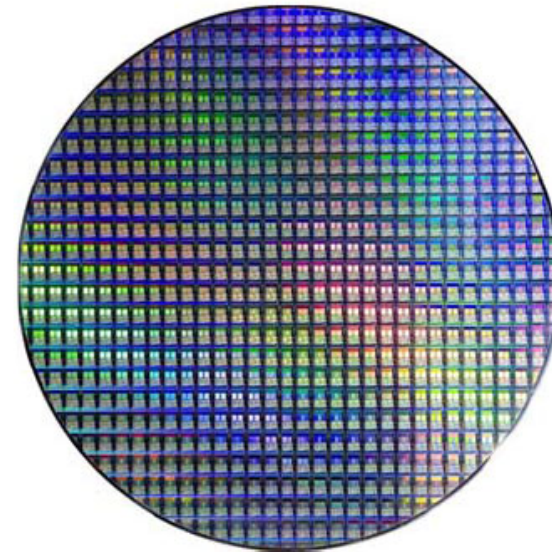
AMD Athlon



8" (200mm)
90nm CMOS



12" (300mm)
90nm CMOS



12" (300mm)
65nm CMOS

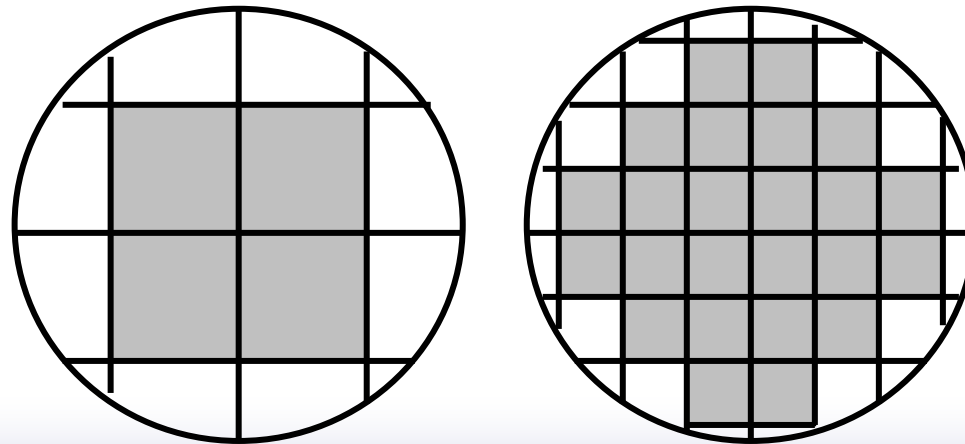
From: <http://www.sandpile.org>

成品率

$$Y = \frac{\text{每个晶圆上完好的芯片数量}}{\text{每个晶圆上总的芯片数量}} \times 100\%$$

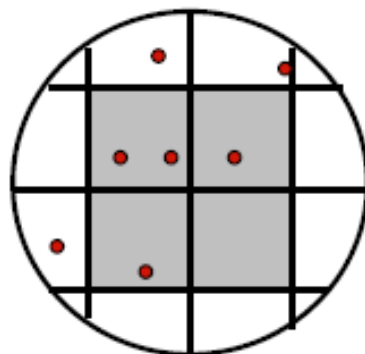
$$\text{芯片成本} = \frac{\text{晶圆成本}}{\text{每个晶圆上的芯片数} \times \text{成品率}}$$

$$\text{每个晶圆的芯片数} = \frac{\pi \times (\text{晶圆直径}/2)^2}{\text{芯片面积}} - \frac{\pi \times \text{晶圆直径}}{\sqrt{2} \times \text{芯片面积}}$$

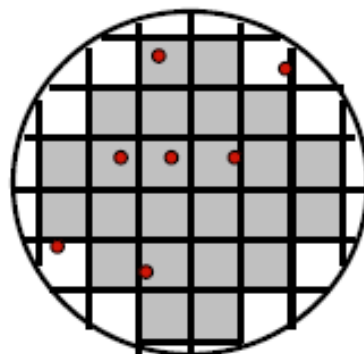


缺陷

Yield = 1/4



Yield = 19/24



典型值: 0.5~1个缺陷/cm²

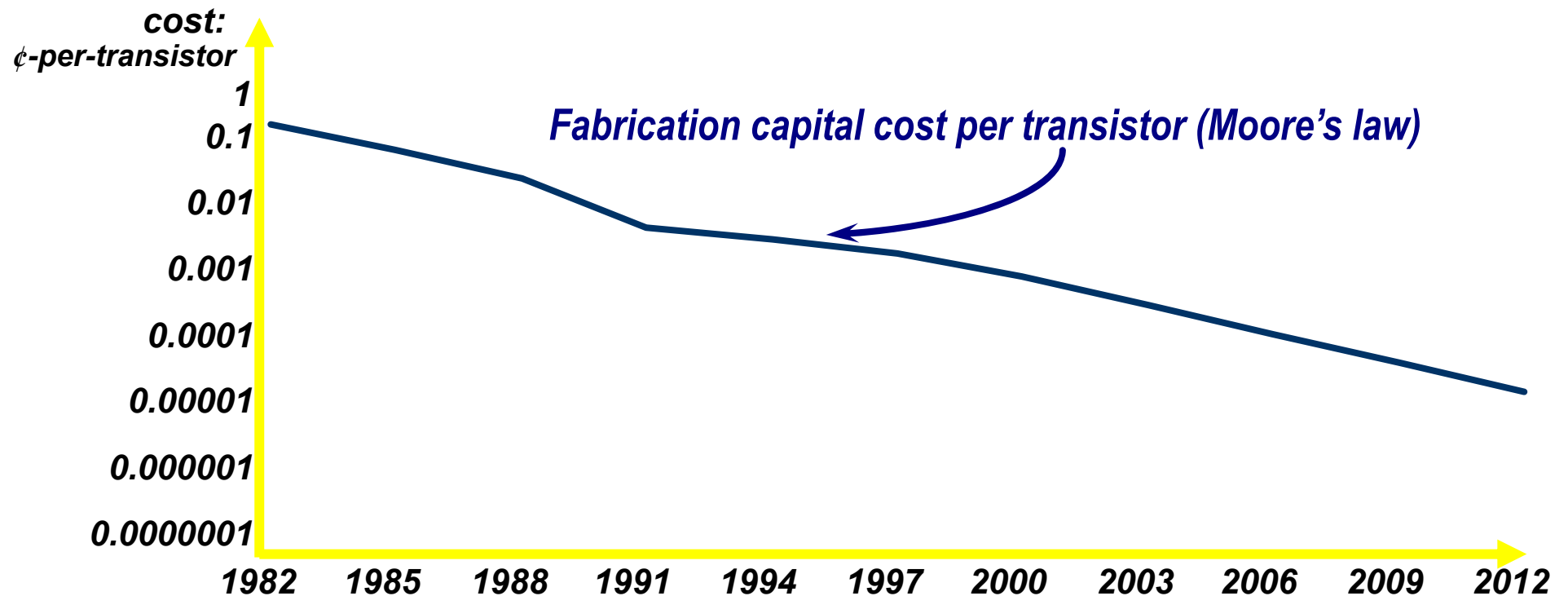
$$\text{芯片成品率} = \left(1 + \frac{\text{单位面积的缺陷数} \times \text{芯片面积}}{\alpha}\right)^{-\alpha} \quad \alpha \text{ 约等于 } 3$$

由于, 每个晶圆的芯片数 \propto 芯片面积⁻¹, 成品率 \propto 芯片面积⁻³

$$\text{芯片成本} \propto \frac{1}{(\text{每个晶圆的芯片数} \times \text{成品率})} \propto \text{芯片面积}^4$$

P12, 例1.3

每个晶体管的成本

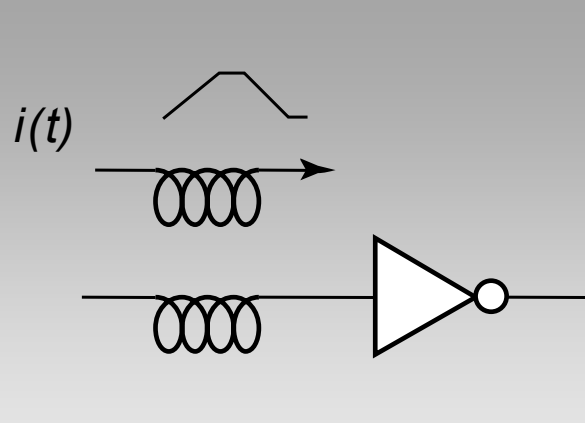


可靠性

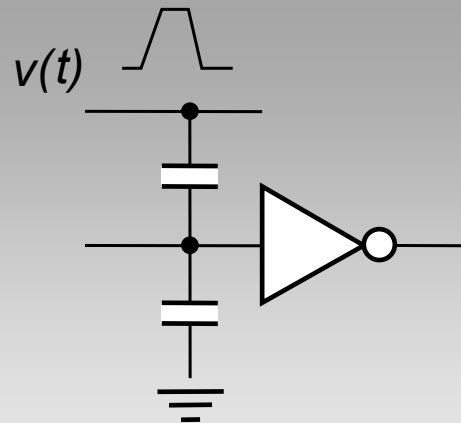
- 自然界中的信号都是模拟信号

电路设计者需要处理的所有的物理量实际上都是连续的信号。

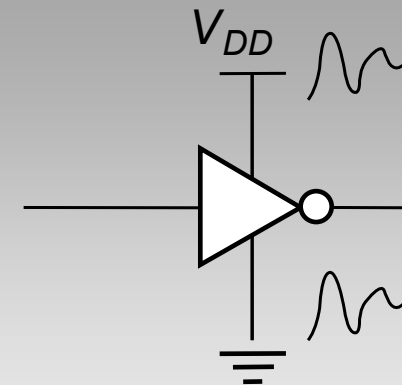
- 因此，“数字”信号也会受到噪声的干扰



Inductive coupling



Capacitive coupling



Power and ground noise

数字电路中的噪声源

噪声和数字系统

- 即使有噪声的干扰，要求数字电路也要正常工作
 - 数字门电路能够抑制干扰。
 - 这实际上也是如何定义数字电路的一个标准。
- 数字系统
 - 非连续的值与模拟信号之间的对应映射。
 - 所有的门都要能够抑制噪声（对于可接受范围内的噪声，输出噪声要小于输入噪声）。
 - 因此，对于足够“小”的噪声，系统实际上是不受噪声干扰的。

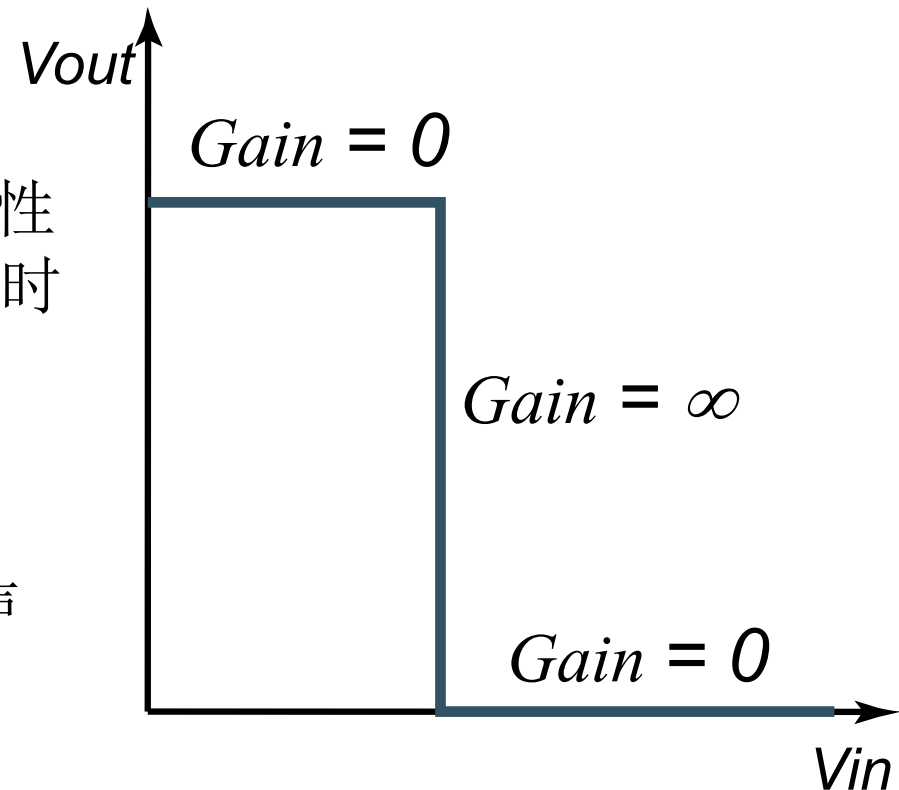
噪声抑制

■ 门电路对噪声的抑制

- 理想反相器的电压传输特性
- 如果输入不是精确的0或1时会发生什么。

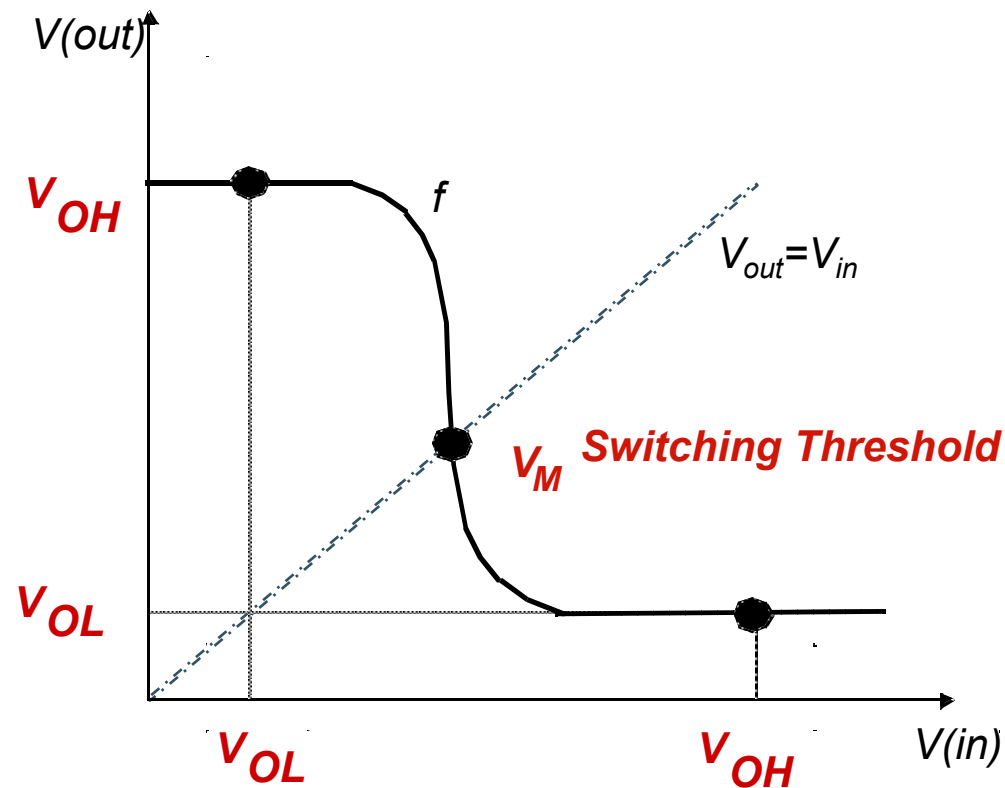
■ 理想的数字

- 当噪声大于 $V_{DD}/2$ 时，噪声才会对输出产生影响。



理想反相器的电压传输特性 (VTC)

DC 传输特性 电压传输特性 (VTC)



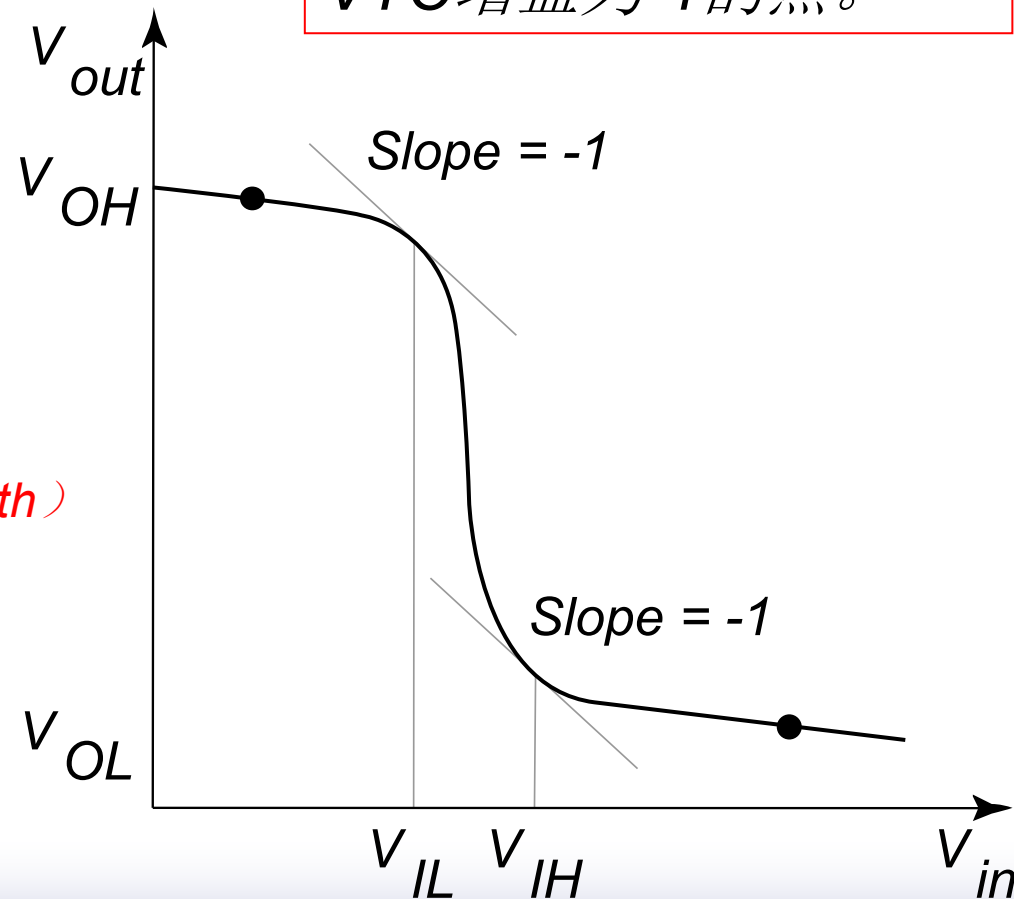
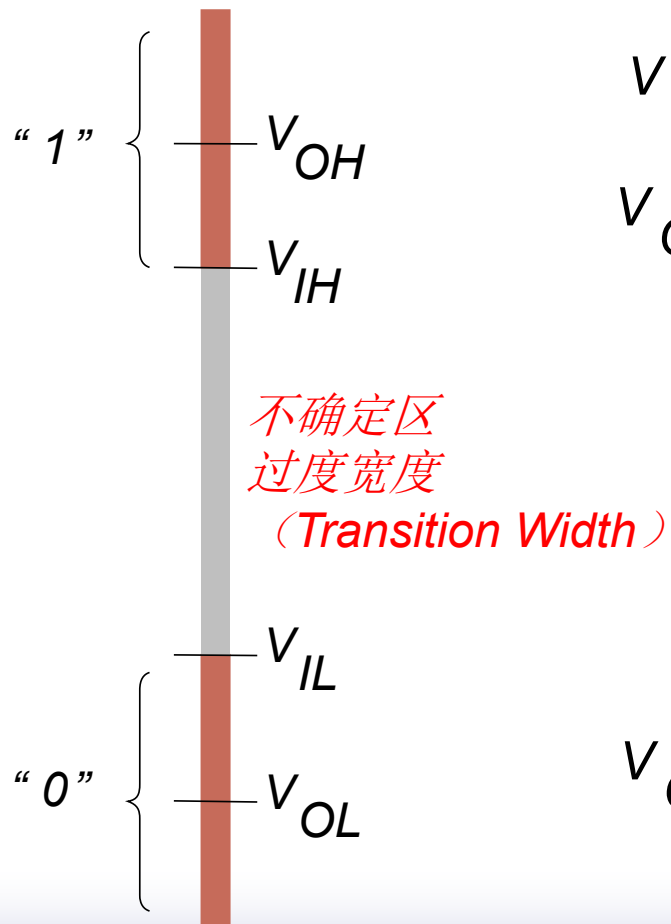
$$\begin{aligned} V_{OH} &= f(V_{OL}) \\ V_{OL} &= f(V_{OH}) \\ V_M &= f(V_M) \end{aligned}$$

V_{OH} : 额定高电压;
 V_{OL} : 额定低电压;
 V_M : 门阈值电压;

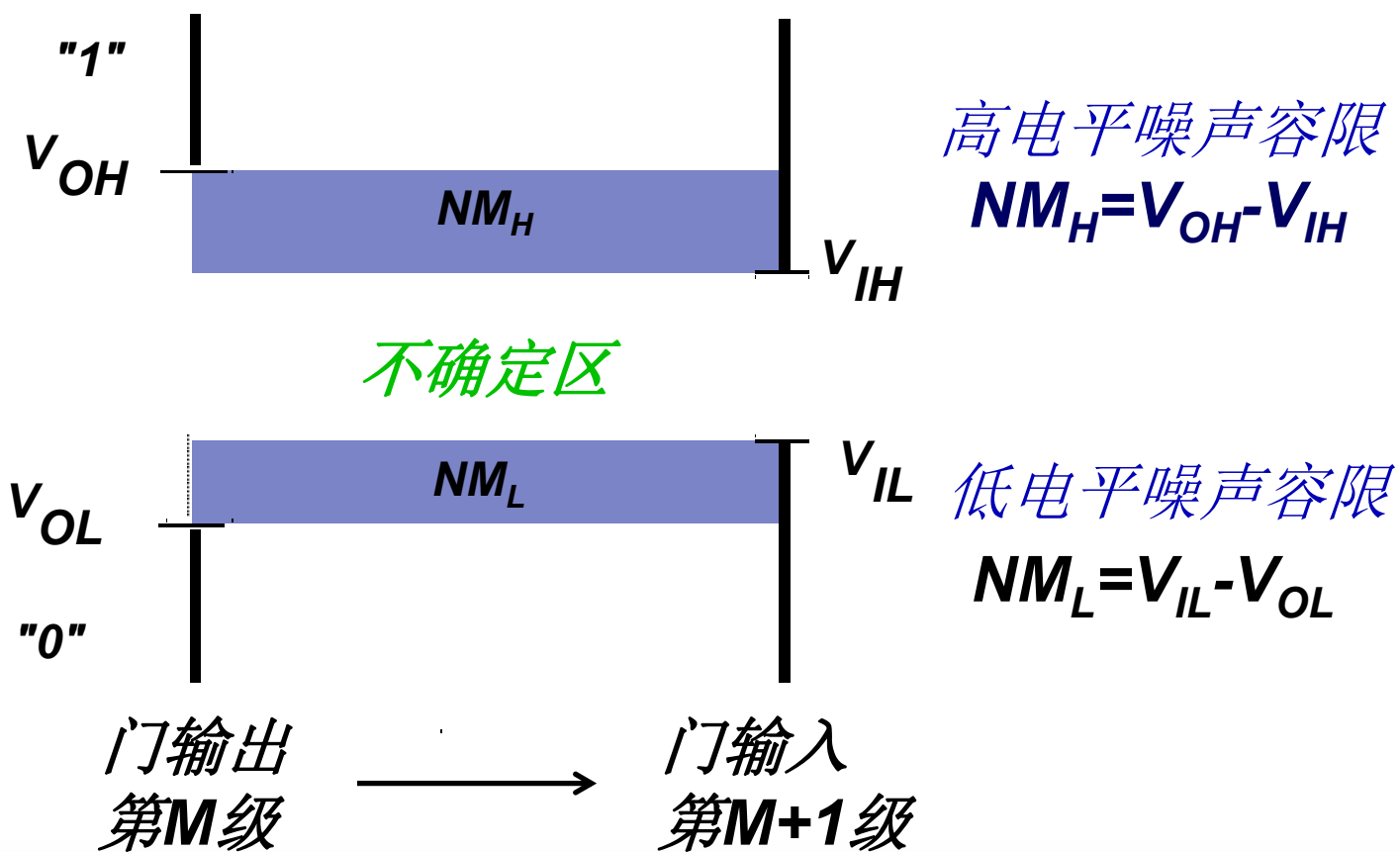
Nominal Voltage Levels

电压与逻辑电平之间的关系

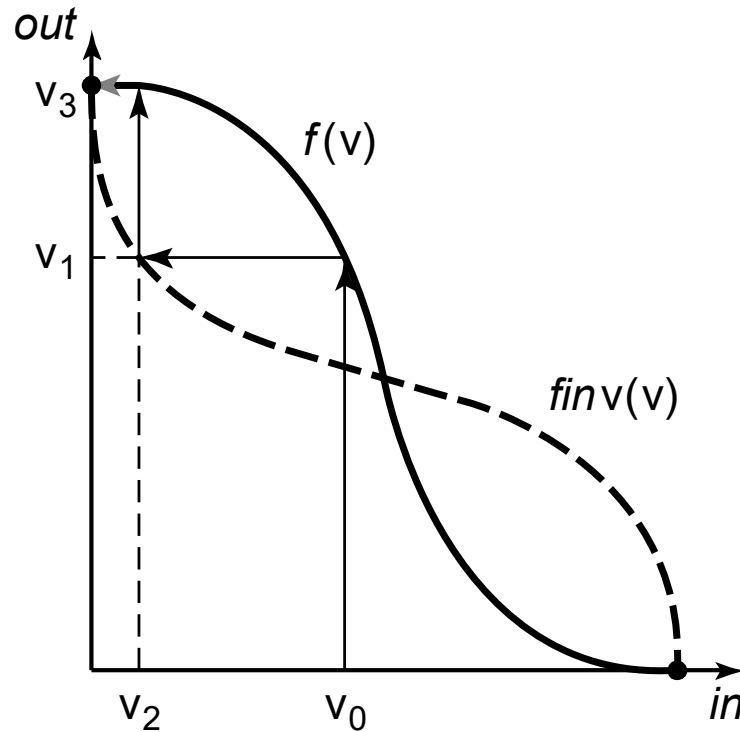
V_{IH} : 可接受的高电压;
 V_{IL} : 可接受的低电压;
VTC增益为-1的点。



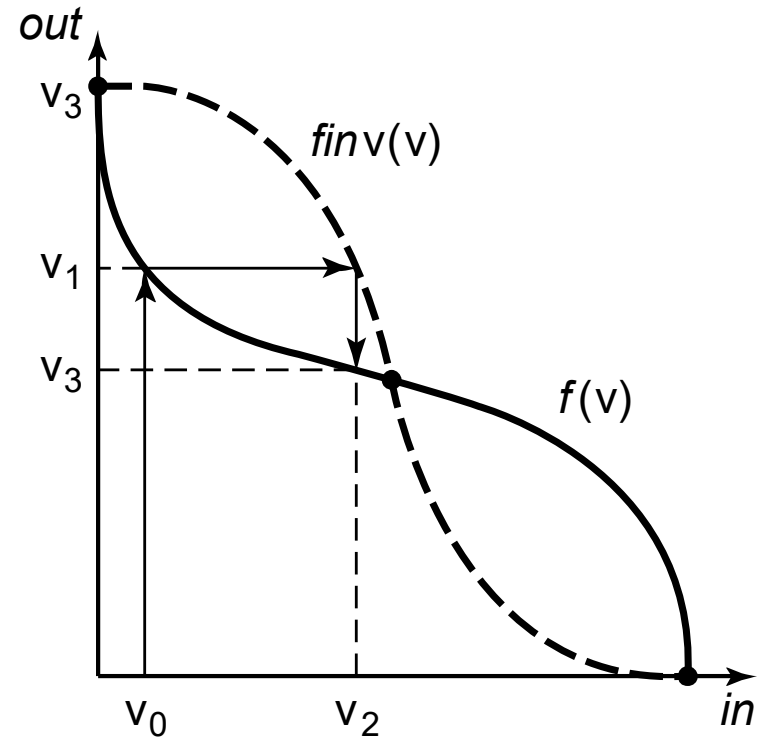
噪声容限的定义



Regenerative Property 再生性



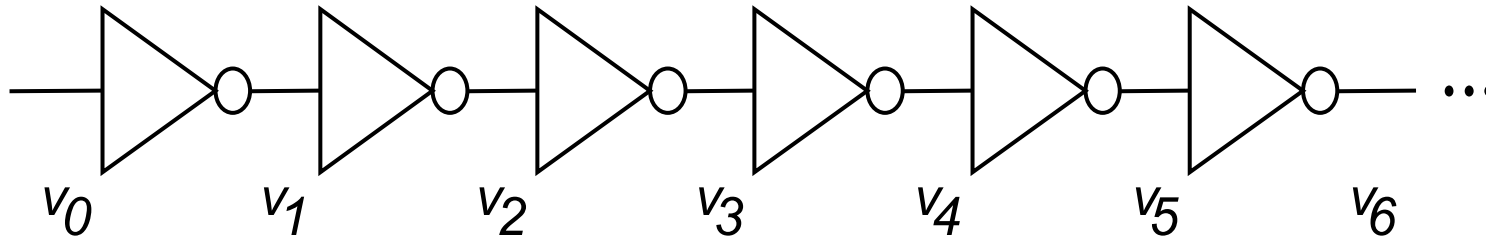
可再生性的门



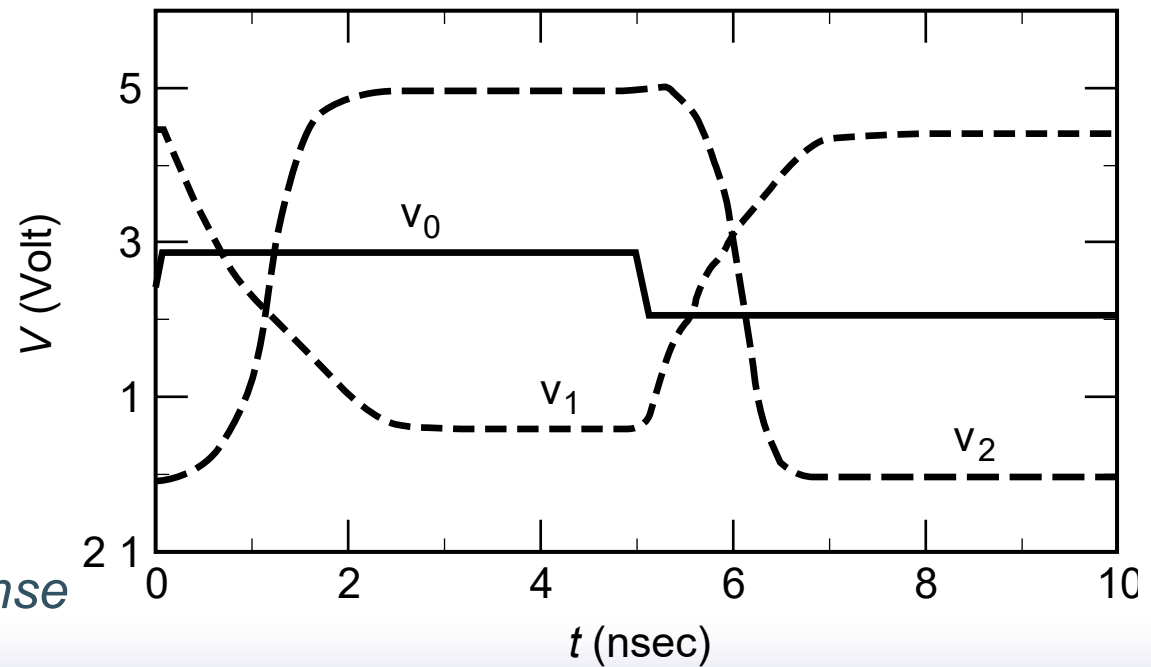
不具有可再生性的门

一个门的VTC应当具有一个增益绝对值大于1的过渡区，该过渡区以两个合法区域为界，合法区域的增益应当小于1

Regenerative Property



A chain of inverters



Simulated response

抗噪声能力 (I)

- ❑ 噪声容限对于确定一个电路抑制噪声的能力是不够的；
- ❑ 抗噪声能力描述了一个电路在噪声存在的情况下正确处理和传递信息的能力；
- ❑ 许多数字电路，它们的噪声容限很小，确有很好的抗噪声能力，因为它们抑制噪声源而不是压制它；
- ❑ 抗噪声能力取决于噪声的传播函数

抗噪声能力 (II)

□ 噪声源的两种类型:

- 与信号摆幅 V_{sw} 成正比。对信号节点的影响使用 gV_{sw} 来表示;
- 固定噪声。对信号节点的影响等于 fV_{Nf} , V_{Nf} 是噪声源的幅值, f 是从噪声到节点的传递函数

抗噪声能力 (III)

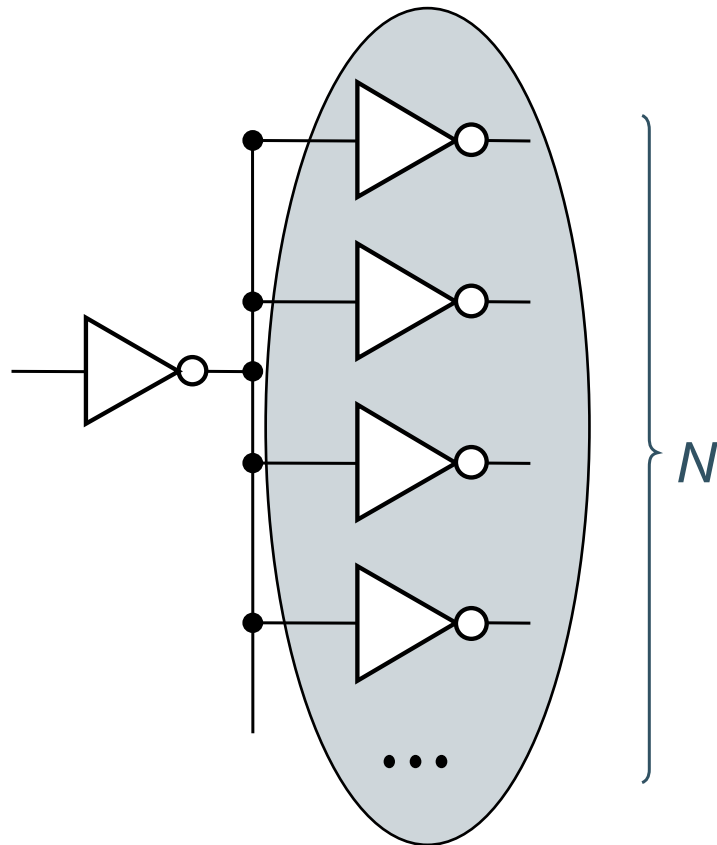
- 假设噪声容限等于信号摆幅的一半，为了能正确工作，噪声容限必须大于耦合噪声值的和

$$V_{NM} = \frac{V_{sw}}{2} \geq \sum_{\text{fixed sources}} f_i V_{Nfi} + \sum_{\text{prop. sources}} g_j V_{sw}$$

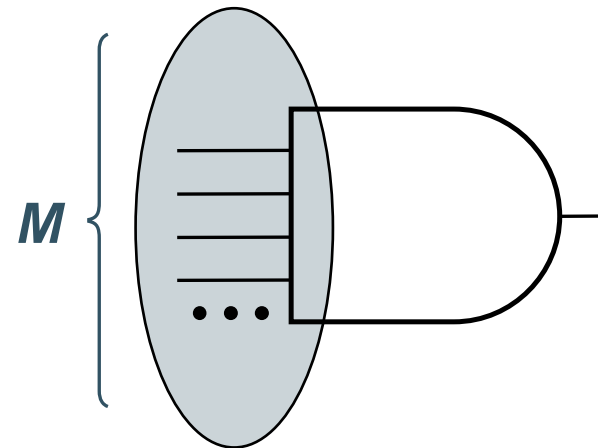
$$V_{sw} \geq \frac{2 \sum_{\text{fixed sources}} f_i V_{Nfi}}{1 - 2 \sum_{\text{prop. sources}} g_j}$$

(系统工作所需要的最小信号摆幅)

Fan-in and Fan-out

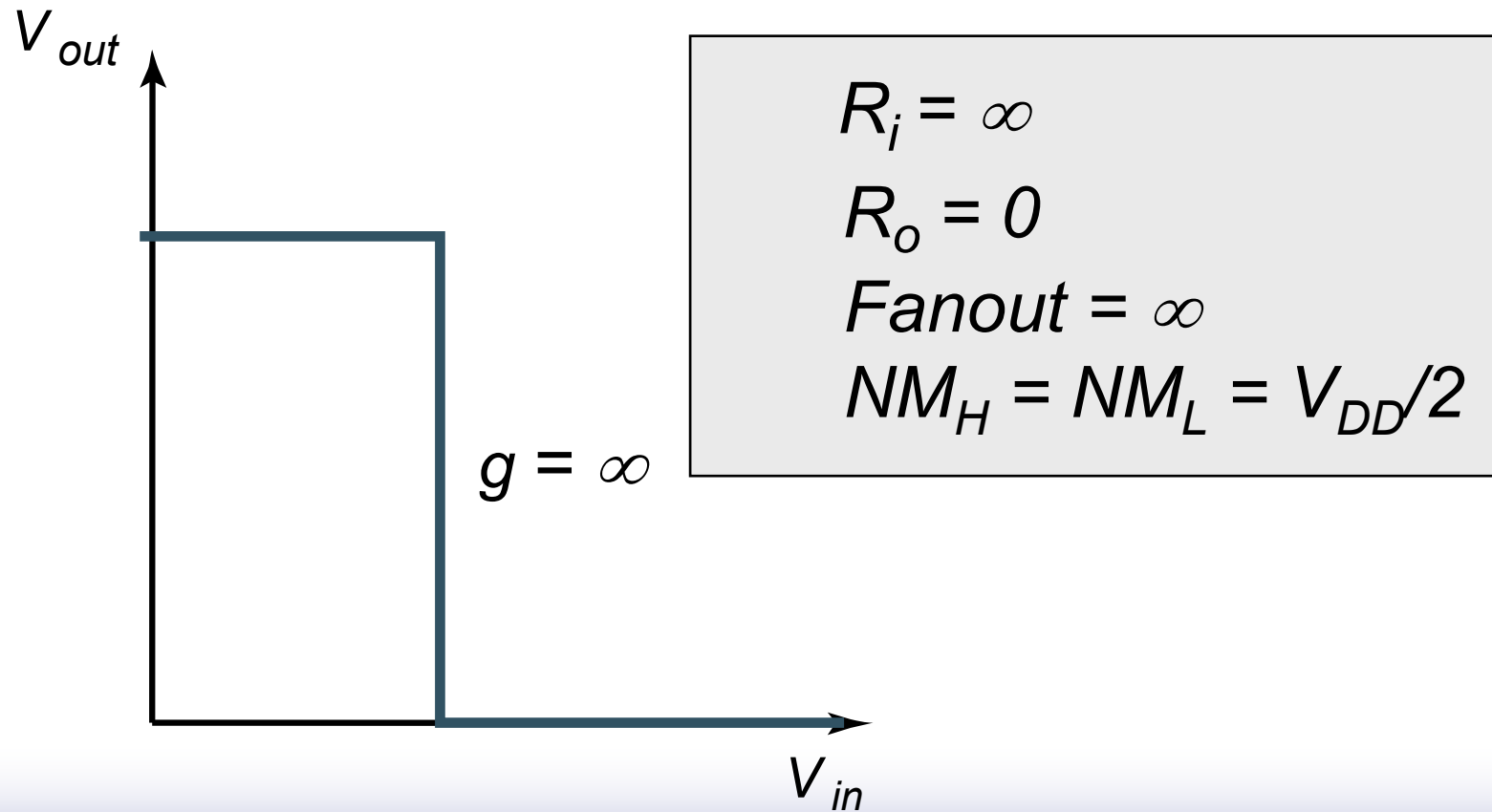


Fan-out N

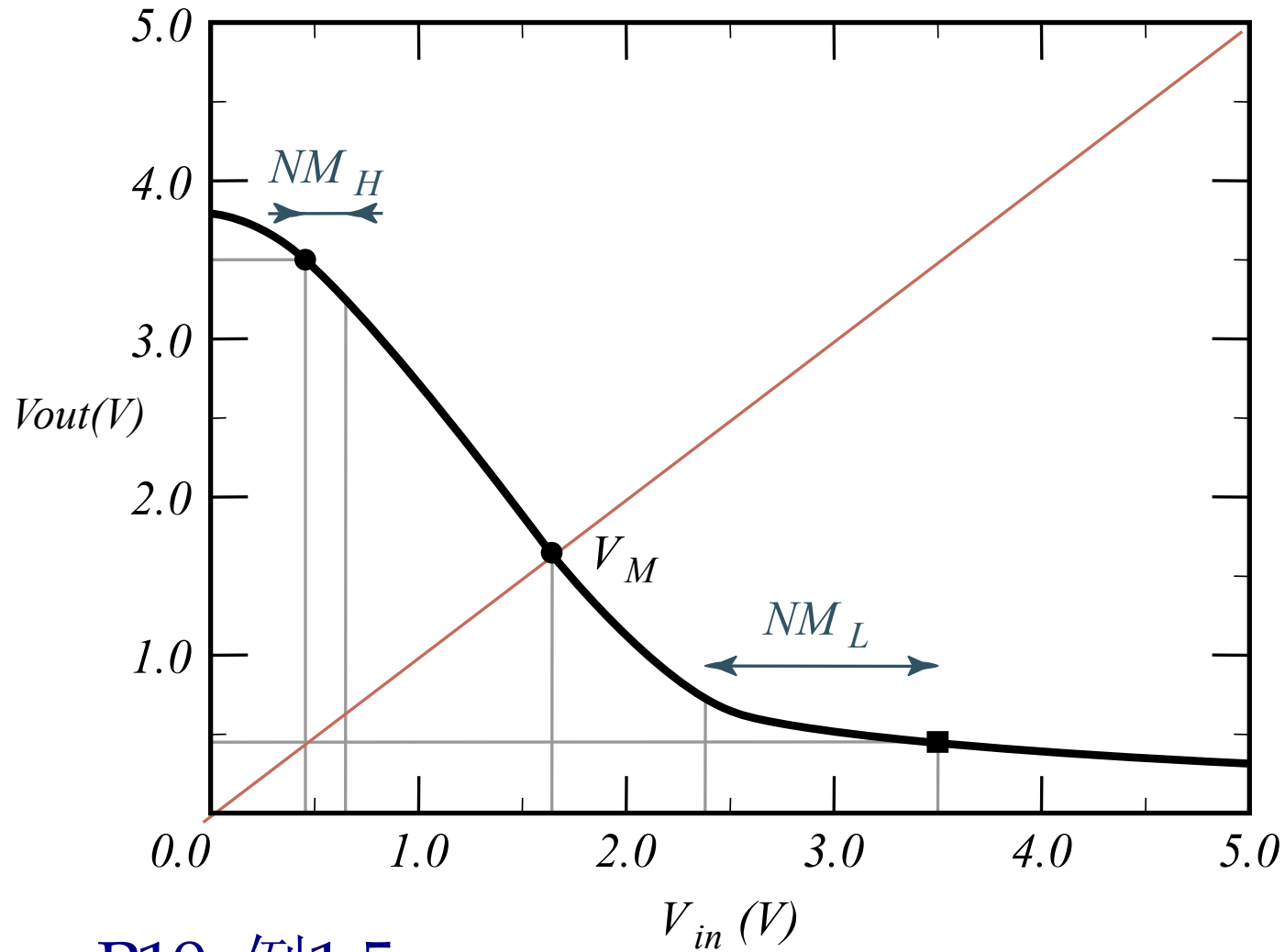


Fan-in M

理想的数字门

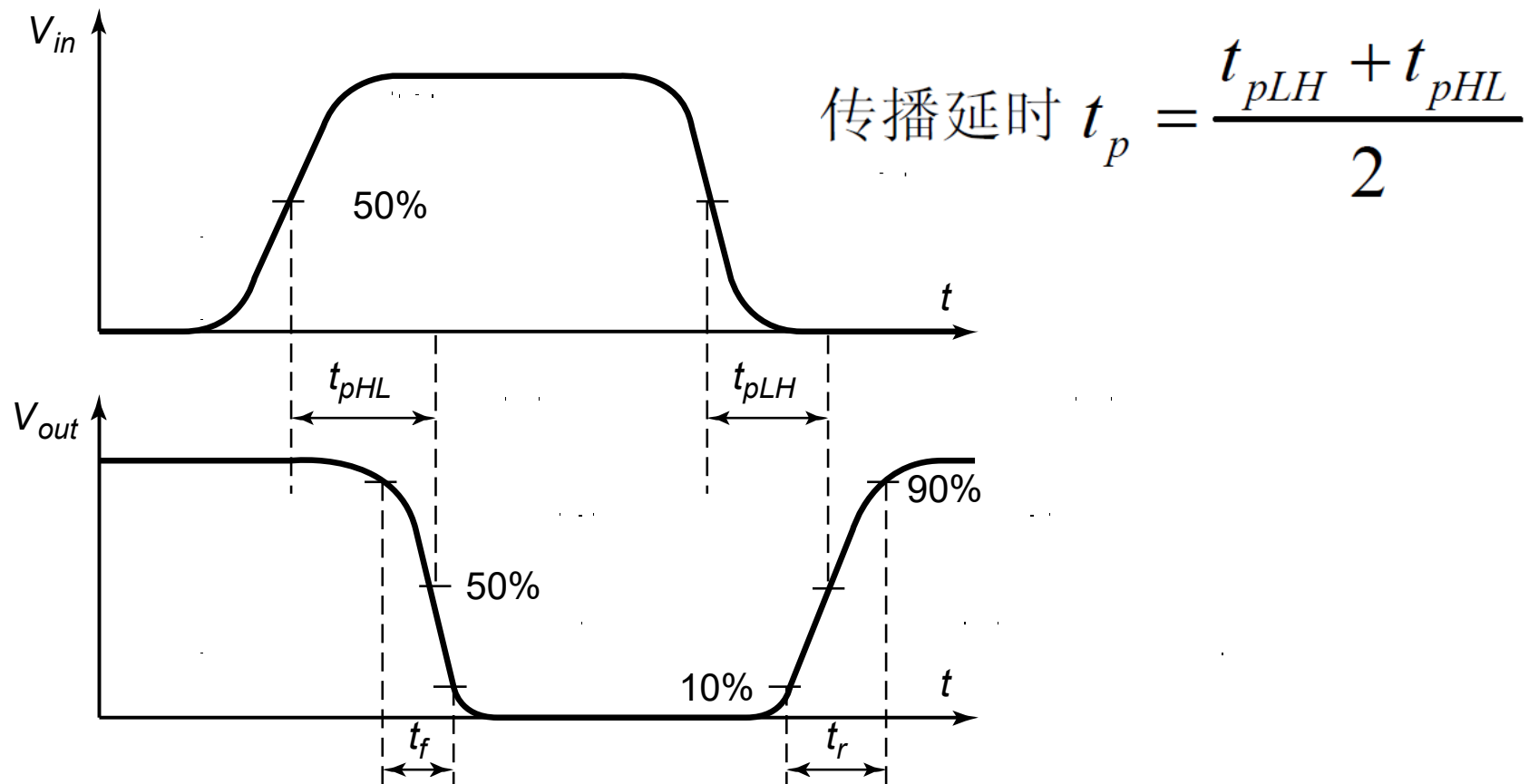


An Old-time Inverter



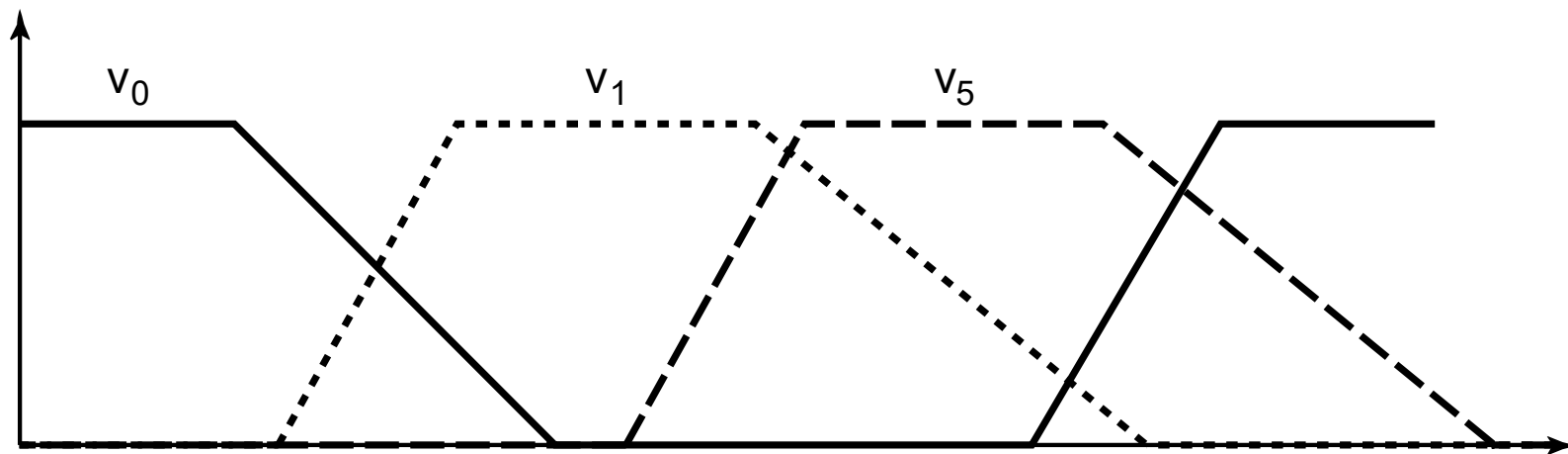
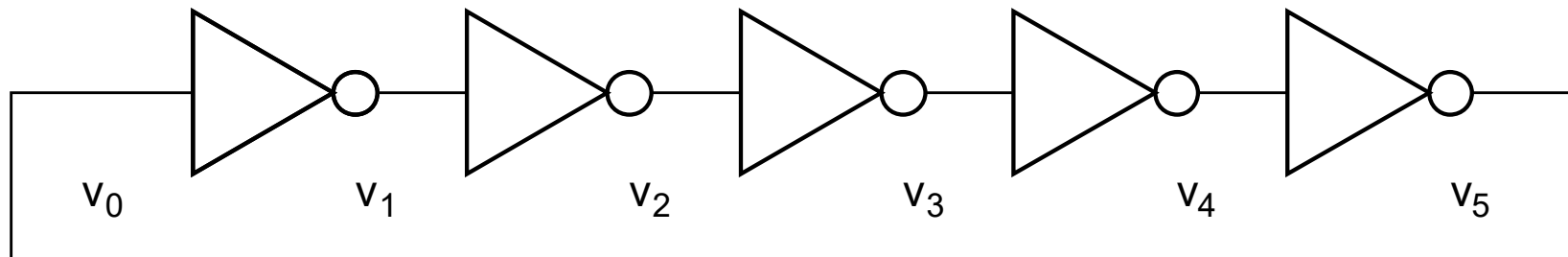
P19, 例1.5

延时定义



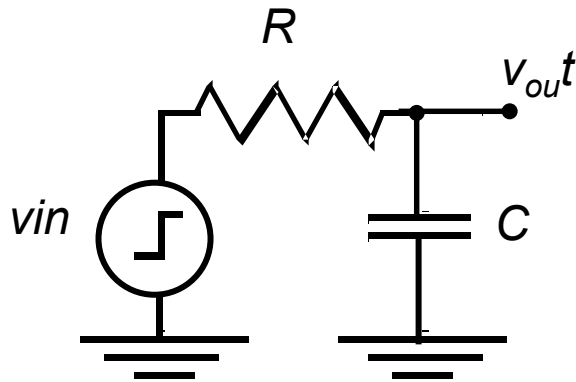
一个信号的上升/下降时间很大程度上取决于驱动门的强度以及它所承受的负载

环振



$$T = 2 t_p N$$

A First-Order RC Network



$$v_{out}(t) = (1 - e^{-t/\tau}) V$$

达到50%点的时间 $t_p = \ln(2) \tau = 0.69 RC$

从10%达到90%点的时间 $t_p = \ln(9) \tau = 2.2 RC$

Important model – matches delay of inverter

功耗

瞬时功耗:

$$p(t) = v(t)i(t) = V_{supply}i(t)$$

峰值功耗: (研究电源尺寸时特别有用)

$$P_{peak} = V_{supply}i_{peak}$$

平均功耗: (处理冷却或考察对电池的要求时)

$$P_{ave} = \frac{1}{T} \int_t^{t+T} p(t)dt = \frac{V_{supply}}{T} \int_t^{t+T} i_{supply}(t)dt$$

能耗-延时积和功耗—延时积

Power-Delay Product (PDP) =

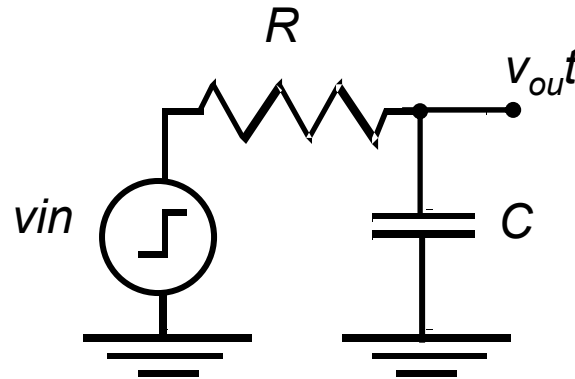
$$E = \text{Energy per operation} = P_{av} \times t_p$$

Energy-Delay Product (EDP) =

$$\text{quality metric of gate} = E \times t_p$$

一个门的传播延时和功耗有关：传播延时主要由一给定数量的能量存放在栅电容上的速度来决定。能量传送的越快（功耗越大）则门越快。对于给定的工艺和门的拓扑结构，功耗和延时的乘积一般为一常数。（**PDP**）

A First-Order RC Network



由信号源传送
的总能量

$$E_{0 \rightarrow 1} = \int_0^T P(t) dt = V_{dd} \int_0^T i_{\text{supply}}(t) dt = V_{dd} \int_0^{V_{dd}} C_L dV_{\text{out}} = C_L \cdot V_{dd}^2$$

$$E_{\text{cap}} = \int_0^T P_{\text{cap}}(t) dt = \int_0^T V_{\text{out}} i_{\text{cap}}(t) dt = \int_0^{V_{dd}} C_L V_{\text{out}} dV_{\text{out}} = \frac{1}{2} C_L \cdot V_{dd}^2$$

电容上存储的能量

另外一半能量呢？

本课程的内容

- ❑ 器件：主要讲晶体管的工作原理，特性方程以及电容、电阻等
- ❑ 导线：导线的互连参数和导线模型
- ❑ **CMOS**反相器：静态特性、动态特性、功耗等
- ❑ 组合逻辑门设计：静态**CMOS**设计和动态**CMOS**设计
- ❑ 时序逻辑电路设计：静态/动态 寄存器和锁存器设计
- ❑ 数字集成电路的实现策略
- ❑ 互连问题：电容/电阻/电感寄生效应
- ❑ 时序问题：同步设计
- ❑ 运算功能块设计：加法器、乘法器和移位器
- ❑ 存储器和存储阵列设计
- ❑ 数字集成电路测试以及可测性设计
- ❑ 低功耗设计