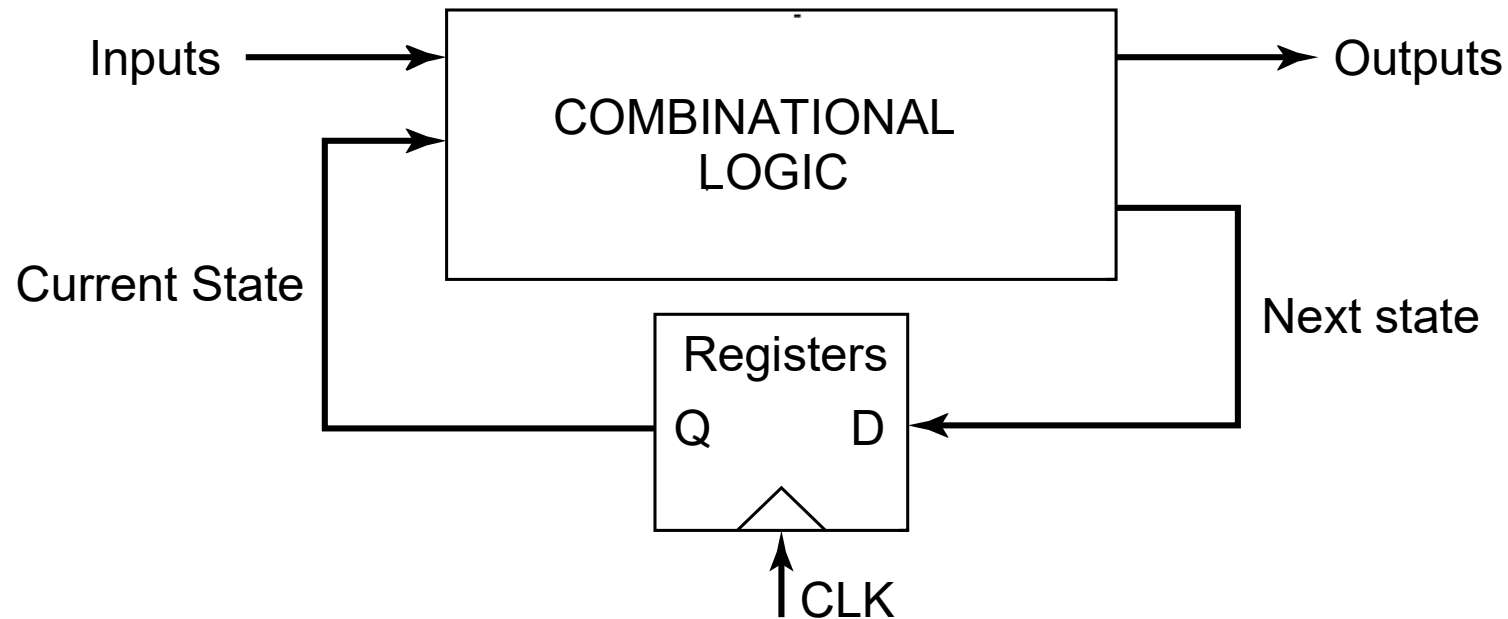




数字集成电路

第七讲 时序逻辑设计

时序逻辑



- 两种存储机制:
- 正反馈存储
 - 基于电荷的存储

命名规则

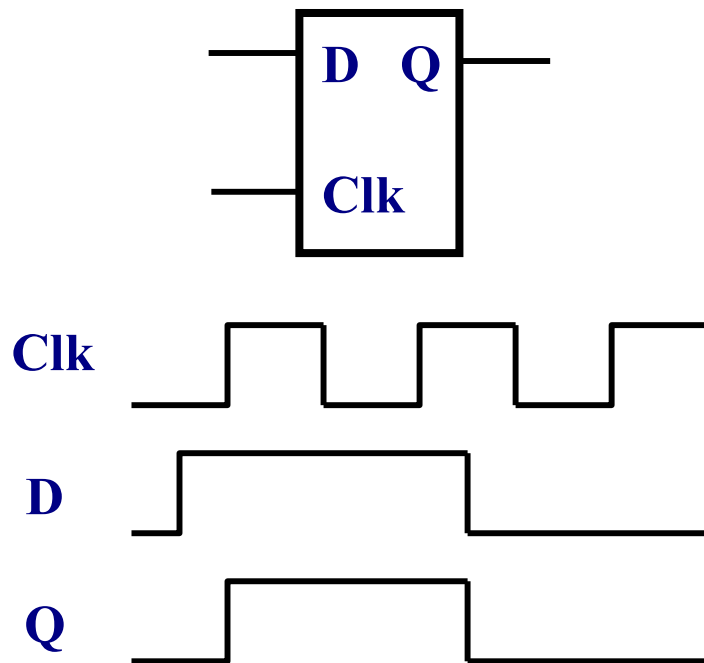
□ 本书中:

- 锁存器: 一个电平敏感 (**level sensitive**) 的器件;
- 寄存器: 一个时钟边沿触发 (**edge triggered**) 的存储元件;
- 触发器: 由交叉耦合的门构成的任何双稳态元件 (**flip-flops**) 。

锁存器和寄存器

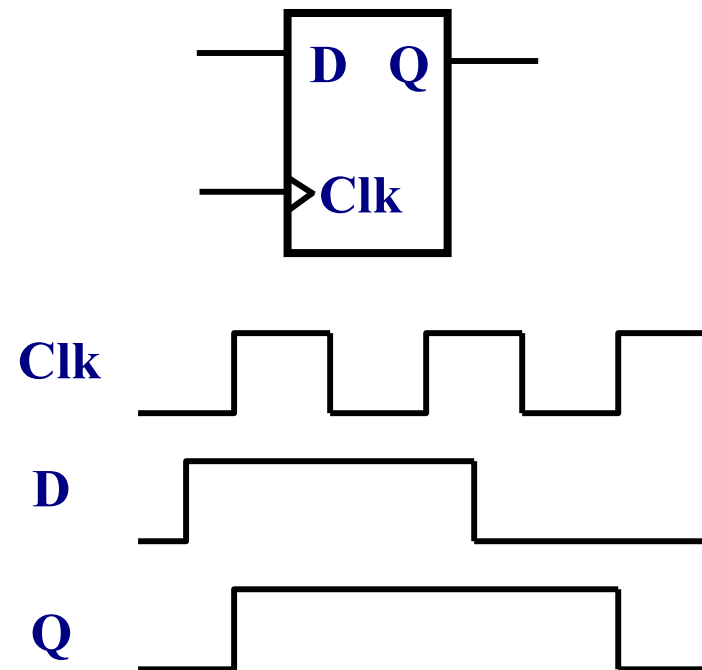
□ 锁存器 (Latch)

低电平存储新数据



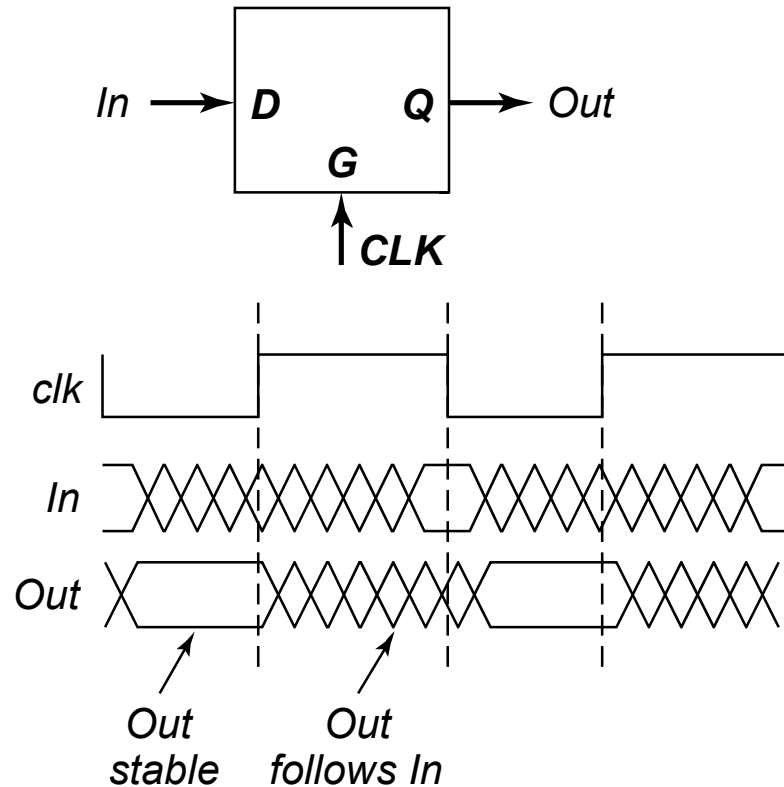
□ 寄存器 (Register)

时钟上升沿存储新数据



锁存器 (Latches)

Positive Latch

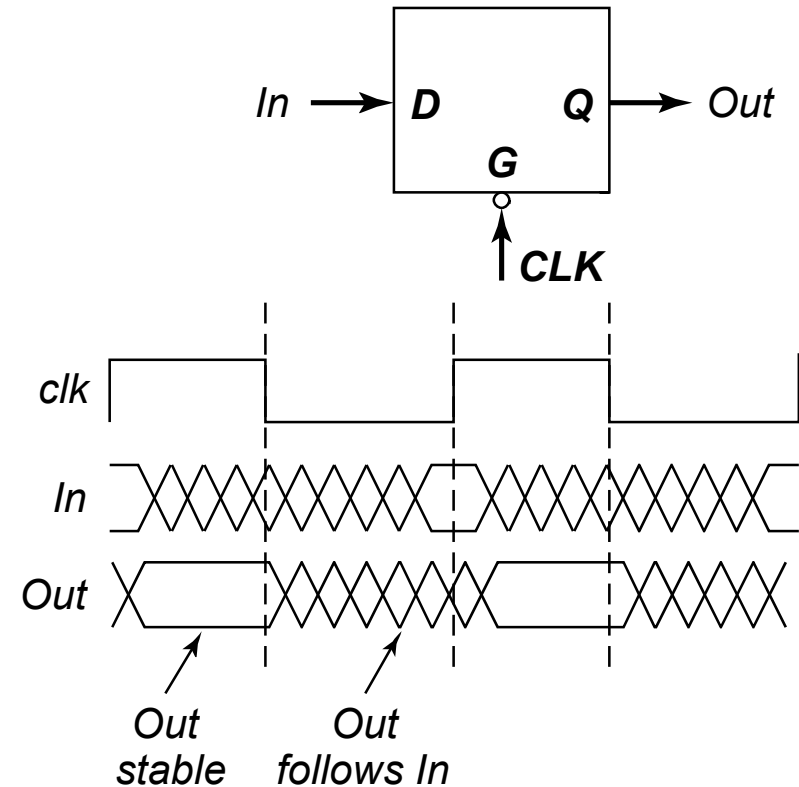


正锁存器:

高电平: 透明(**Transparent**)模式

低电平: 保持(**hold**)模式

Negative Latch



负锁存器:

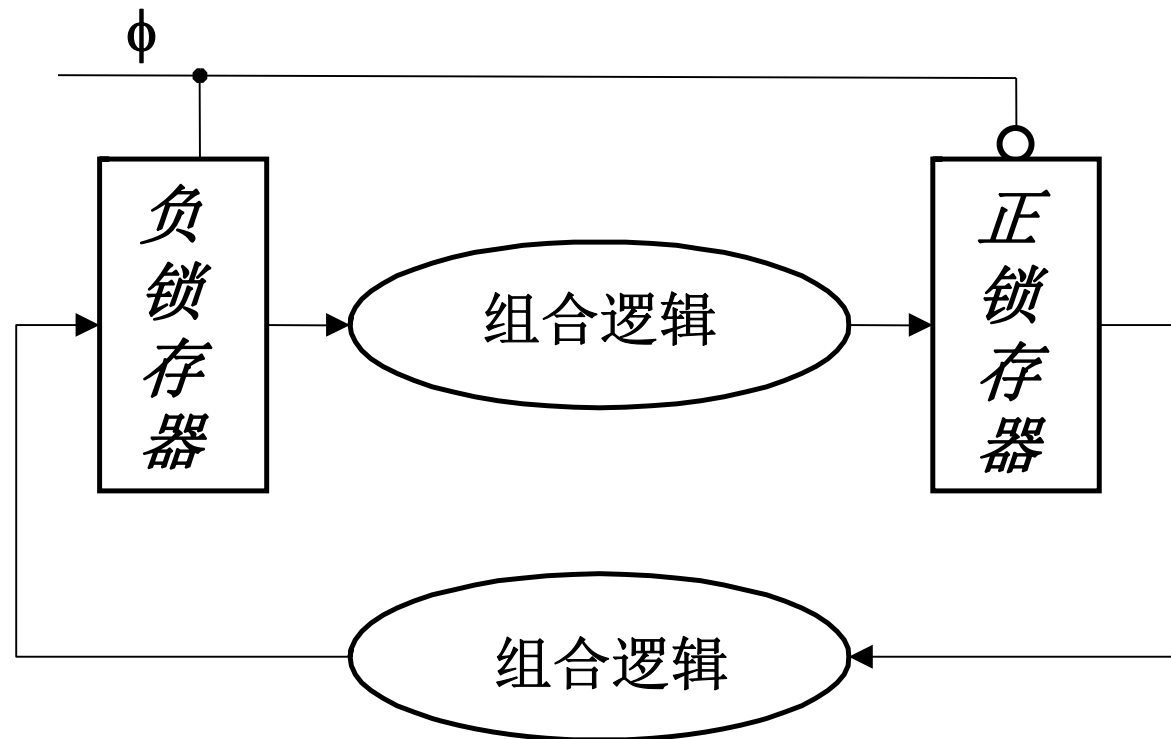
低电平: 透明(**Transparent**)模式

高电平: 保持(**hold**)模式

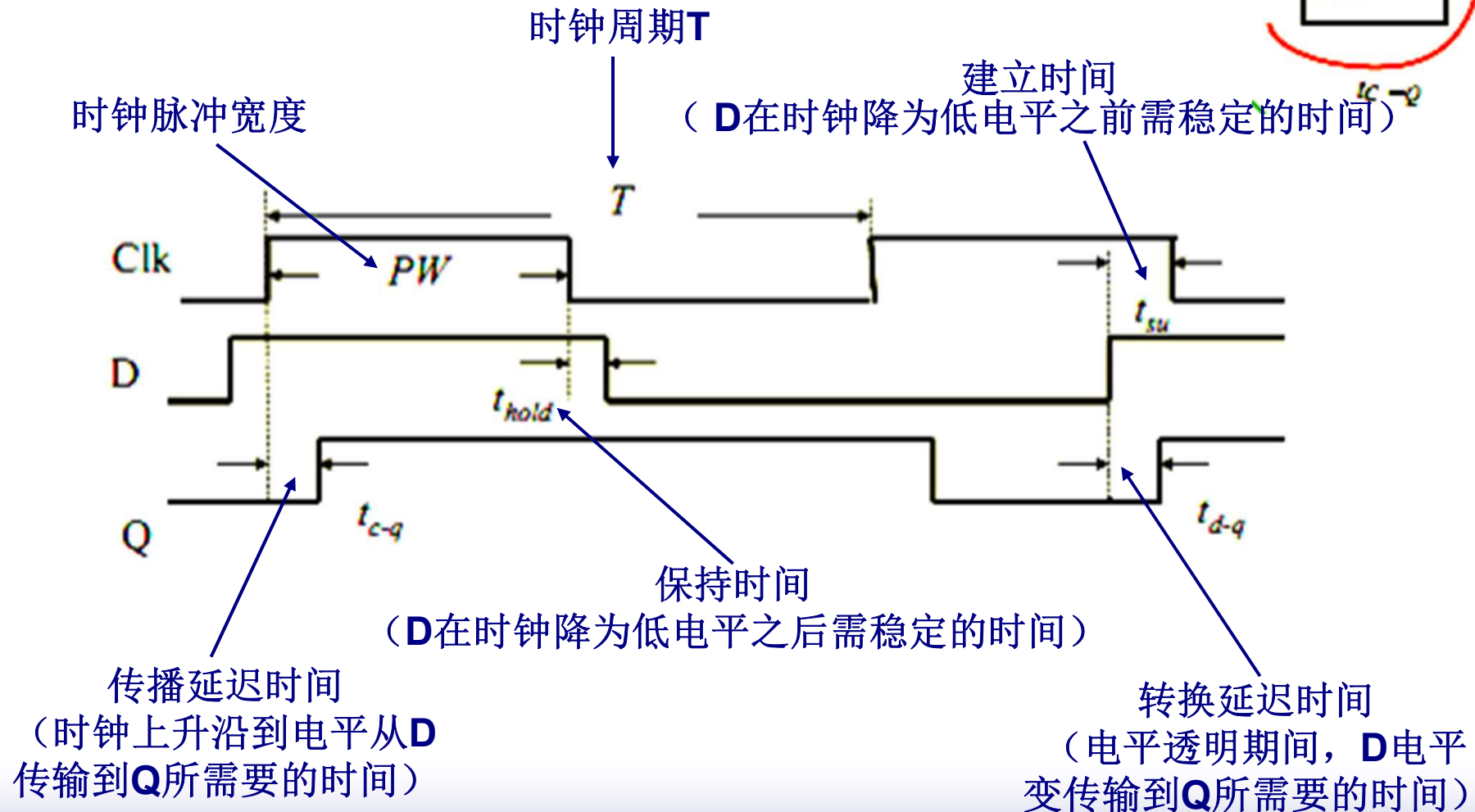
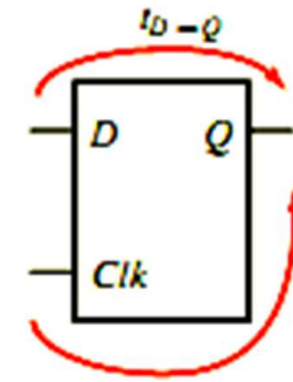
基于锁存器的设计

当 $\phi = 0$ 时，负锁存器是透明模式。

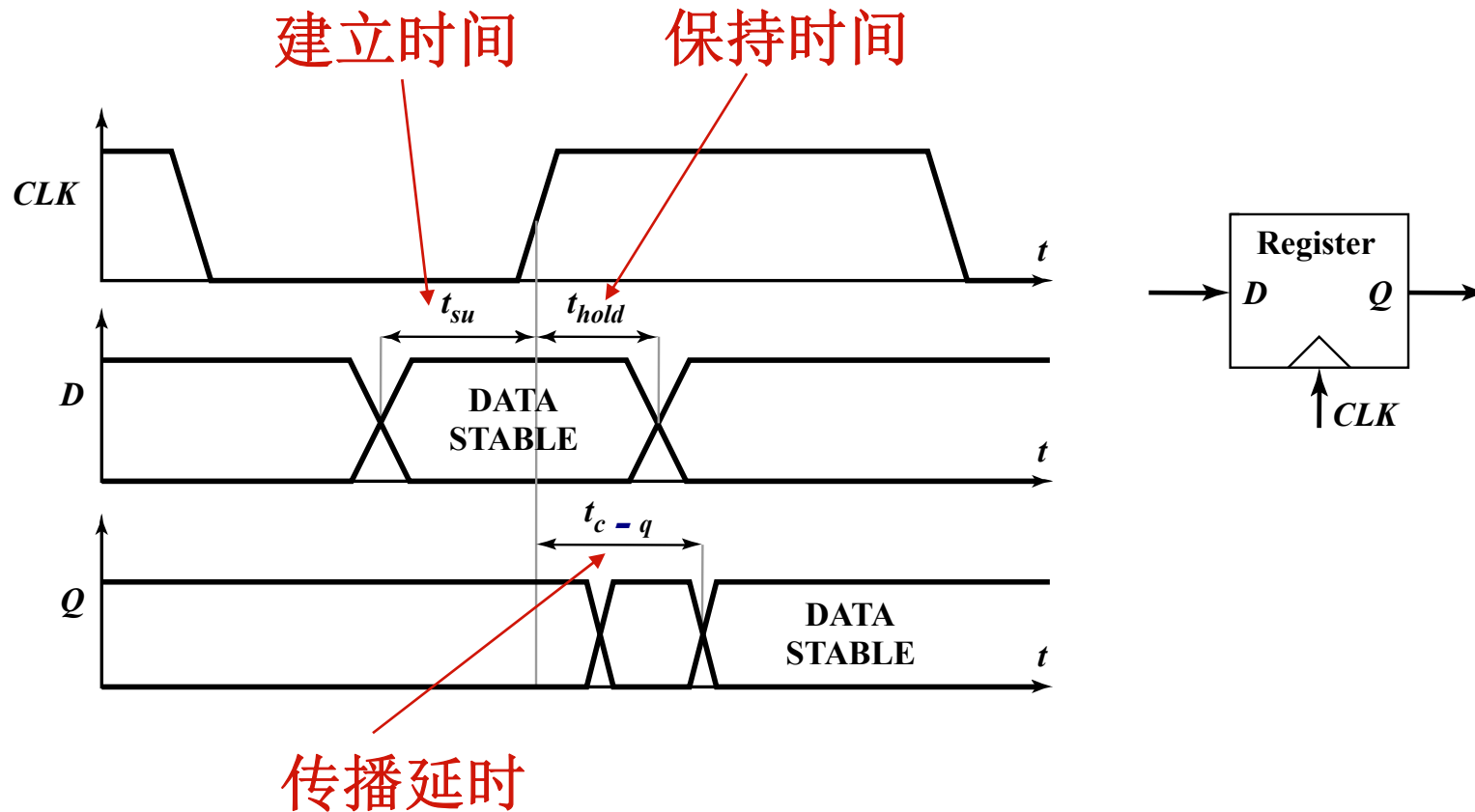
当 $\phi = 1$ 时，正锁存器是透明模式。



Timing Definitions(锁存器)



Timing Definitions(寄存器)



Maximum Clock Frequency



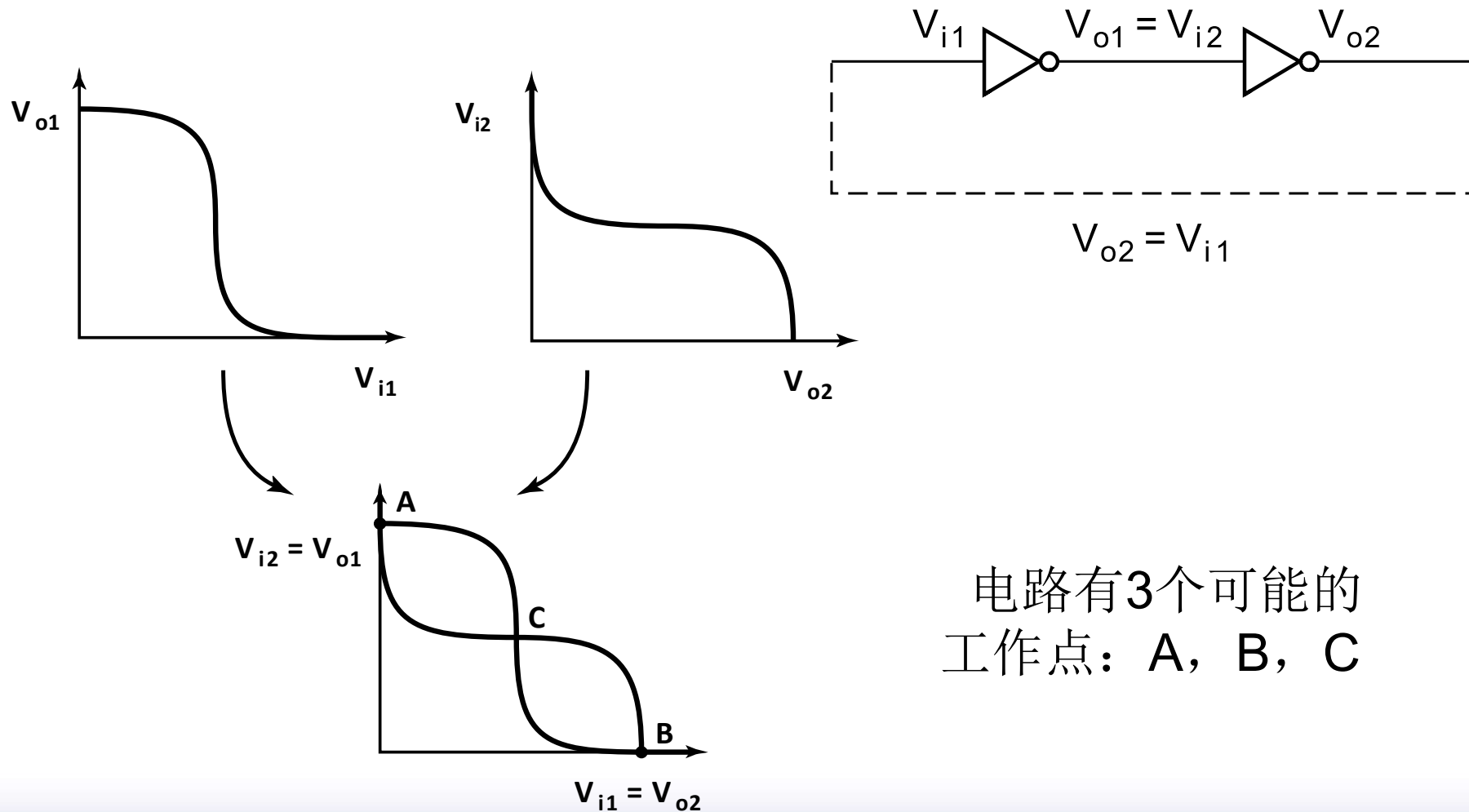
$$T \geq t_{c-q} + t_{plogic} + t_{su}$$

$$t_{cdreg} + t_{cdlogic} > t_{hold}$$

组合逻辑的最坏延时等于 t_{plogic} ，组合逻辑的最小延时（污染延时：contamination delay）等于 t_{cd} 。

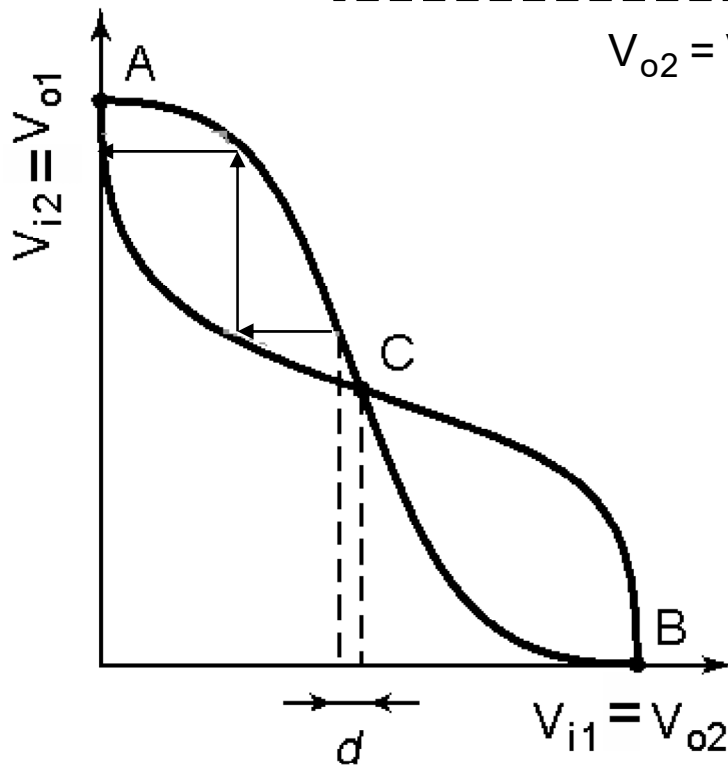
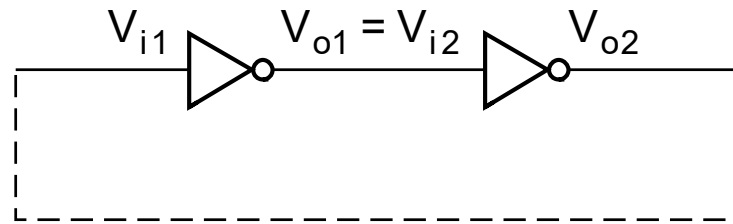
7.2 静态锁存器和寄存器

7.2.1 正反馈: 双稳态原理

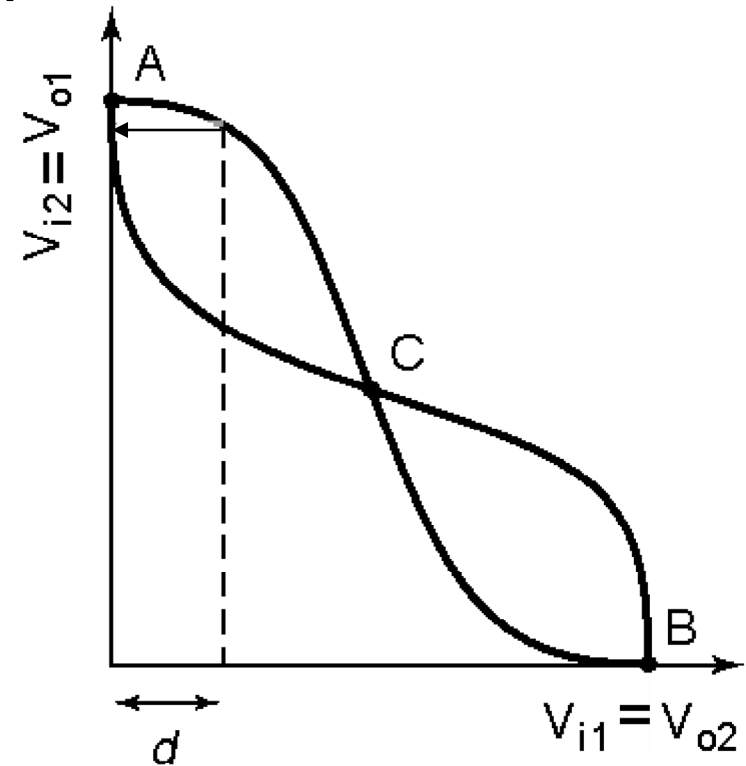


电路有3个可能的工作点: A, B, C

亚稳态 (Meta-Stability)



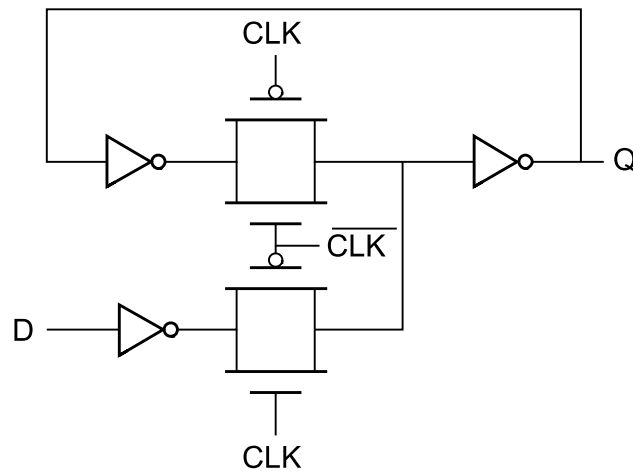
亚稳态工作点



稳态工作点

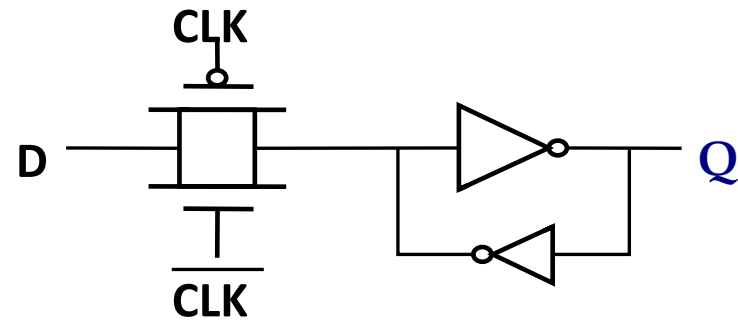
向静态锁存器写入一个值

双稳态电路的另一个名字是触发器（flip-flop）。触发器状态的改变可以采用两种方法实现：切断反馈环路；触发强度超过反馈环。



打开反馈环路，新的值很容易的写入**Out**（**Q**）。称为多路开关型锁存器。

$$Q = \overline{Clk} \cdot Q + Clk \cdot In$$

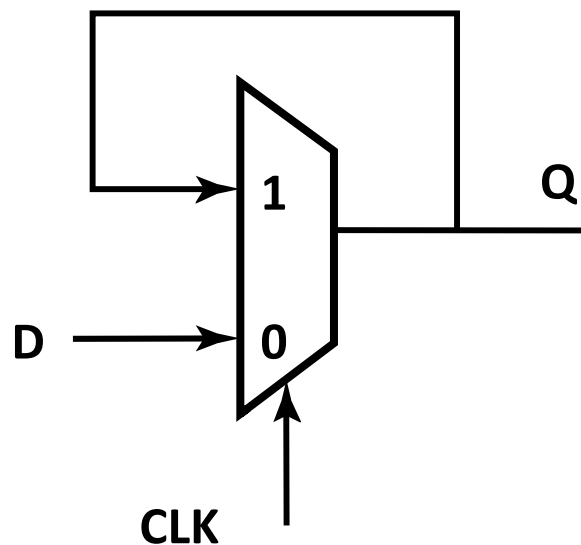


要写入新值时，**D**的强度需要超过存储值，从而迫使新值进入该单元。需要仔细设计反馈环和输入电路中晶体管的尺寸。

7.2.2 多路开关型锁存器

负锁存器

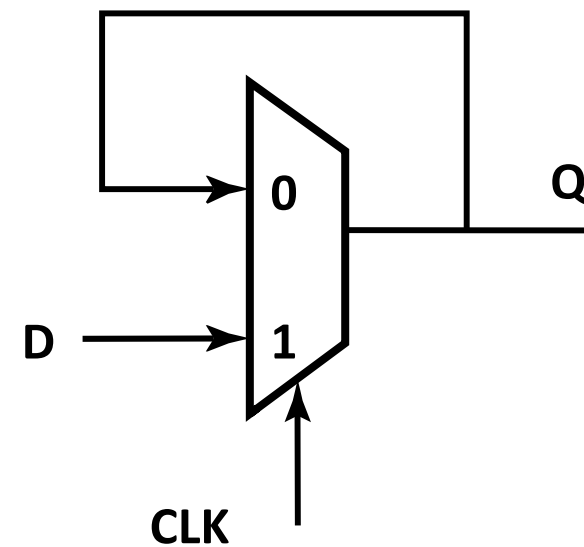
(transparent when CLK= 0)



$$Q = Clk \cdot Q + \overline{Clk} \cdot D$$

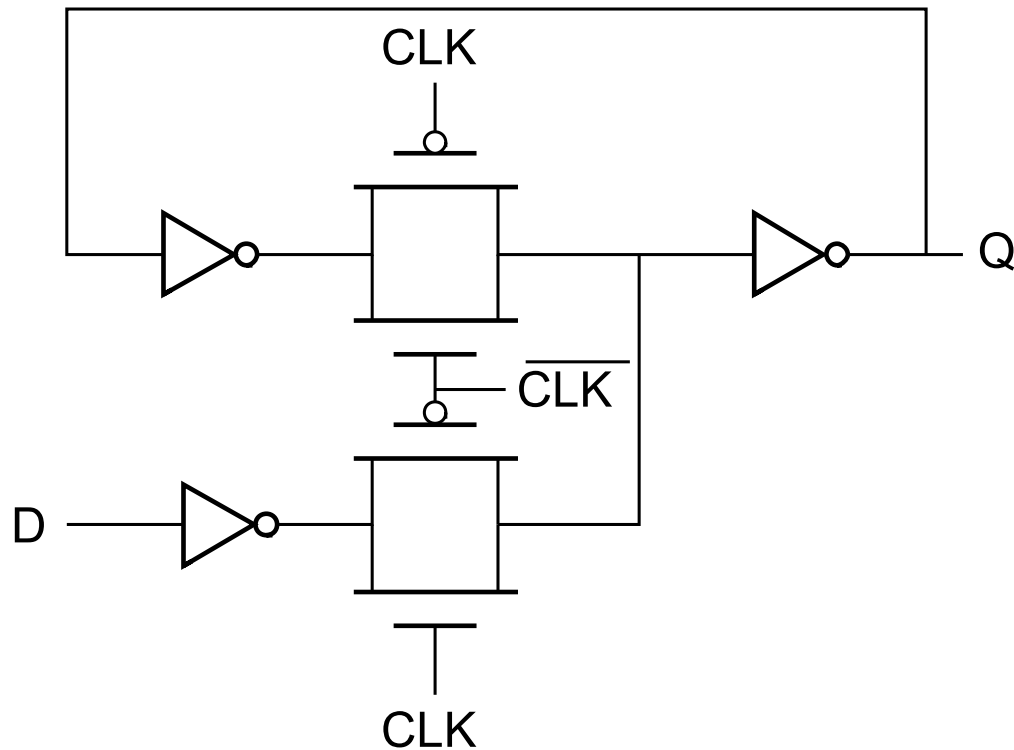
正锁存器

(transparent when CLK= 1)



$$Q = \overline{Clk} \cdot Q + Clk \cdot D$$

多路开关型锁存器—传输门构成



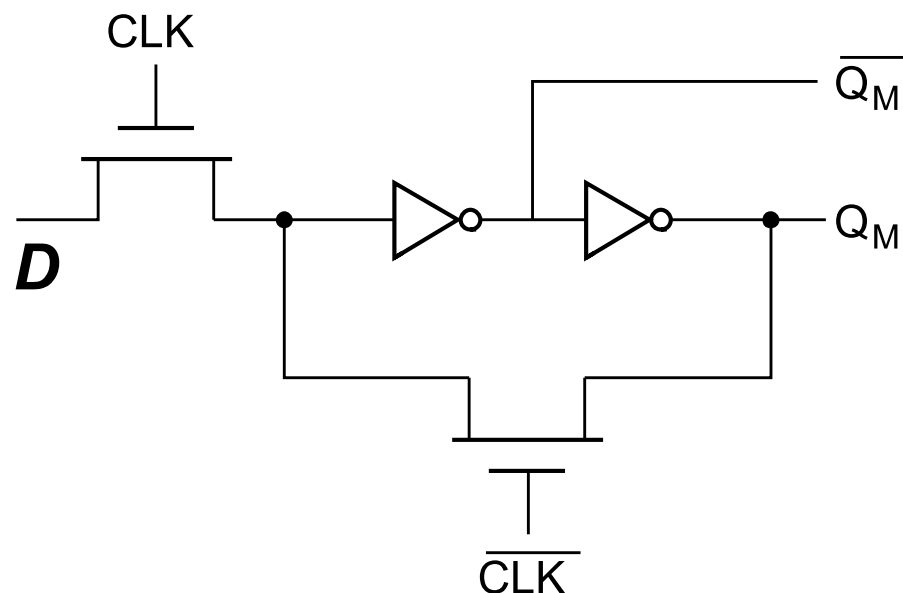
正锁存器

CLK为高时，下面的传输管导通，锁存器是透明的，D被复制输出到Q。

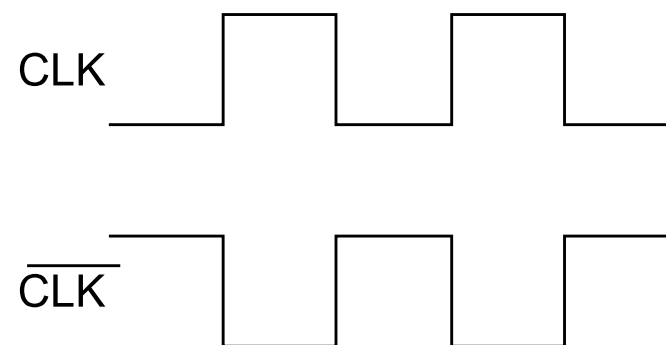
在这一阶段，反馈环路断开，新的数据写入锁存器。因此，晶体管的尺寸对于实现正确的功能并不重要。

从功率角度，时钟驱动的晶体管数目4，锁存器的效率并不高。

多路开关型正锁存器—NMOS传输管构成



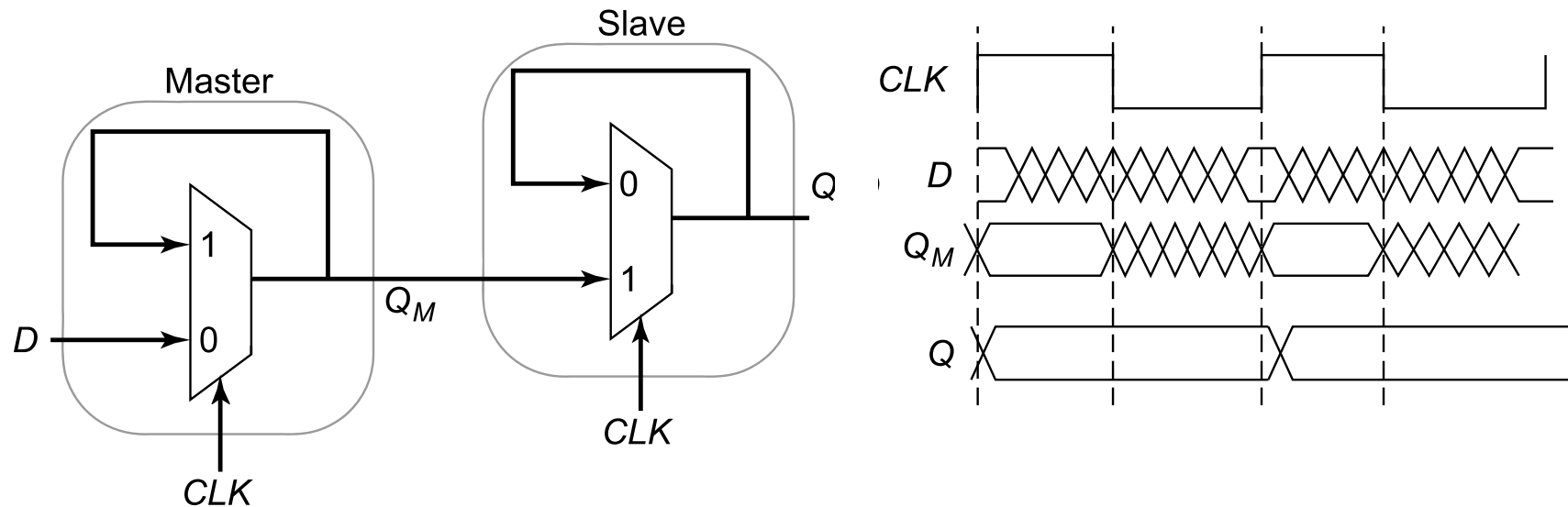
电路图



不重叠时钟

仅用NMOS管实现多路开关，可以将锁存器的时钟负载晶体管减至两个。但仅用NMOS管会使送到第一个反相器输入的高电平降为 $V_{DD} - V_{Tn}$ ，会对噪声容限和开关性能有影响；另外对于第一个反相器，其最大输入电压为 $V_{DD} - V_{Tn}$ ，PMOS器件不能完全关闭，造成静态功耗。

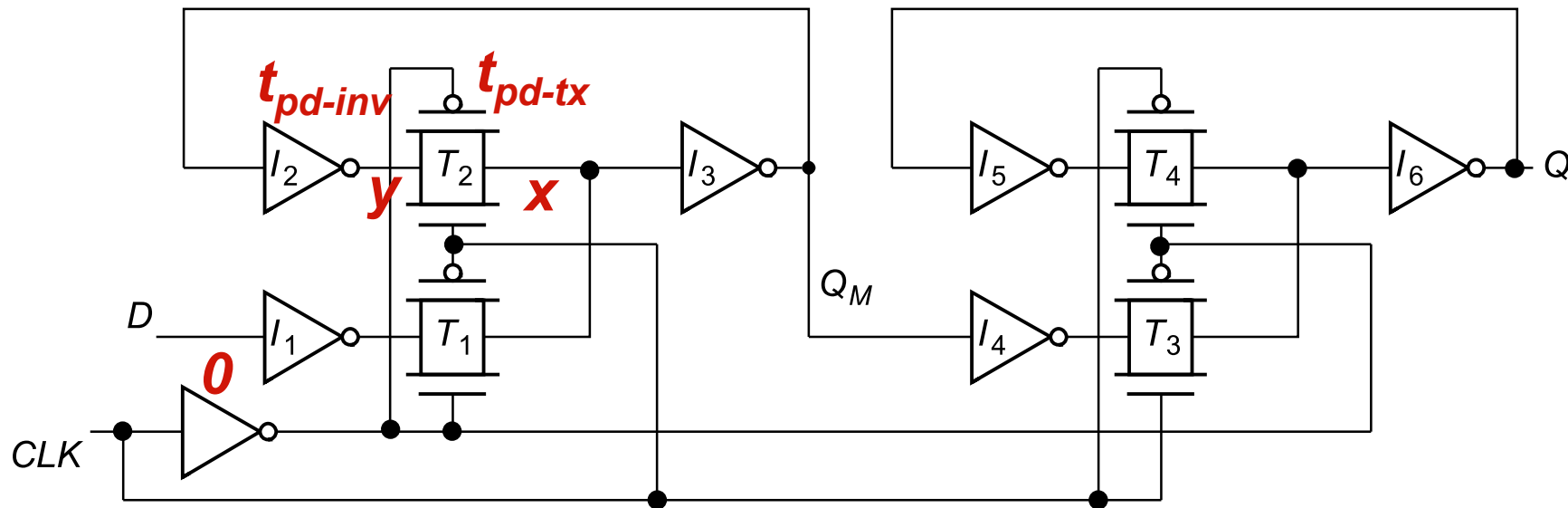
7.2.3 主从式边沿触发寄存器



寄存器由一个负锁存器（主级）串联一个正锁存器（从级）构成。时钟为低电平阶段，主级透明，输入 D 被传送到主级输出 Q_M ，从级处于保持状态。时钟为上升沿期间，主级停止对输入采样，从级开始采样。时钟高电平阶段，从级对主级的输出采样，而主级处于保持状态。

主从式寄存器

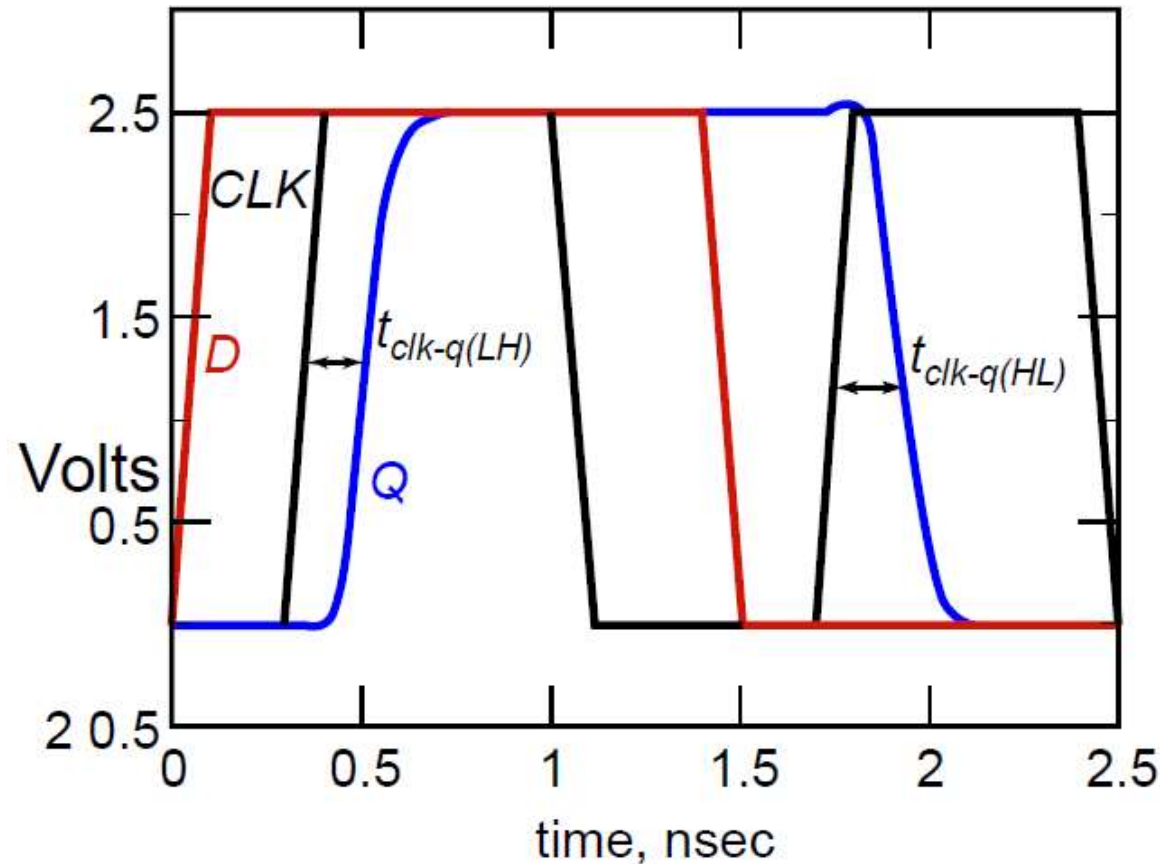
基于锁存器的上升沿触发器



1、工作原理

- 2、时序特性: 建立时间 (输入数据 D 在时钟上升沿之前必须有效的时间)。
传播延时 (Q_M 值传播到输出所需要的时间)。
保持时间 (时钟上升沿之后输入必须保持稳定的时间)。

Clk-Q Delay

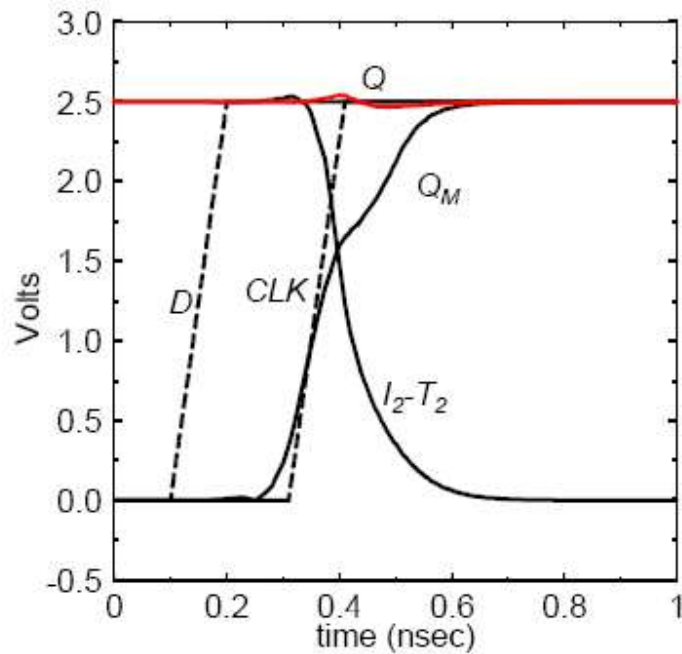
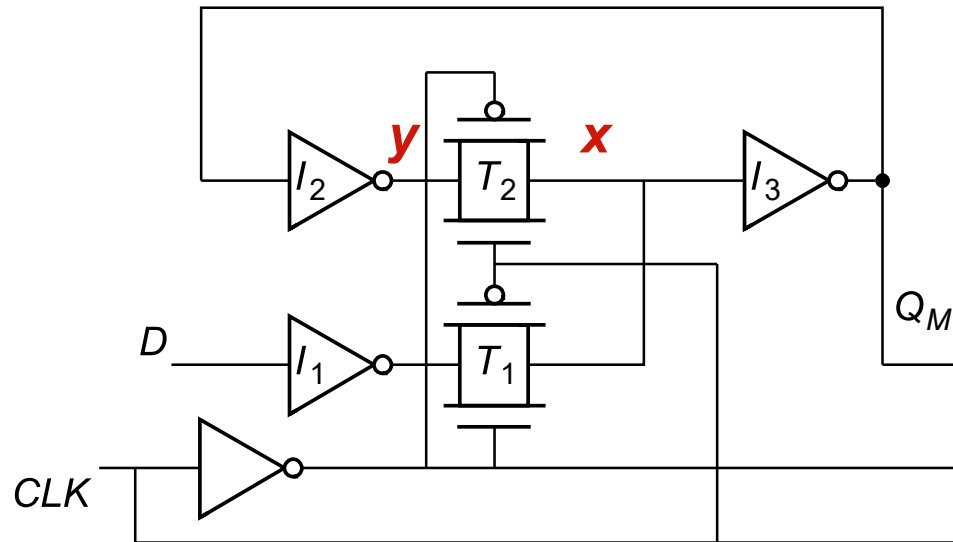


输入D变化要在时钟上升沿的至少一个建立时间之前完成。

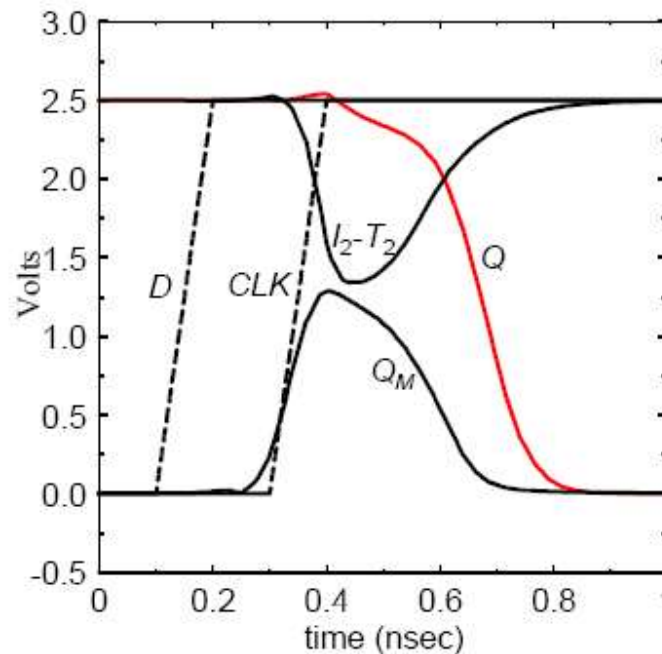
传播延时从CLK边沿的50%点处计算到Q输出的50%点处。

Setup Time

P244 例7.1



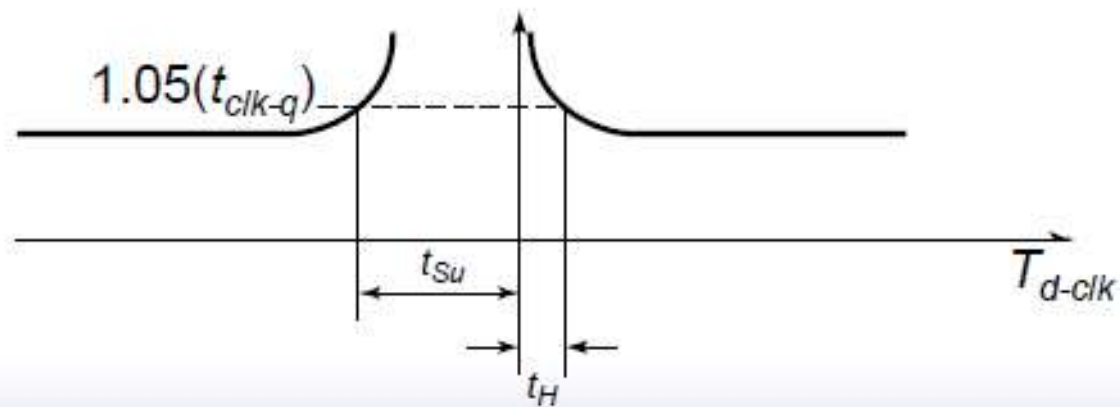
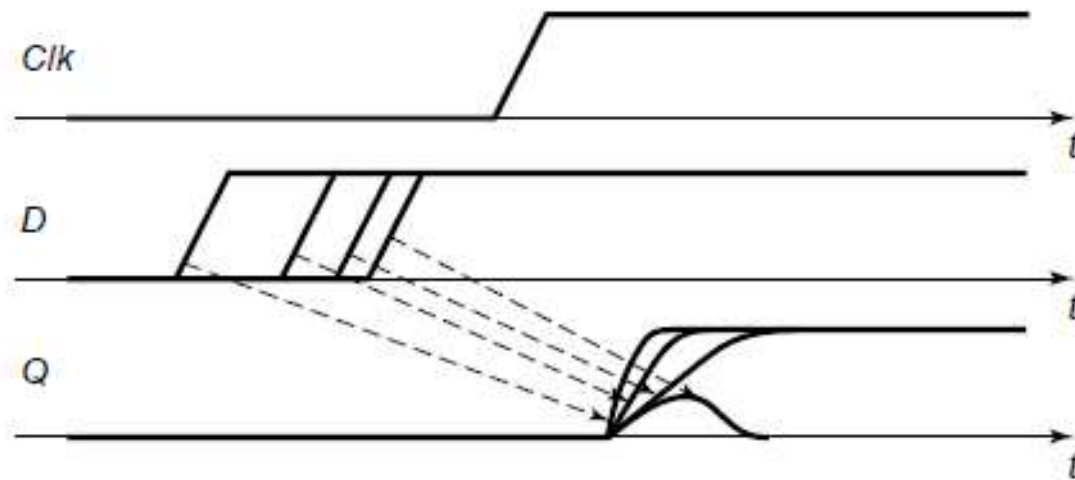
(a) $T_{\text{setup}} = 0.21 \text{ nsec}$



(b) $T_{\text{setup}} = 0.20 \text{ nsec}$

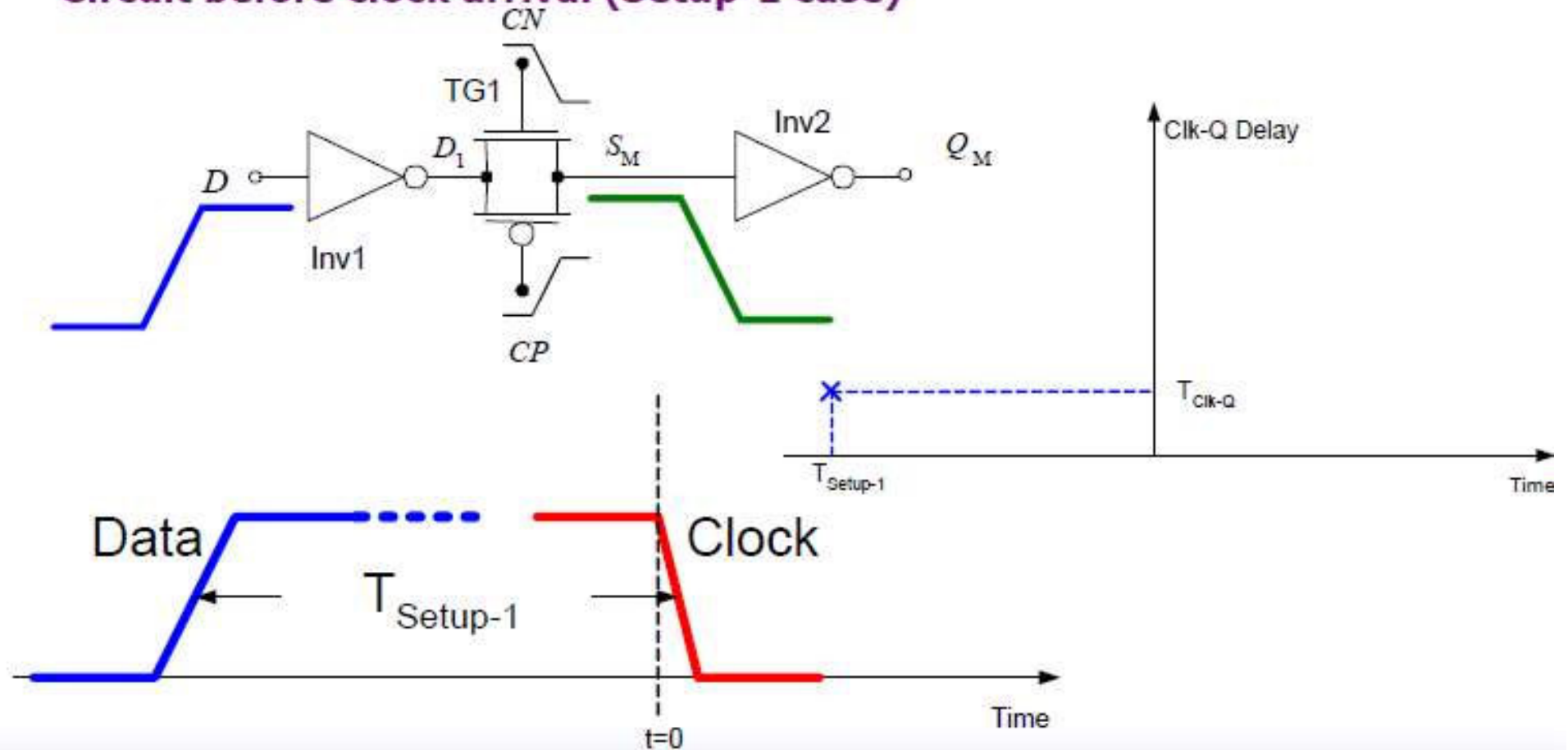
时钟在T2
两端节点稳定
到同一值之前
就有效，造成
不正确的值写
入主锁存器。

更精确的建立时间



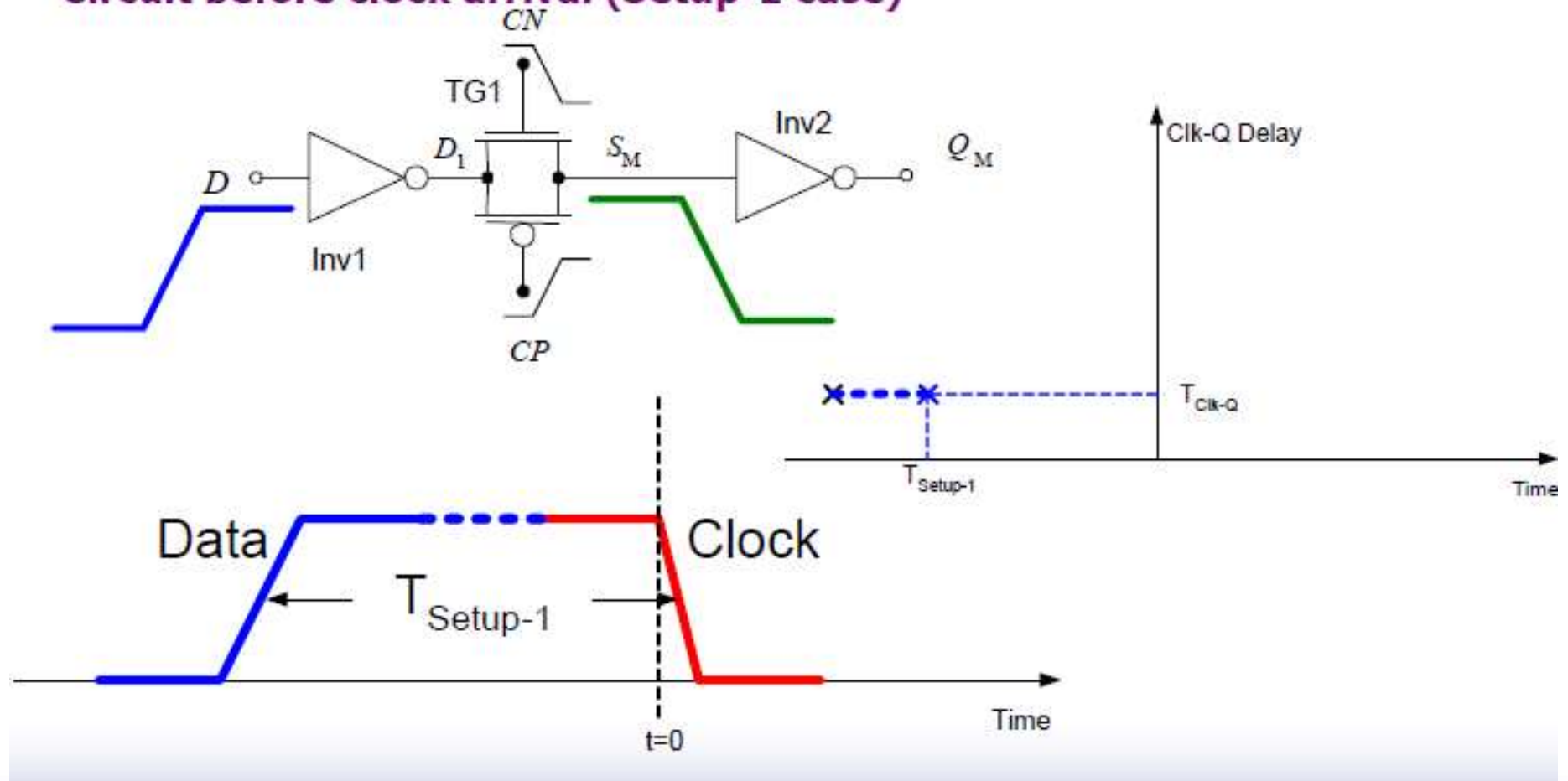
建立时间分析

Circuit before clock arrival (Setup-1 case)



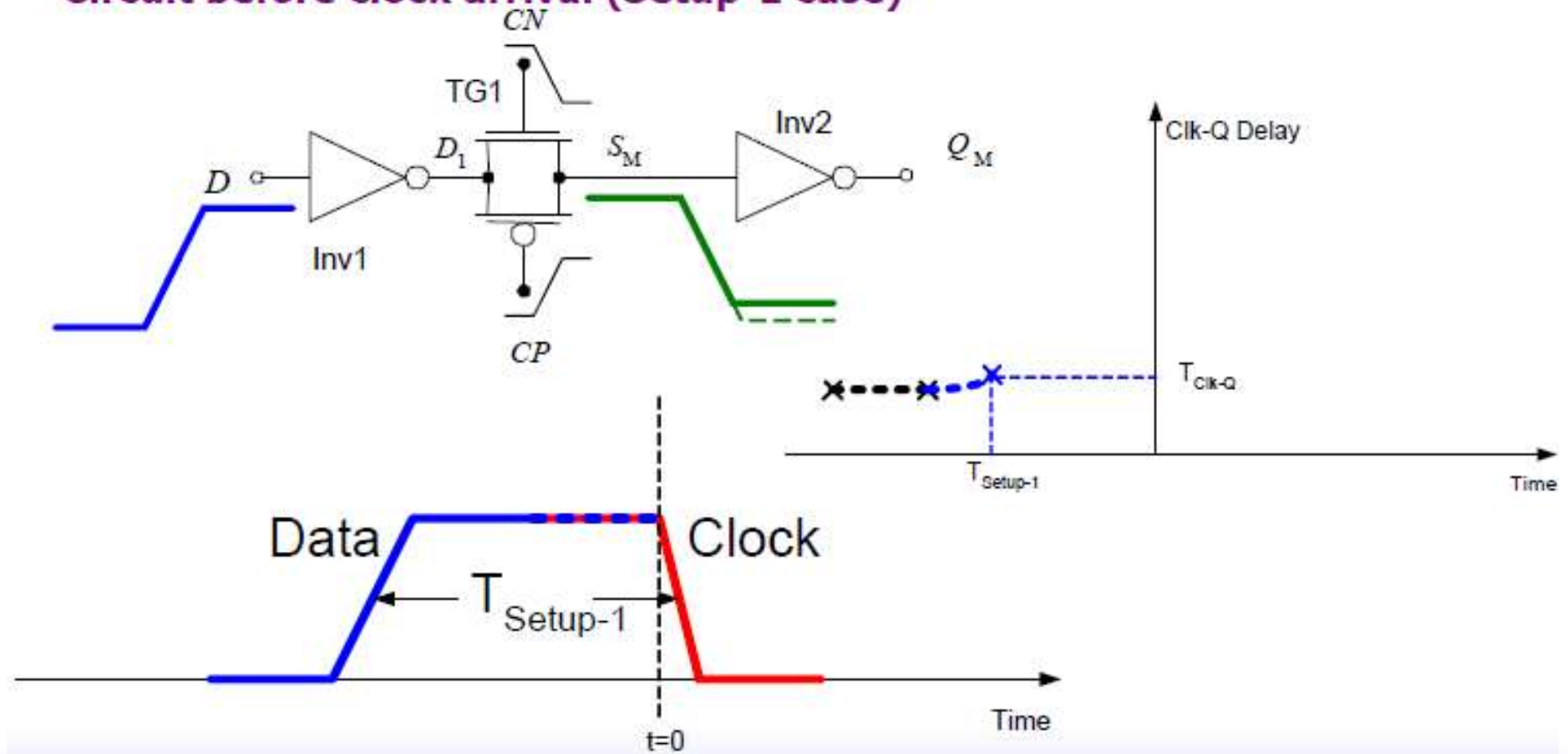
建立保持时间分析

Circuit before clock arrival (Setup-1 case)



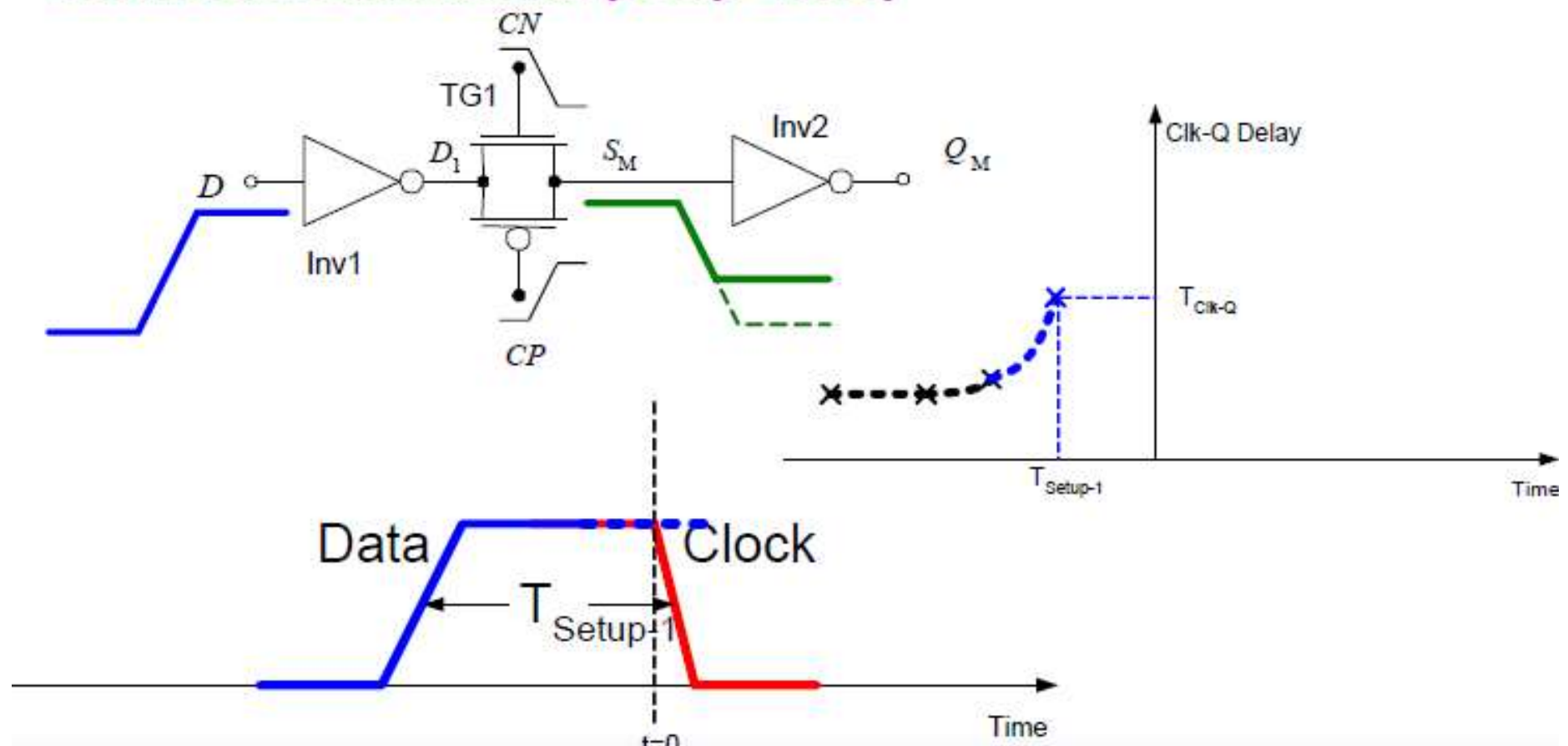
建立保持时间分析

Circuit before clock arrival (Setup-1 case)



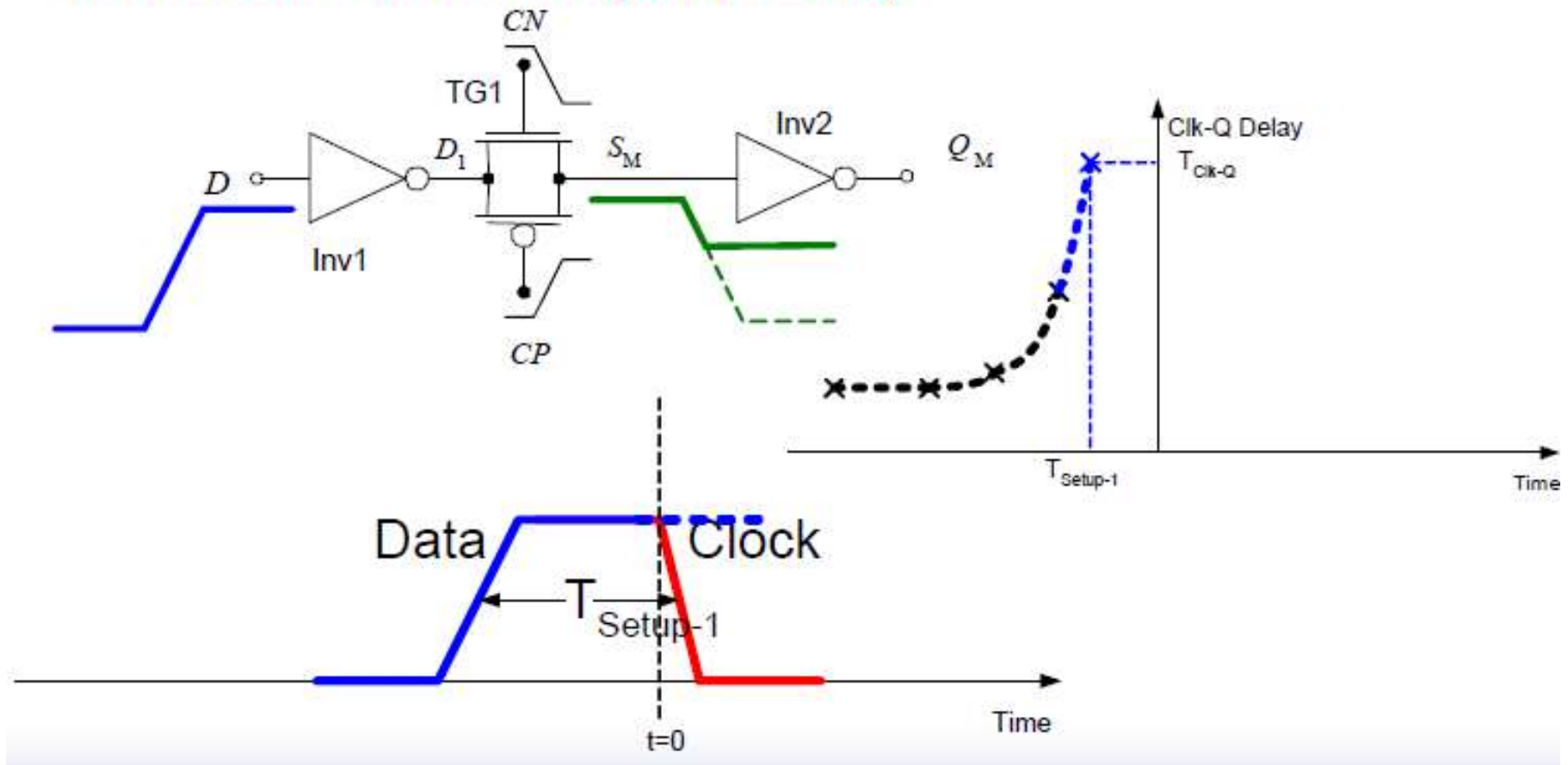
建立保持时间分析

Circuit before clock arrival (Setup-1 case)



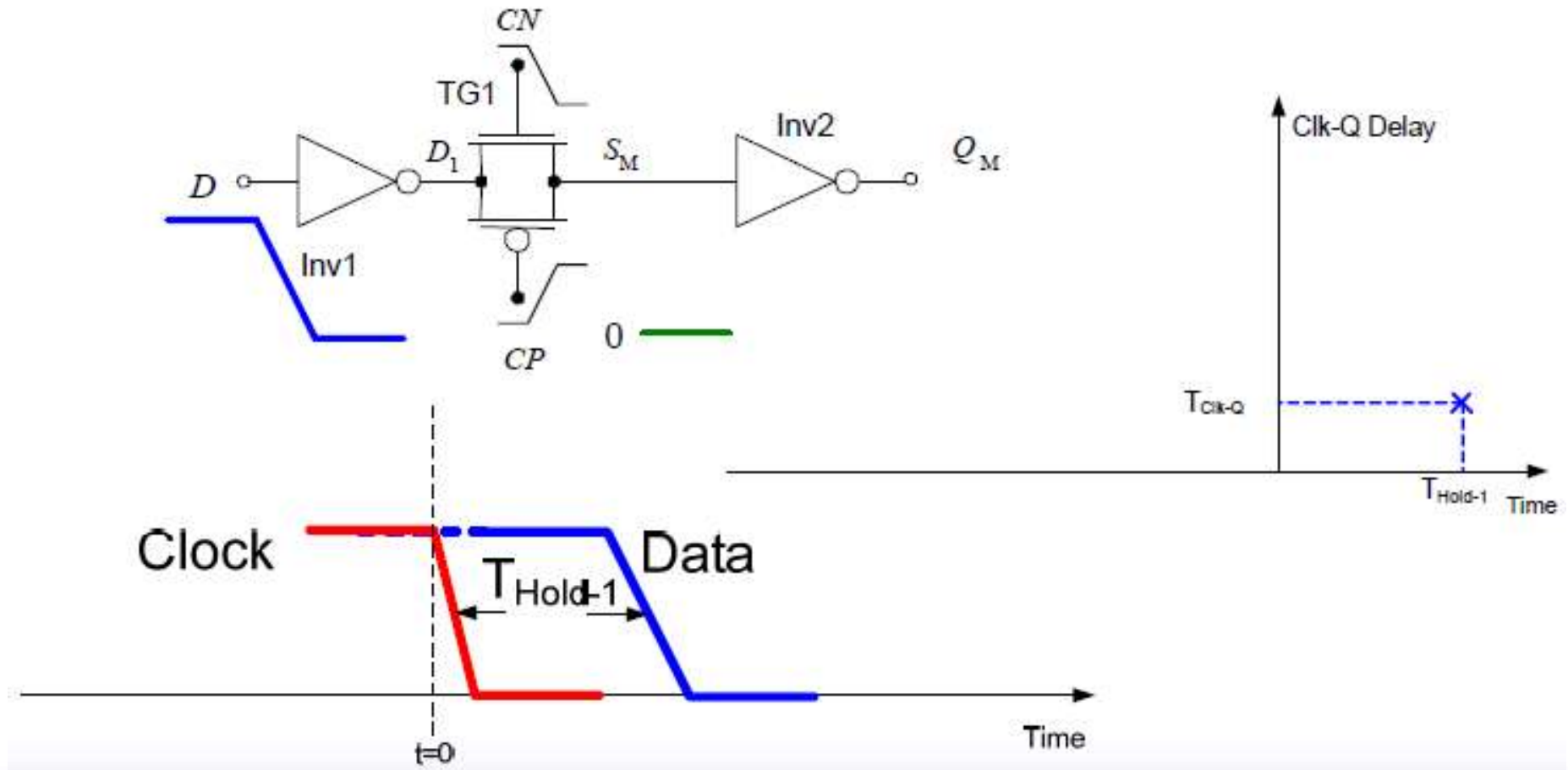
建立保持时间分析

Circuit before clock arrival (Setup-1 case)



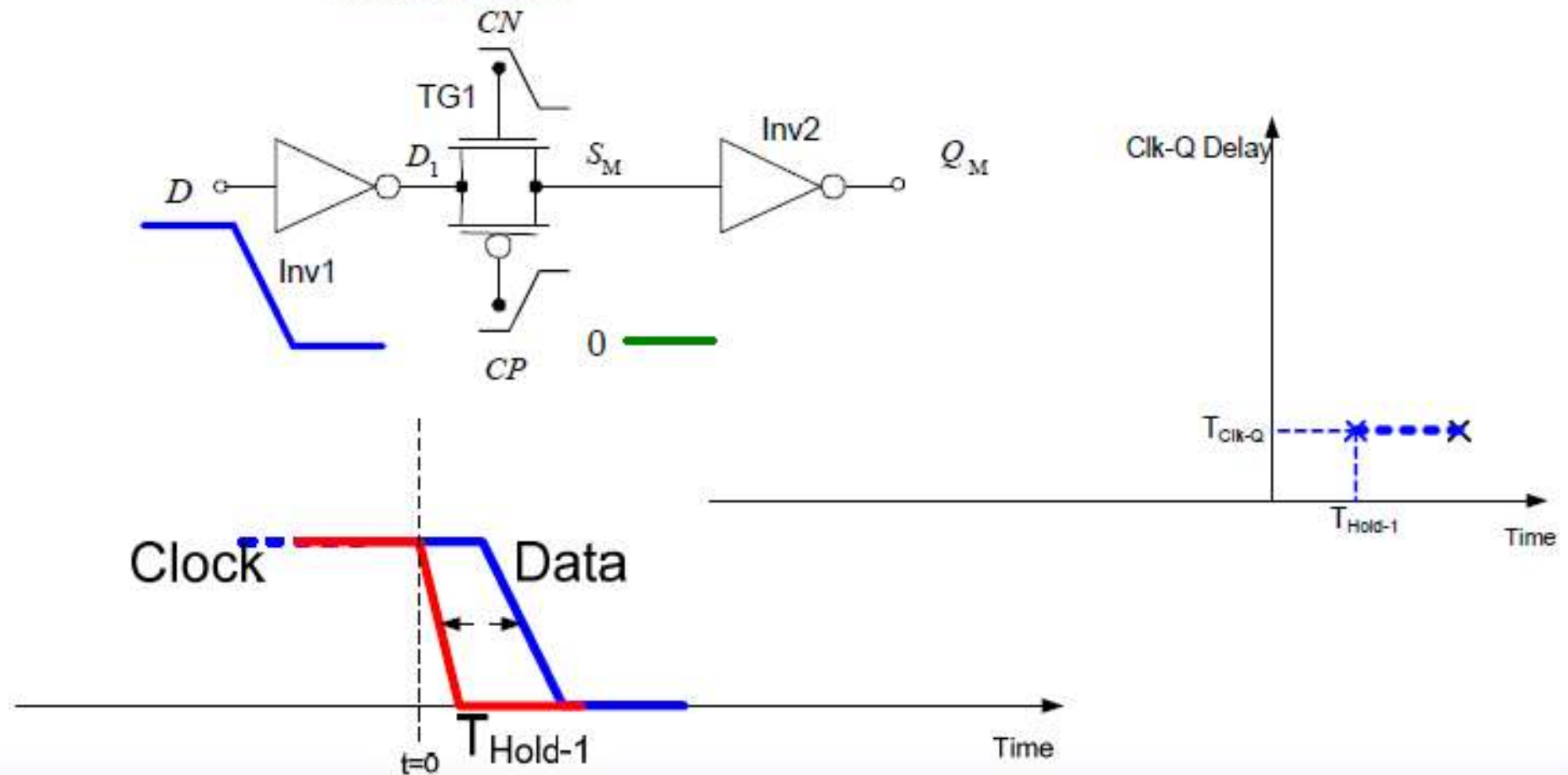
建立保持时间分析

Hold-1 case



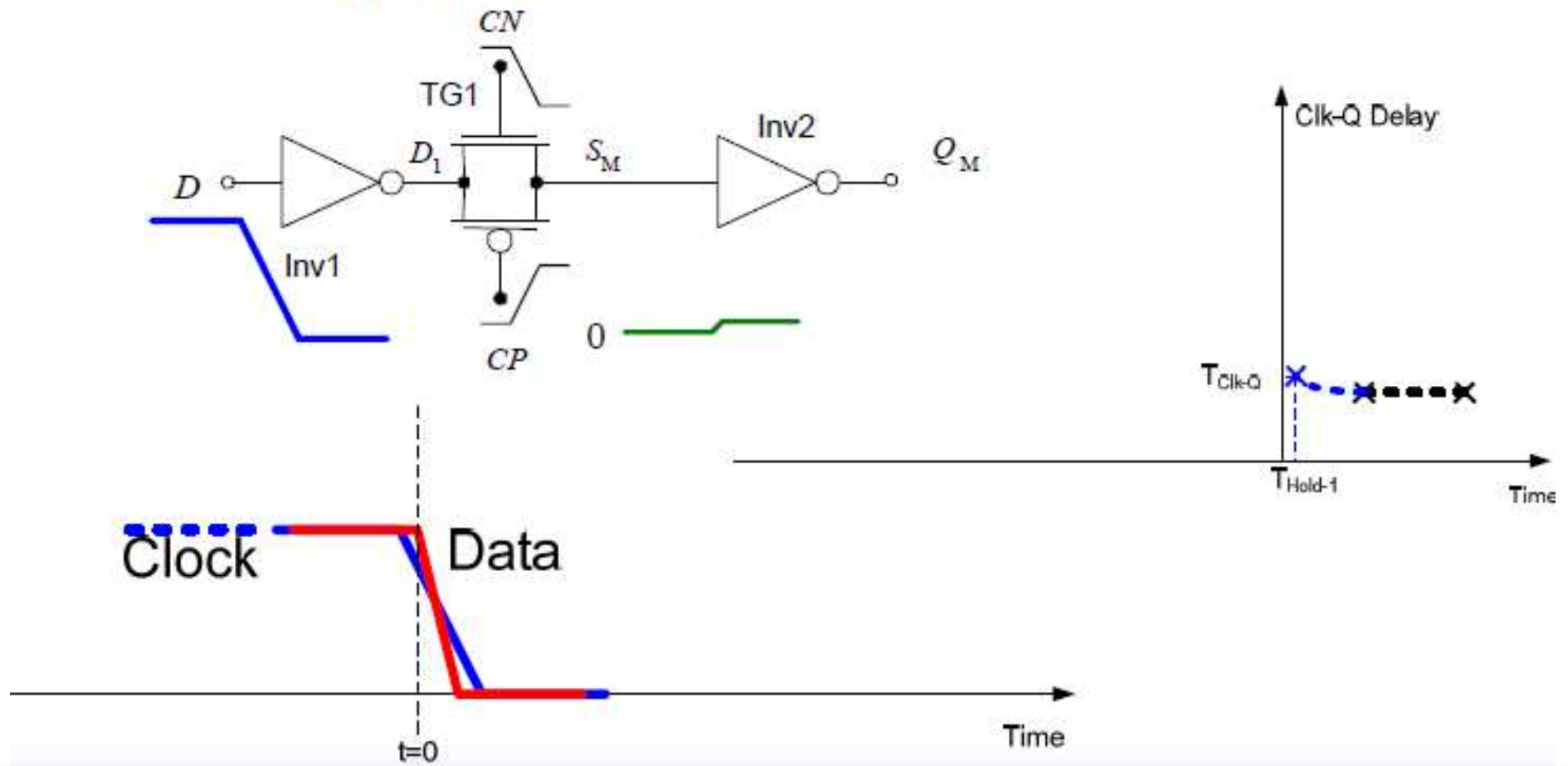
建立保持时间分析

Hold-1 case

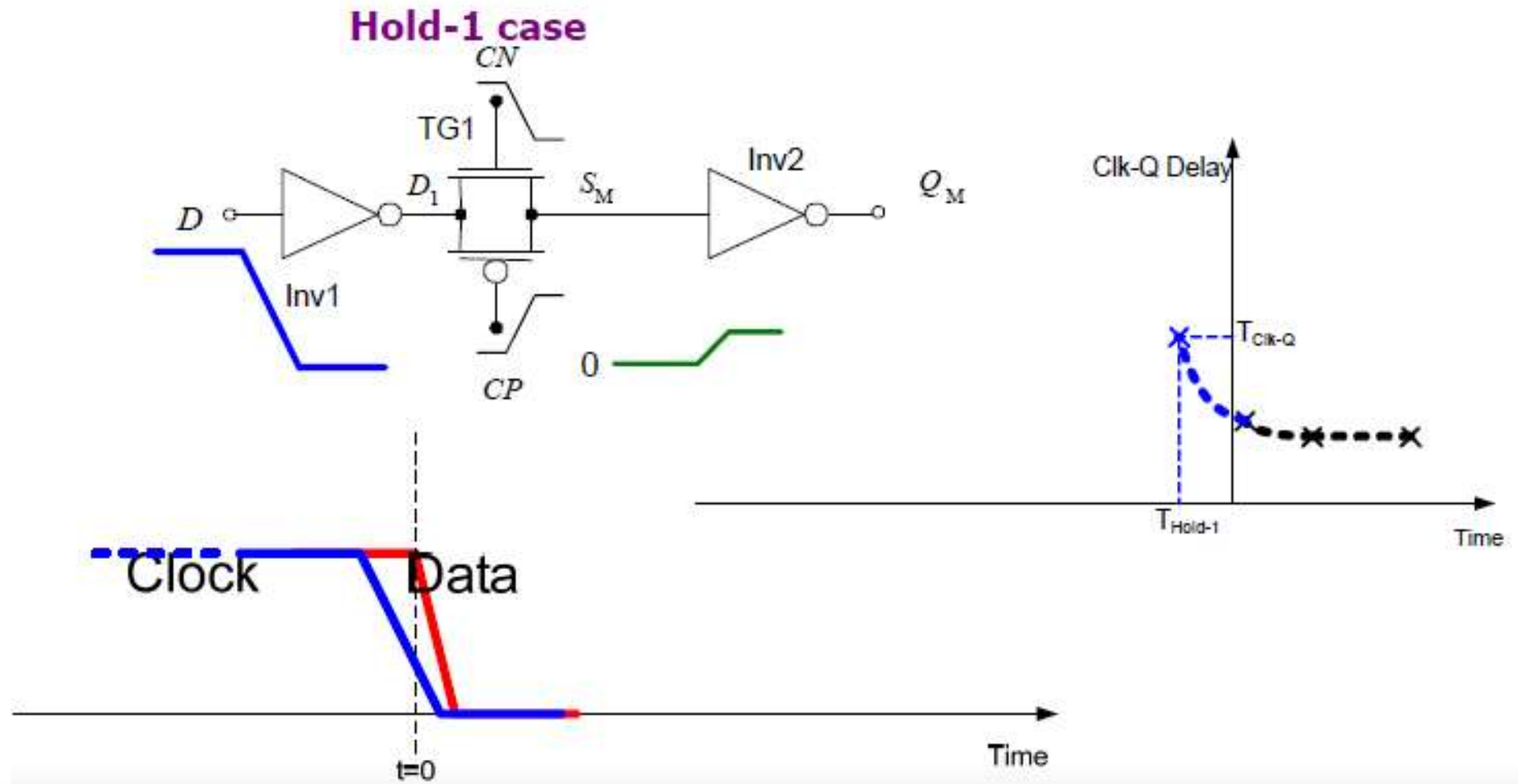


建立保持时间分析

Hold-1 case

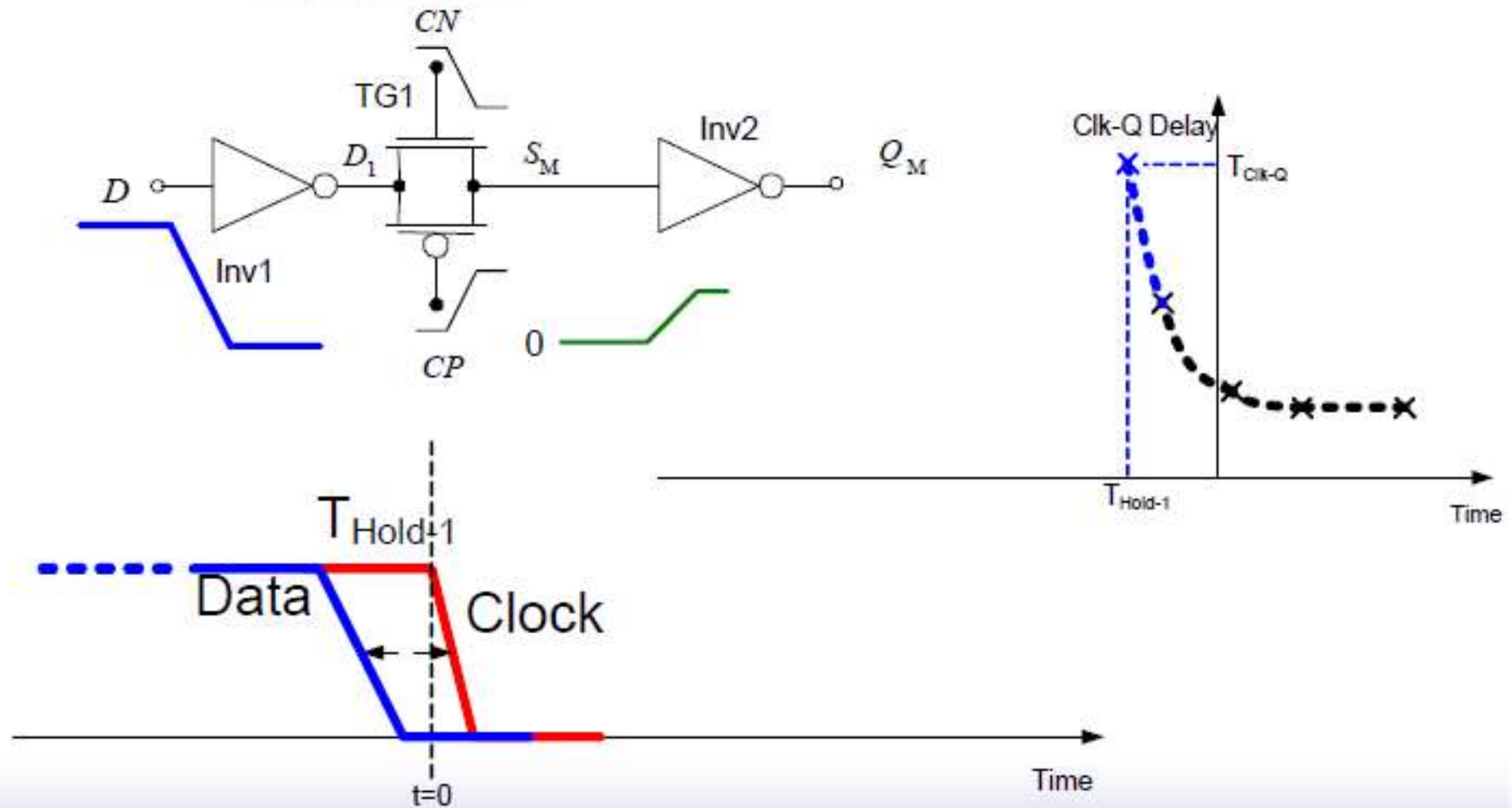


建立保持时间分析

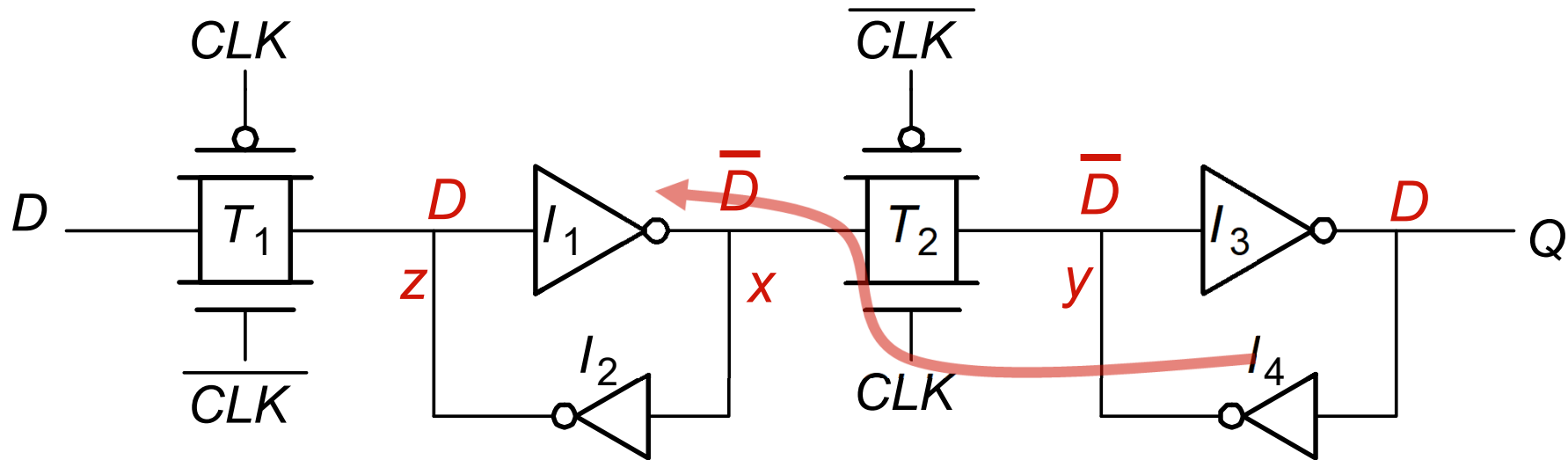


建立保持时间分析

Hold-1 case



减小了时钟负载的主从式寄存器



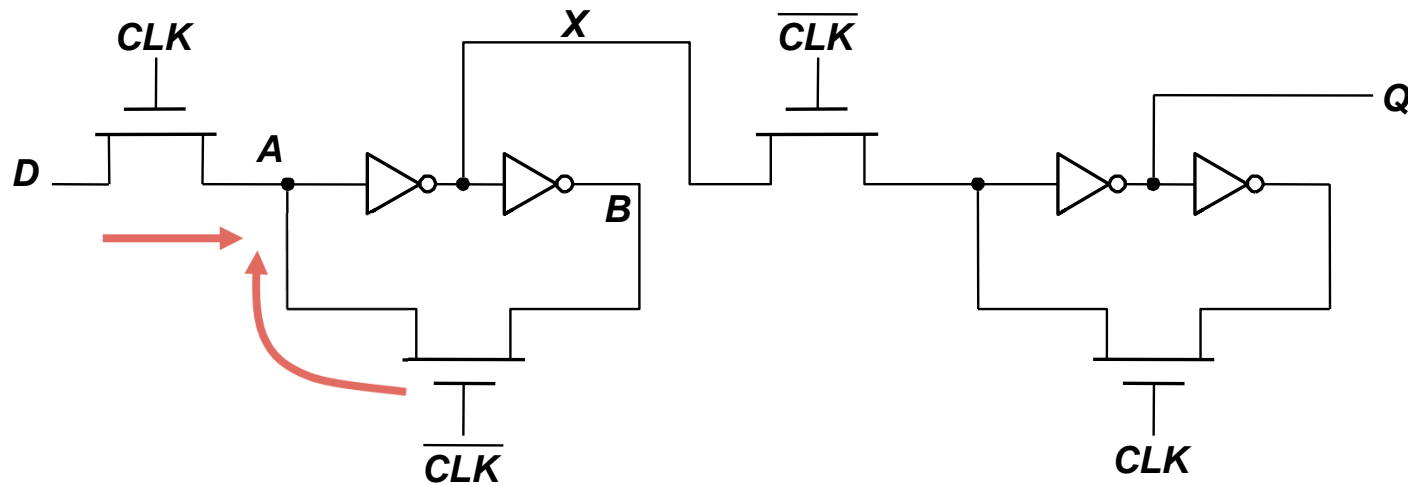
1、工作原理；2、有比？3、反向传导；4、时间参数

T_1 及其驱动源必须比 I_2 更强才能切换交叉耦合反相器的状态；反相器 I_1 的输入必须超过它的开关阈值以便能够产生翻转。

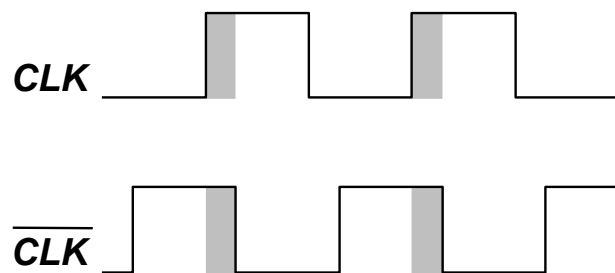
如果传输门使用最小尺寸的器件，反相器 I_2 的晶体管设计的更弱。可以通过使它们的沟道长度大于最小尺寸来实现。

当从级导通时， T_2 和 I_4 可能共同影响 I_1-I_2 锁存器中的数据；只要 I_4 是一个比较弱的器件，就可以避免这个问题。

非理想时钟信号



(a) Schematic diagram



(b) Overlapping clock pairs

问题：1) 当时钟变为高电平时， D 和 Q 之间有直接通路，造成输出端数据可以在时钟上升沿改变。 Q 值取决于输入 D 是在 \overline{CLK} 下降沿之前还是之后达到 X 。2) 由于正负时钟之间存在重叠，节点 A 被 D 和 B 同时驱动，造成不确定状态。

解决办法一伪静态两相位D寄存器

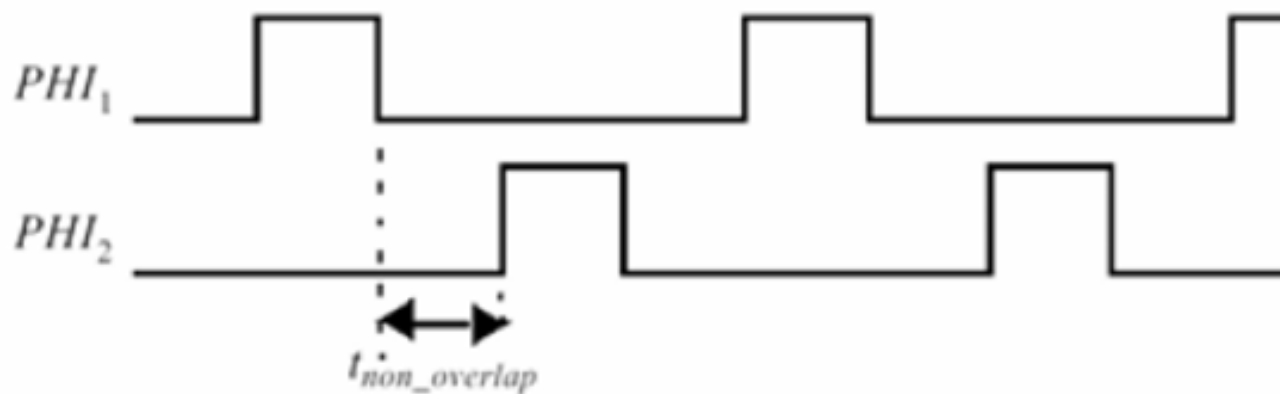
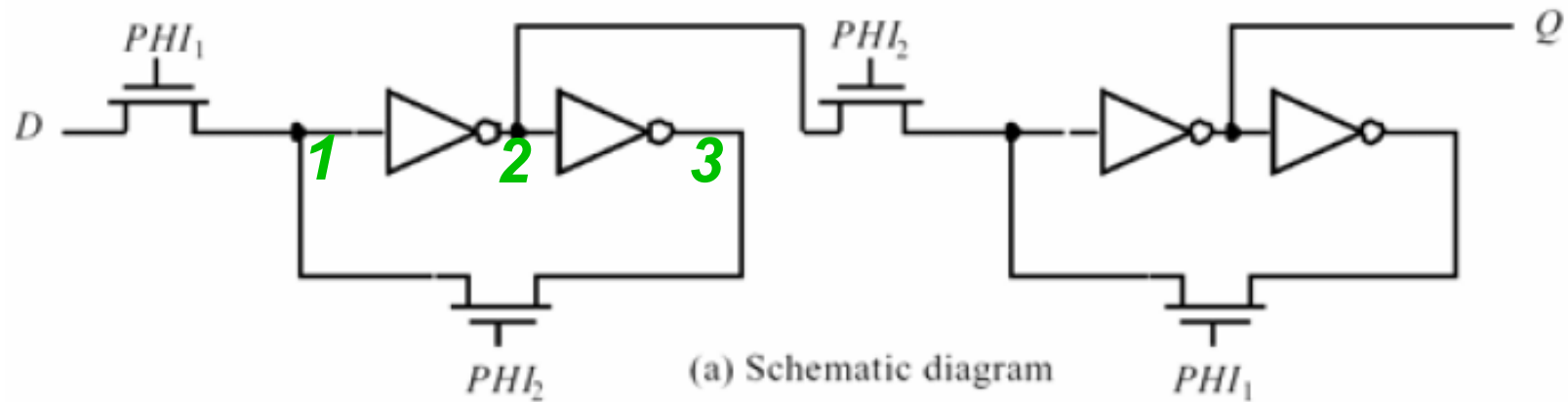
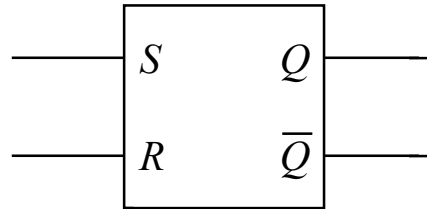
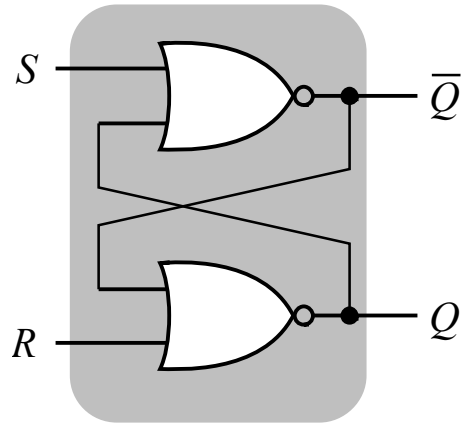


Figure 7.16 Pseudo-static two-phase D register.

7.2.5

使用强信号直接写数据—静态SR触发器

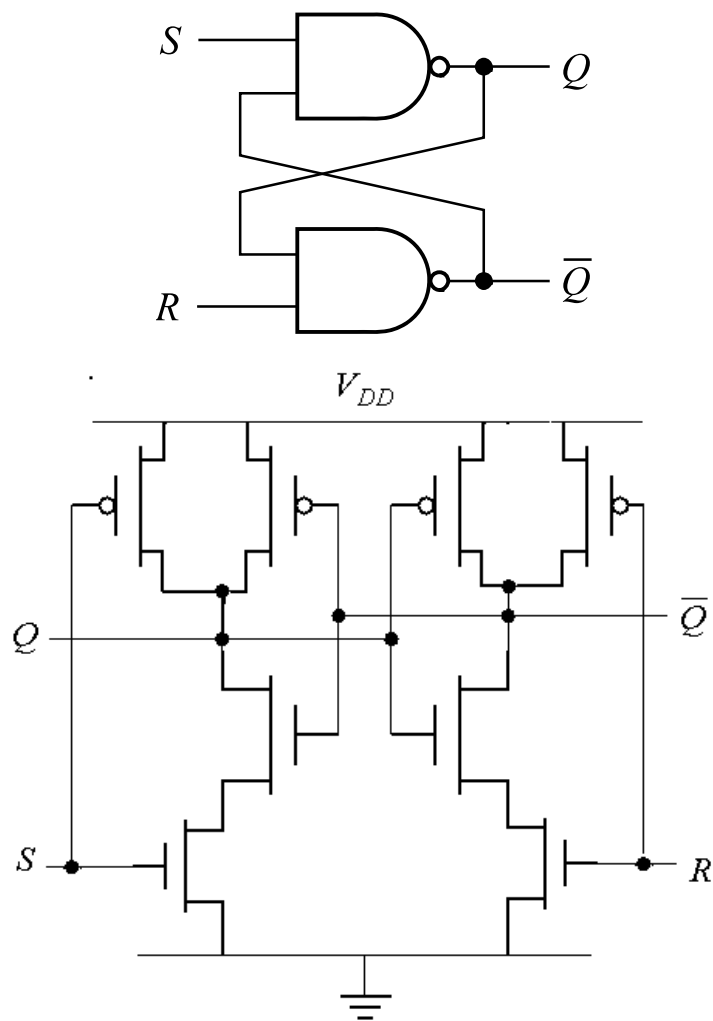
NOR-based set-reset



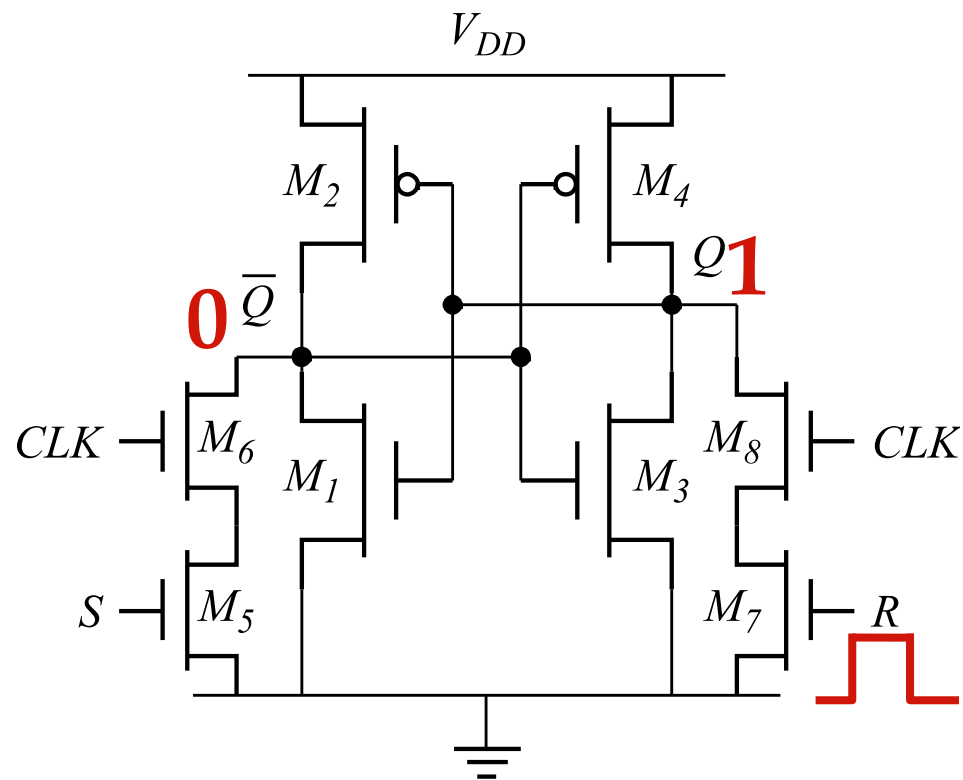
S	R	Q	\bar{Q}
0	0	Q	\bar{Q}
1	0	1	0
0	1	0	1
1	1	0	0

Forbidden State

交叉耦合的NAND

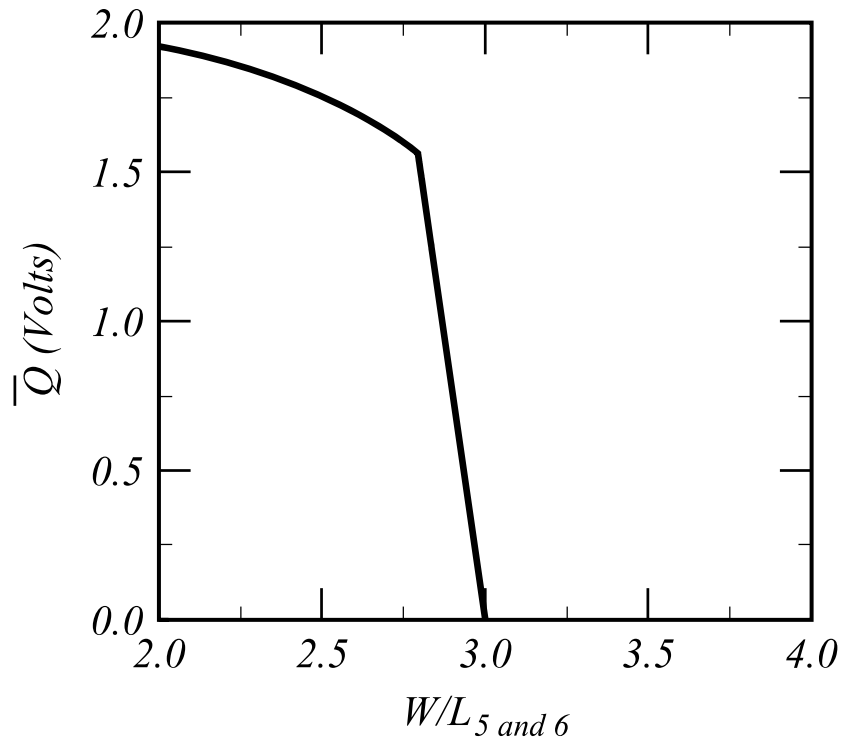


增加时钟，钟控锁存器



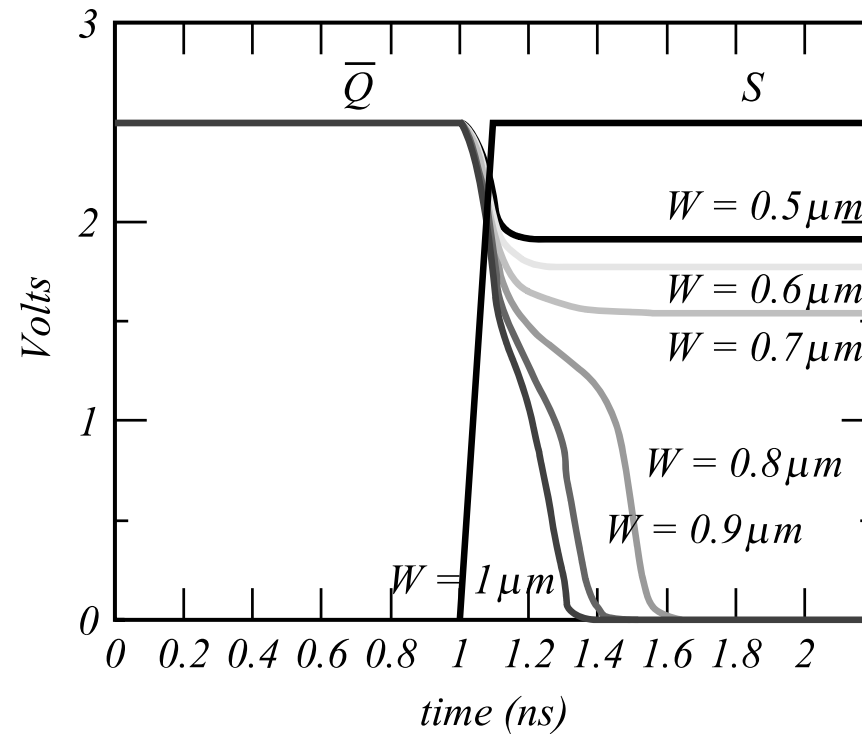
有比CMOS SR锁存器

Sizing Issues



(a)

Output voltage dependence
on transistor width

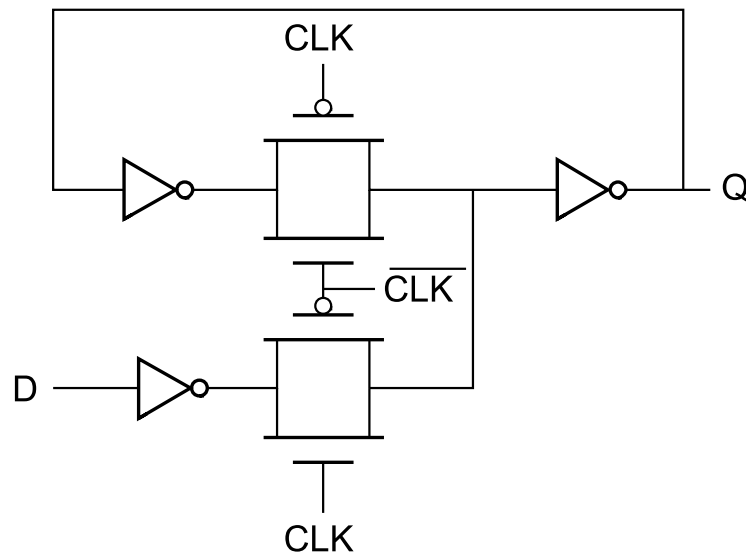


(b)

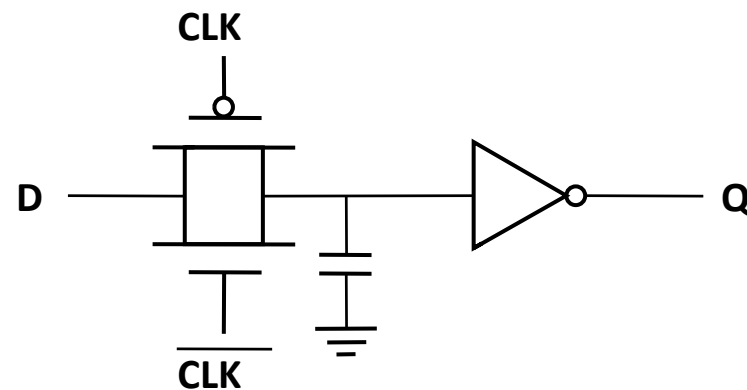
Transient response

信号存储原理

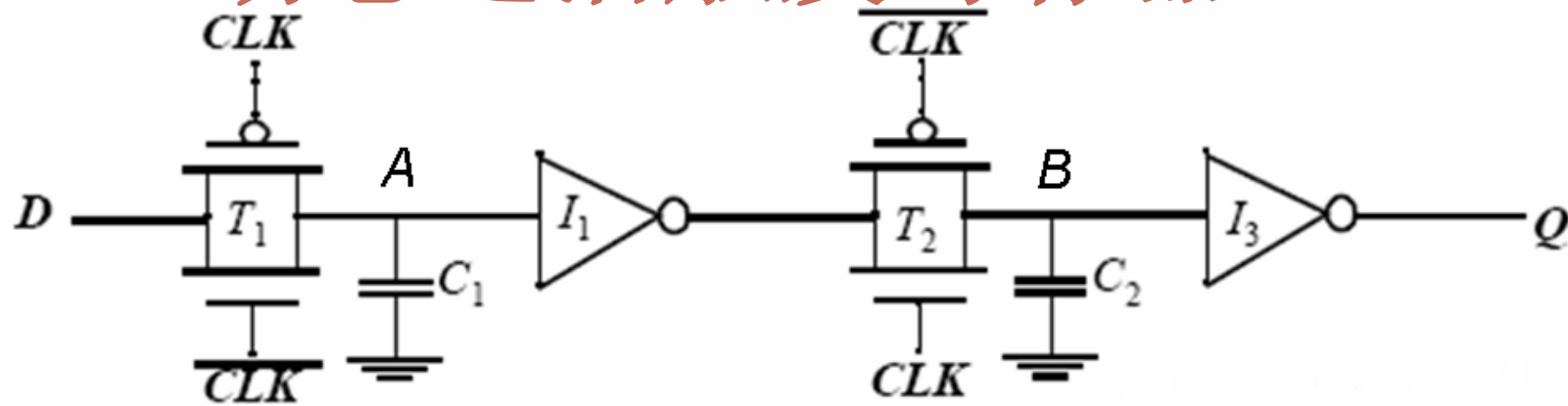
静态



动态 (基于电荷)



7.3.1 动态边沿触发寄存器



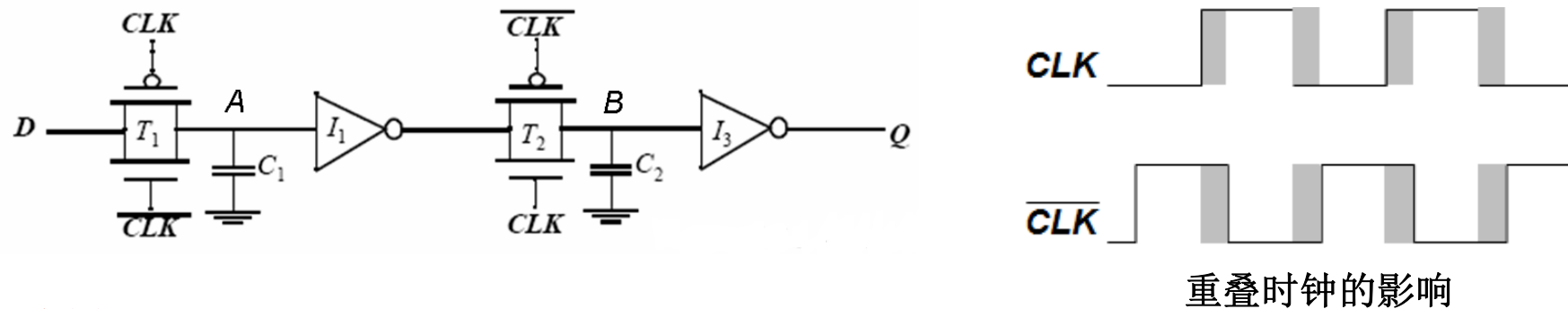
功耗: 只需要8个晶体管。如果采样开关只使用NMOS传输管，只需6个晶体管；

时间参数: 建立时间是传输门的延时，对应于节点A采样D所需时间；保持时间近似为0（传输门在时钟边沿关断）；传播延时 t_{c-q} 为两个反相器的延时加上传输门T2的延时；

动态电路缺陷: 必须周期性的刷新，以防止因电荷泄露、二极管泄露或亚阈值电流引起的电荷丢失。

(b) Overlapping clock pairs

7.3.1 动态边沿触发寄存器



时钟重叠问题:

(0-0) 重叠期间, T_1 的PMOS和 T_2 的PMOS同时导通, 有一条从D到Q的直接通路, 导致Q可能在时钟下降沿时就变化, 这对于正沿触发的寄存器是不希望的。通过保证在D输入和节点B之间有足够的延时, 使主级采样的新数据不会传送到从级。

$$t_{overlap0-0} < t_{T1} + t_{I1} + t_{T2}$$

(1-1) 重叠期间, T_1 的NMOS和 T_2 的NMOS同时导通, 这种情况可以通过强加一个维持时间约束来解决, 即数据必须在高电平重叠期间稳定。

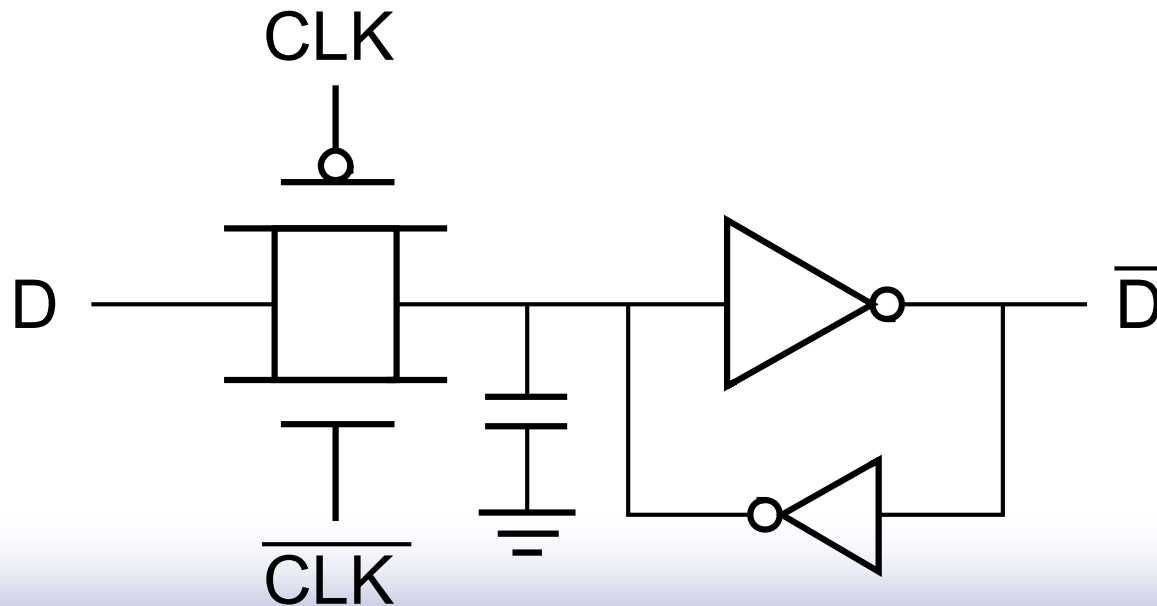
$$t_{hold} > t_{overlap1-1}$$

把动态锁存器变为伪静态锁存器

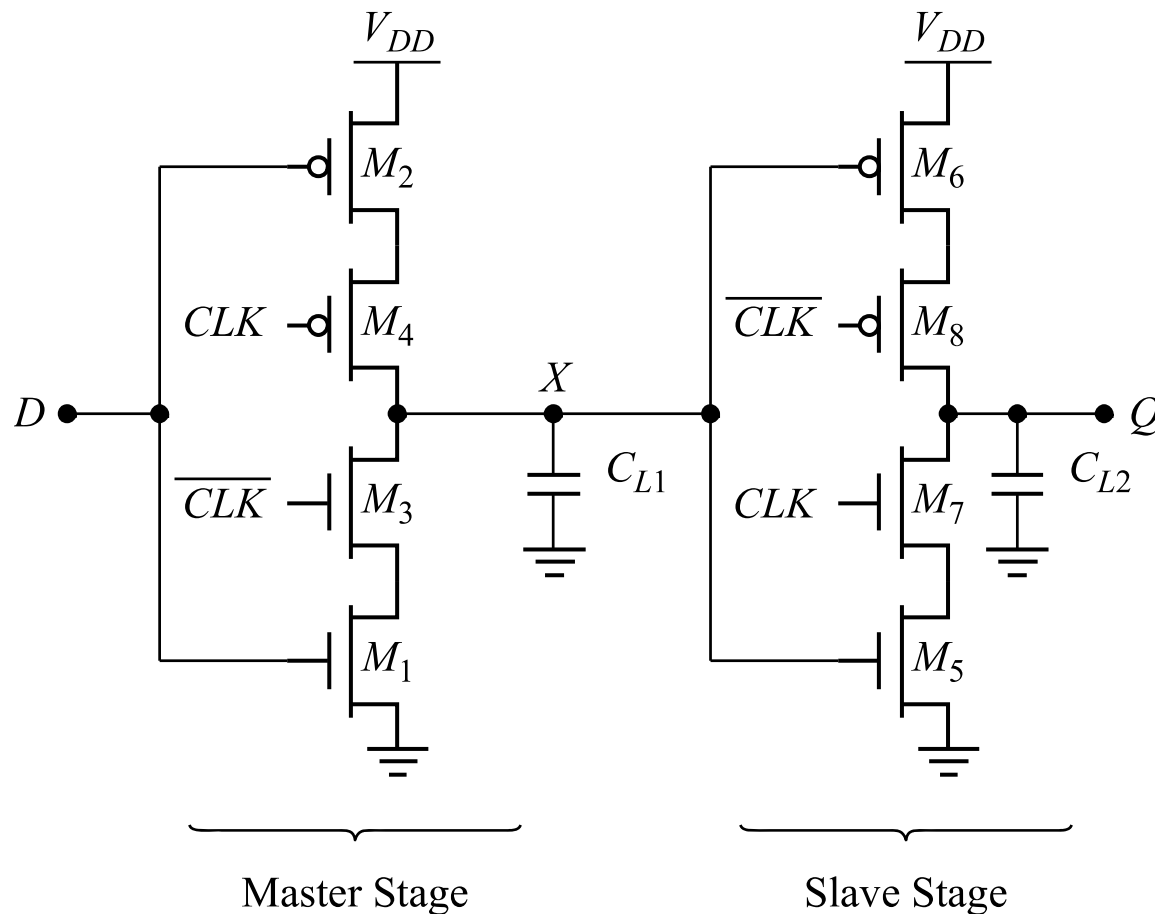
动态电路在复杂性、性能和功耗方面都非常有吸引力。但是稳定性方面限制了它的应用：

(1) 一个被电容耦合到内部存储节点上的信号节点会注入相当大的噪声而破坏状态。(2) 漏电流使电路的工作频率不能太低。(3) 内部节点并不能跟踪电源电压的变化。

通过增加一个弱的反馈反相器使电路成为伪静态来解决。



7.3.2 C²MOS — 时钟控制CMOS寄存器



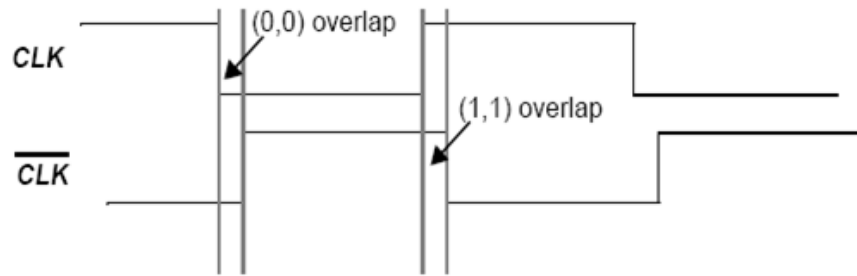
CLK=0, 第一个三态驱动器导通, 主级处于采样模式。从级处于高阻抗模式, 即维持模式;

CLK=1, 主级处于维持模式, 而从级处于采样模式。

该电路为**正沿**触发的主从寄存器。

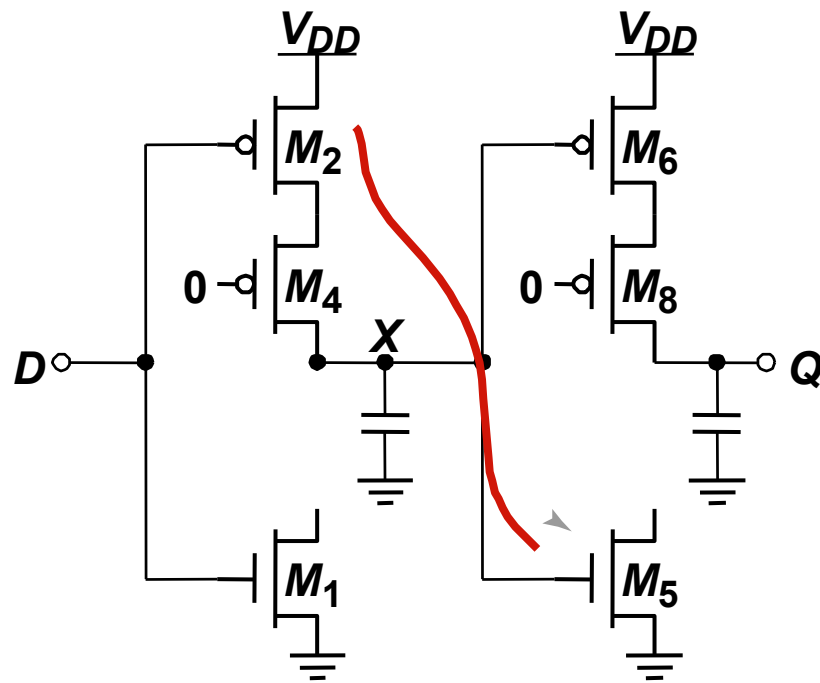
特点: 只要时钟边沿的上升和下降时间足够小, 该电路对时钟的重叠是不敏感的。

对时钟重叠不敏感—C²MOS



正沿触发寄存器只允许传输在上升沿之前存在于输入端的数据。

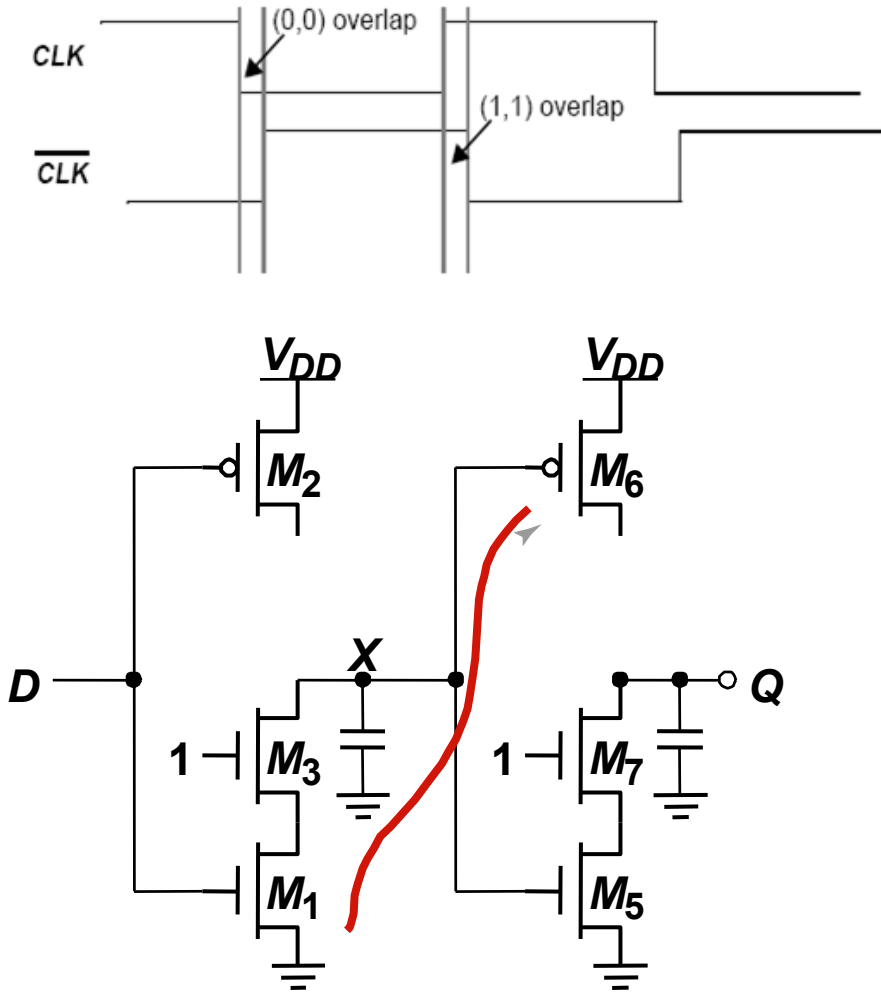
(0,0) 重叠的情况下，电路中M2和M4两个PMOS都导通，新的数据可通过串联的PMOS器件M2-M4采样到节点X上，节点X可以从0翻转到1。但是这一数据不能传送到输出，因为NMOS器件M7是关断的。重叠期间结束时 $\overline{\text{CLK}} = 1$ ，于是M7和M8均关断，从级处于维持状态。



(a) (0-0) 重叠

因此，从级输出端Q看不到任何在时钟下降边沿采样的新数据。

对时钟重叠不敏感—C²MOS

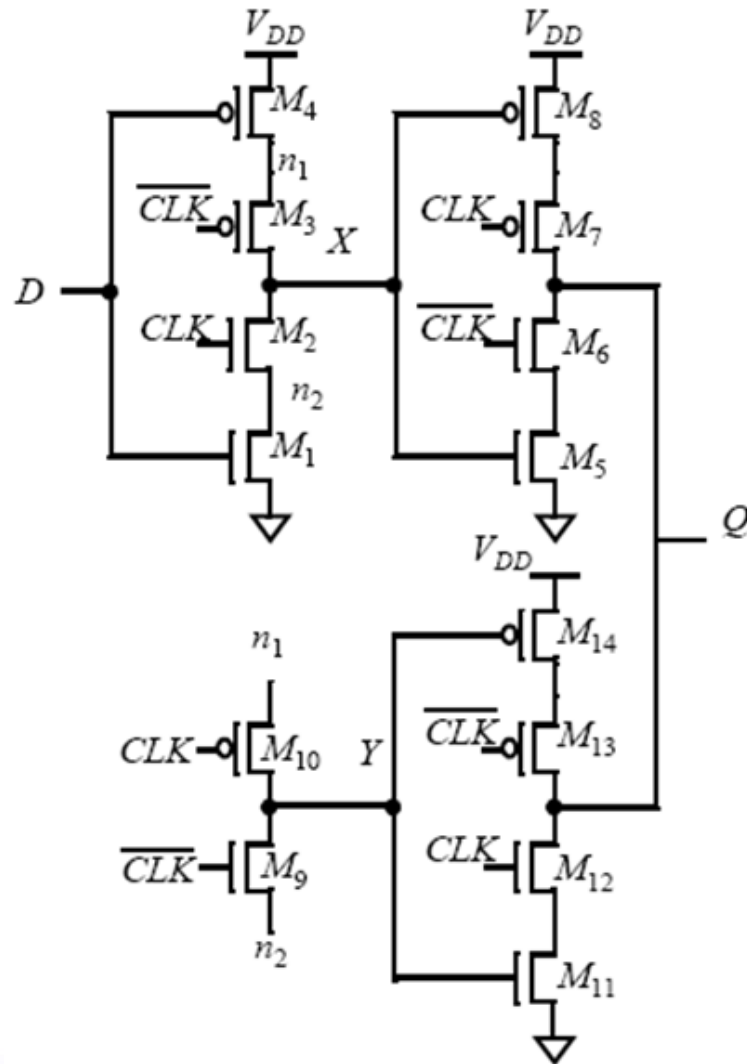


(b) (1-1) 重叠

(1,1) 重叠的情况下，电路中M1和M3两个NMOS都导通，新的数据可通过串联的NMOS器件M1-M3采样到节点X上，节点X可以从1翻转到0。但是这一数据不能传送到输出，因为PMOS器件M8是关断的。

然而重叠期间结束时 $\overline{\text{CLK}} = 0$ ，于是M8导通，0传送到输出。这问题可通过对输入数据D规定一个维持时间的约束条件来解决。

基于C²MOS的双边沿触发寄存器



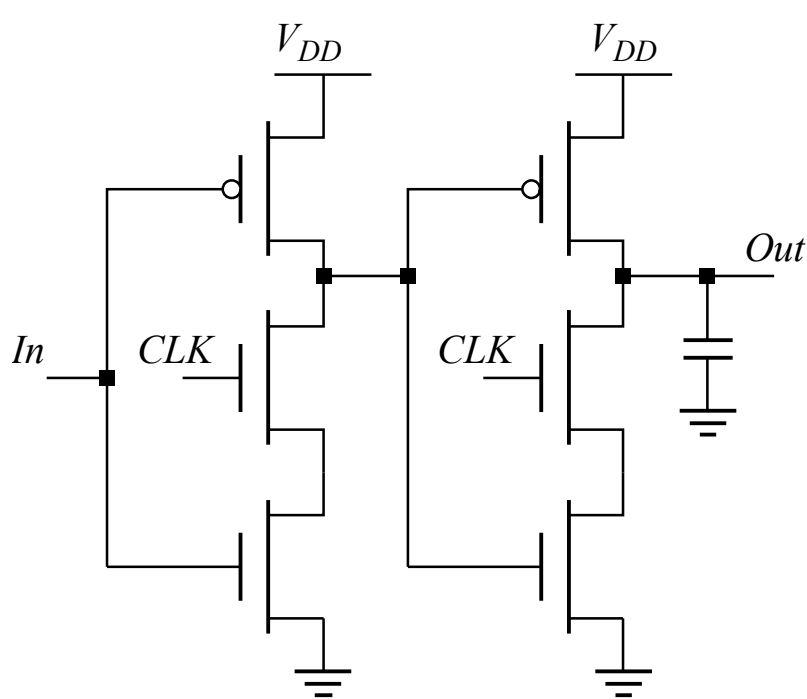
双边沿触发寄存器由两个并行的主从边沿触发寄存器组成，寄存器输出用三态驱动器实现二选一，其优点是时钟频率可降低到原频率1/2。

当时钟为高电平时，M1-M4组成的正锁存器在节点X上采样输入D，节点Y维持在稳定状态。在时钟下降沿，从锁存器M5-M8导通并驱动X到输出Q。

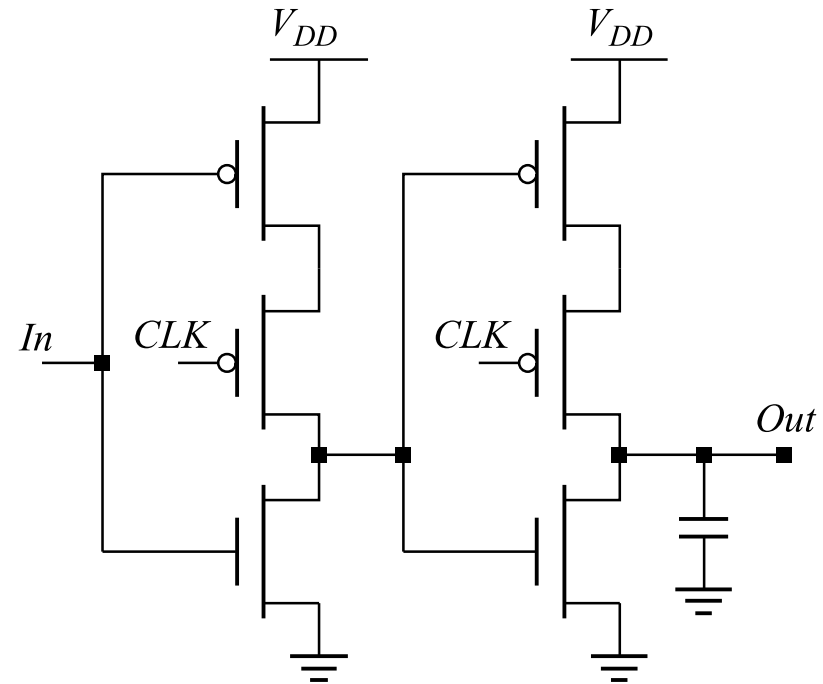
上下两个锁存器以互补的形式工作。

7.3.3 真单相钟控锁存器 (TSPCR)

在两相时钟的技术中，必须十分小心地对两个时钟信号布线以保证它们的重叠最小。TPSCR使用单个时钟。



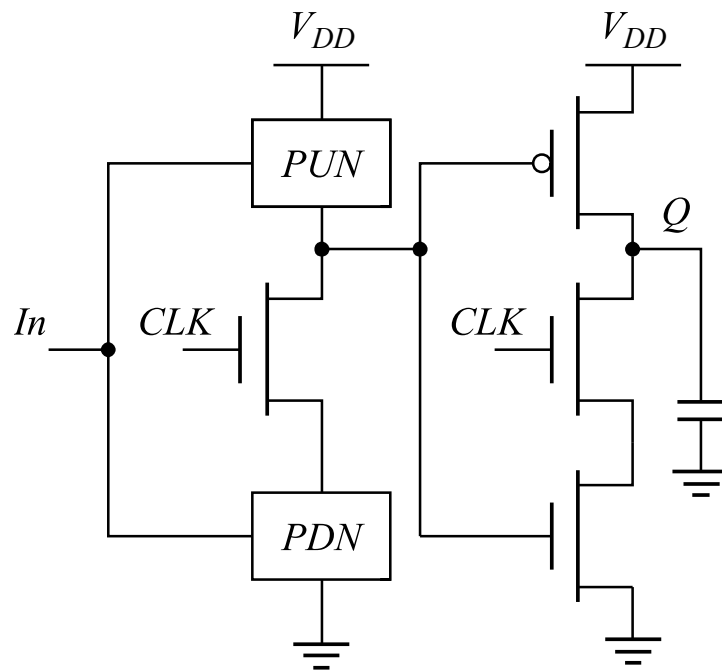
正锁存器



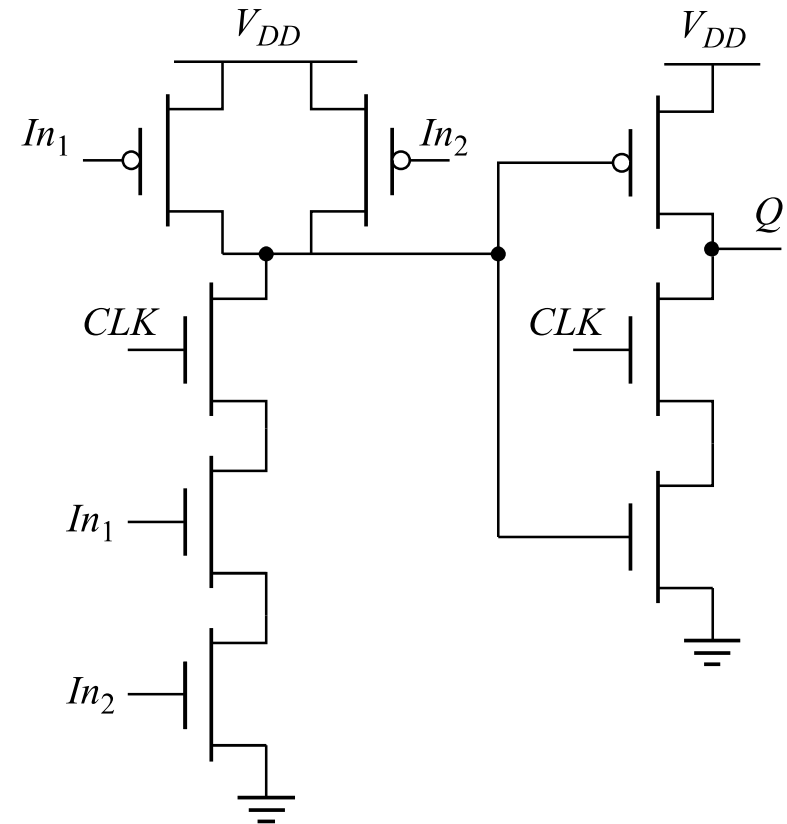
负锁存器

时钟处于低电平（正锁存器）时，输出节点有可能浮空并受其它信号耦合的影响。同时输出驱动传输门，也可能发生电荷分享。

Including Logic in TSPC



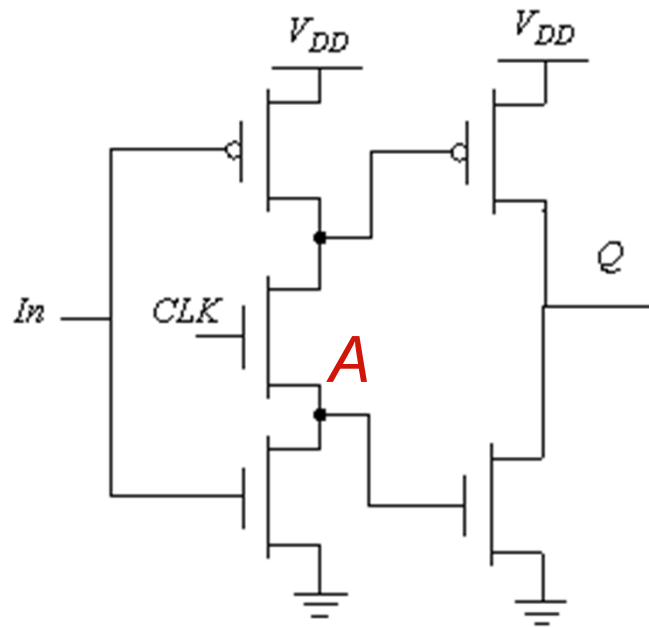
锁存器中包含逻辑



AND 锁存器

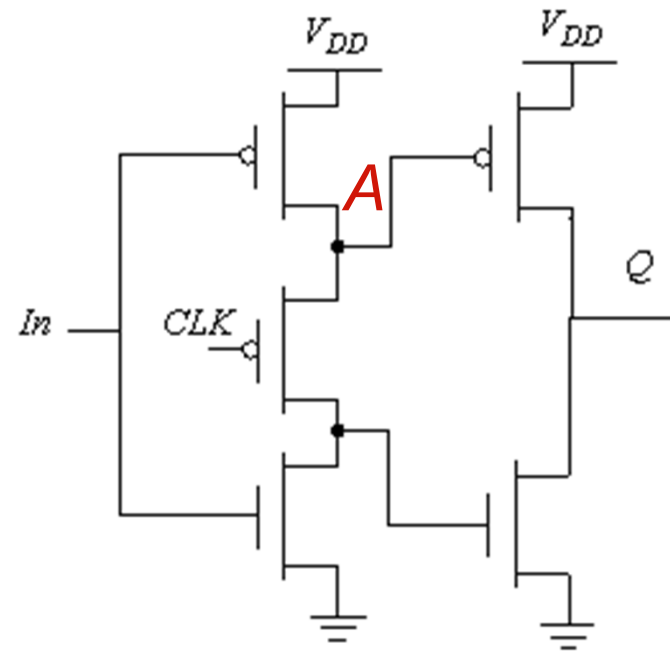
Including Logic in TSPC

可以进一步降低TPSC锁存器电路的复杂性。这里只有第一个反相器由时钟控制。即可以减少晶体管的数目，还可以使时钟的负载减半。但是，在锁存器中并不是所有节点的电压都能经历全摆幅。



正锁存器

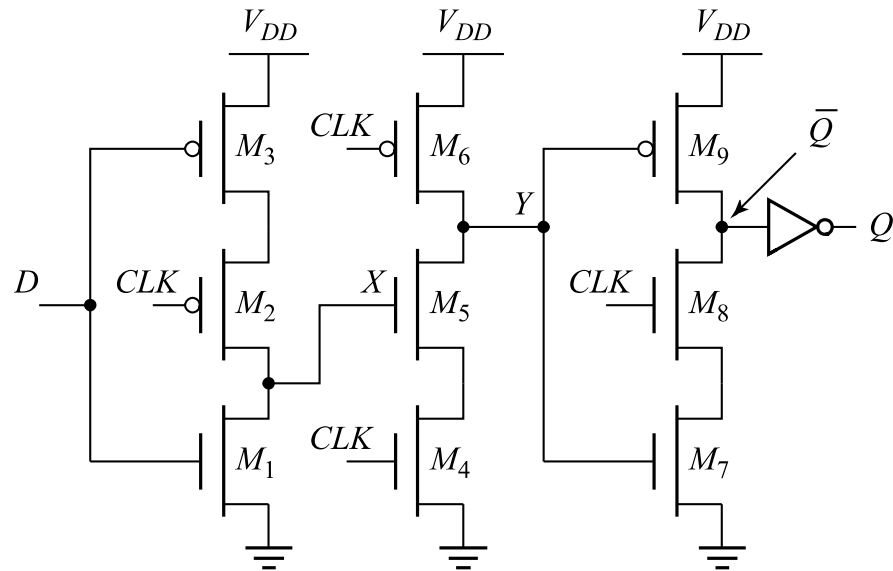
$$V_{A\text{MAX}} = V_{DD} - V_{Tn}$$



负锁存器

$$V_{A\text{MIN}} = |V_{Tp}|$$

TSPC Register



1、工作原理

CLK=0, 第一个反相器在节点X上采样输入D, 第二个动态反相器处于预充电模式, 第三个反相器处于维持状态。

CLK=1, 动态反相器M4~M6求值。如果X在上升沿处是高电平, 那么节点Y放电。高电平阶段第三个反相器导通, Y的值传到输出Q。

2、时间参数

在时钟高电平期间, 如果D输入翻转到1, 则X翻转到0。因此, 输入必须保持稳定, 直到节点X在时钟上升沿之前的值传送到Y。

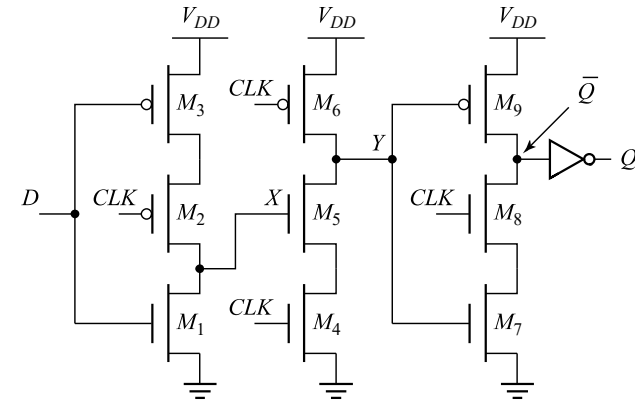
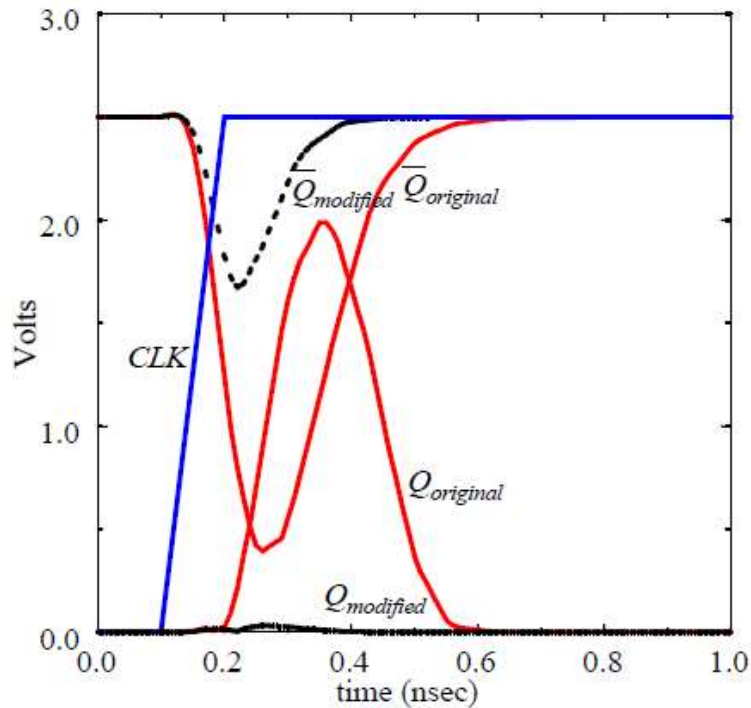
维持时间: $t_{\text{hold}} = t_{\text{inv}}$

建立时间: $t_{\text{su}} = t_{\text{inv}}$

传播延时: $t_{\text{c-q}} = 3 * t_{\text{inv}}$

TSPC Register

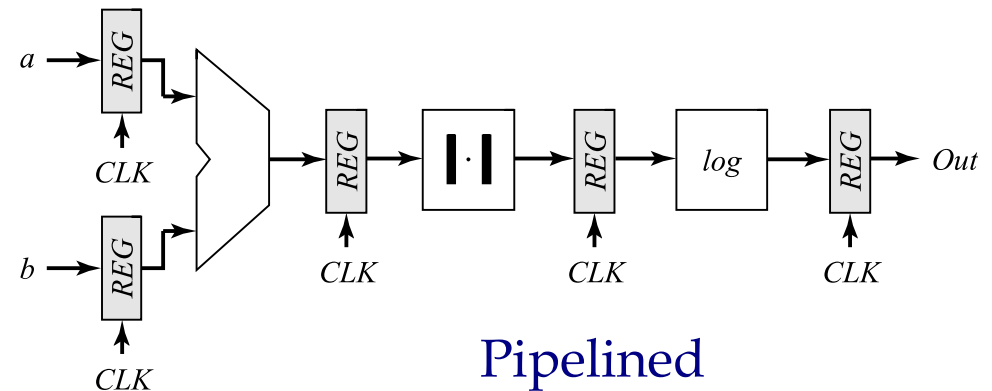
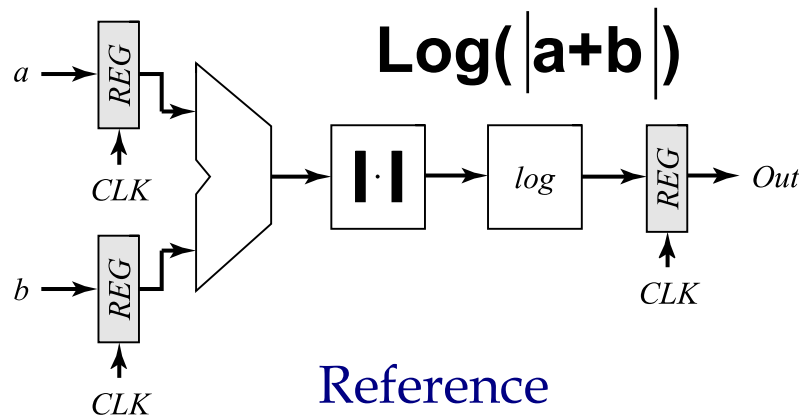
3、竞争问题



	M_4, M_5	M_7, M_8
Original Width	$0.5\mu\text{m}$	$2\mu\text{m}$
Modified Width	$1\mu\text{m}$	$1\mu\text{m}$

P234 例7.4

7.5 优化时序电路的方法——流水线

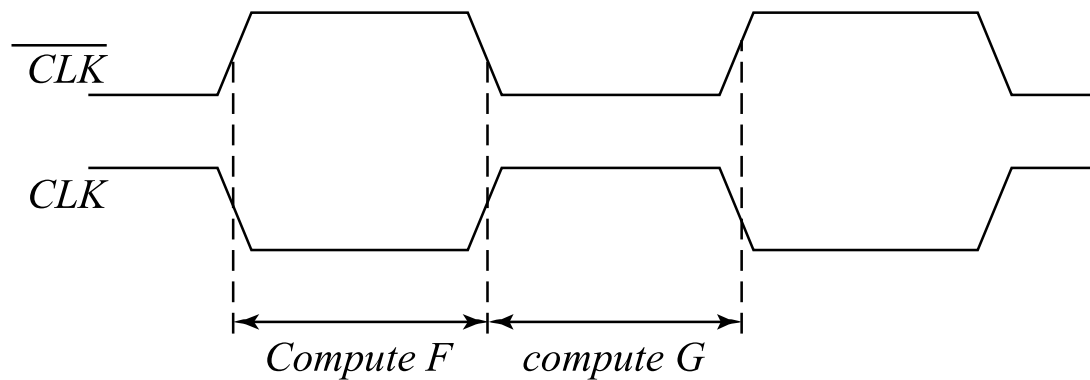
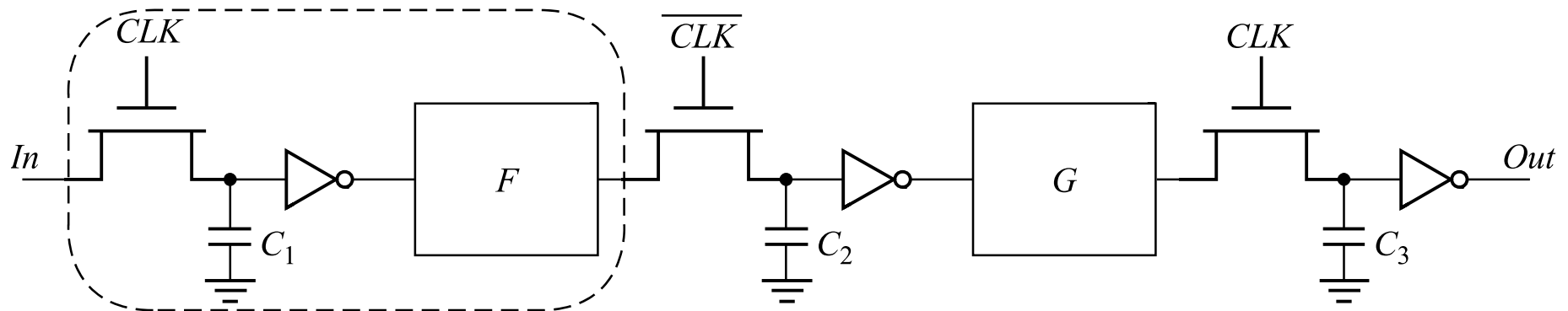


$$T_{min} = t_{c-q} + t_{pd,logic} + t_{su}$$

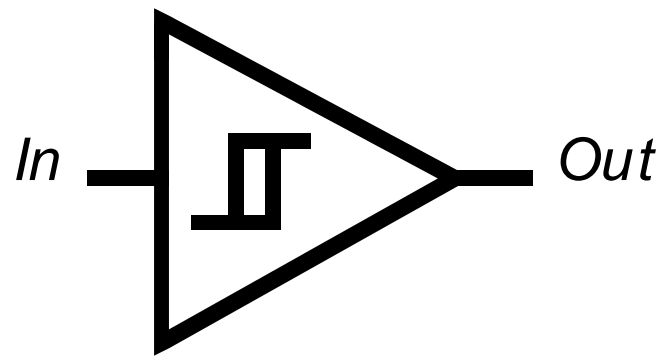
$$T_{min,pipe} = t_{c-q} + \max(t_{pd,add} + t_{pd,abs} + t_{pd,log}) + t_{su}$$

Clock Period	Adder	Absolute Value	Logarithm
1	$a_1 + b_1$		
2	$a_2 + b_2$	$ a_1 + b_1 $	
3	$a_3 + b_3$	$ a_2 + b_2 $	$\log(a_1 + b_1)$
4	$a_4 + b_4$	$ a_3 + b_3 $	$\log(a_2 + b_2)$
5	$a_5 + b_5$	$ a_4 + b_4 $	$\log(a_3 + b_3)$

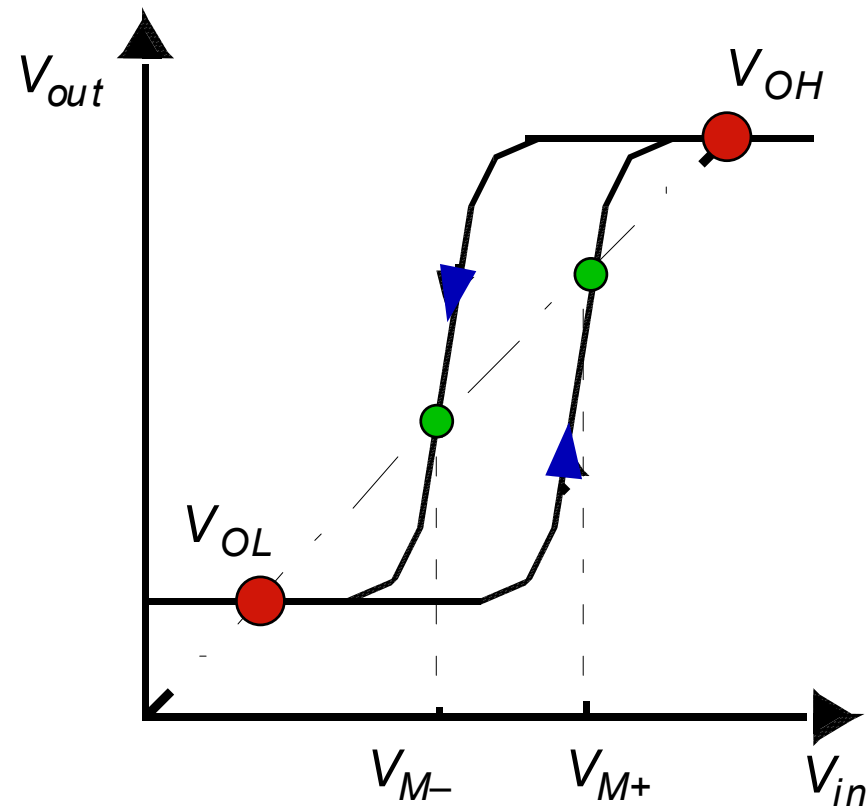
锁存型流水线



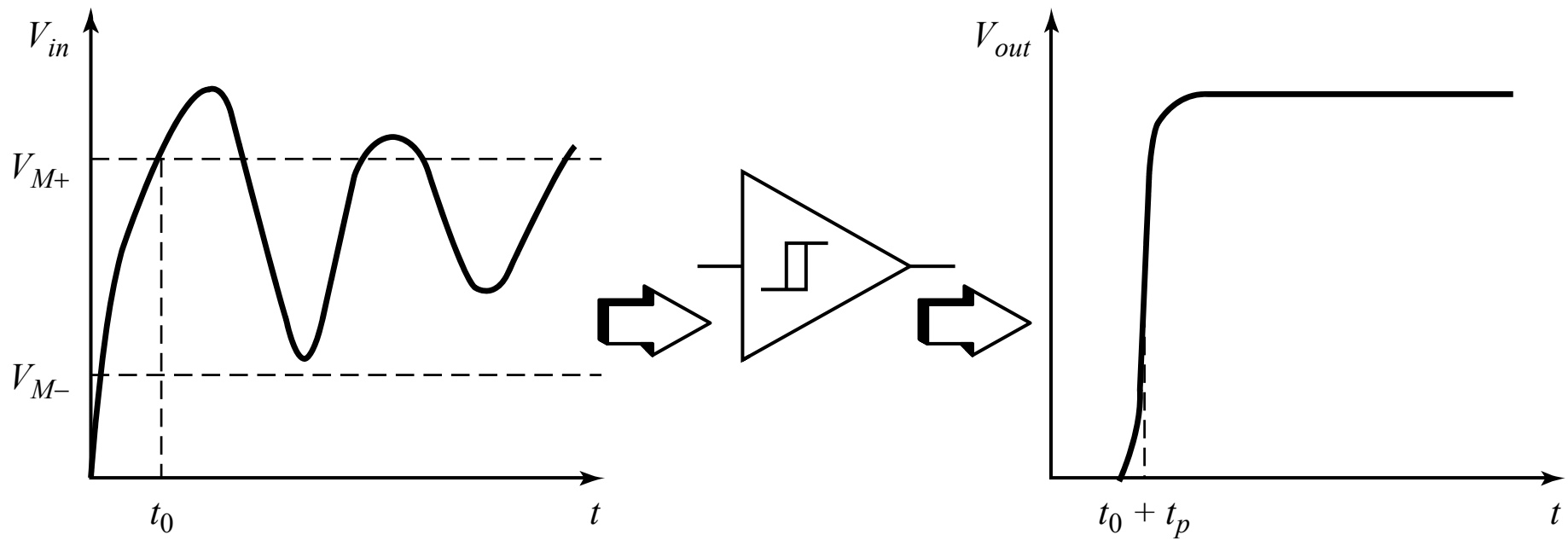
非双稳时序电路— Schmitt Trigger



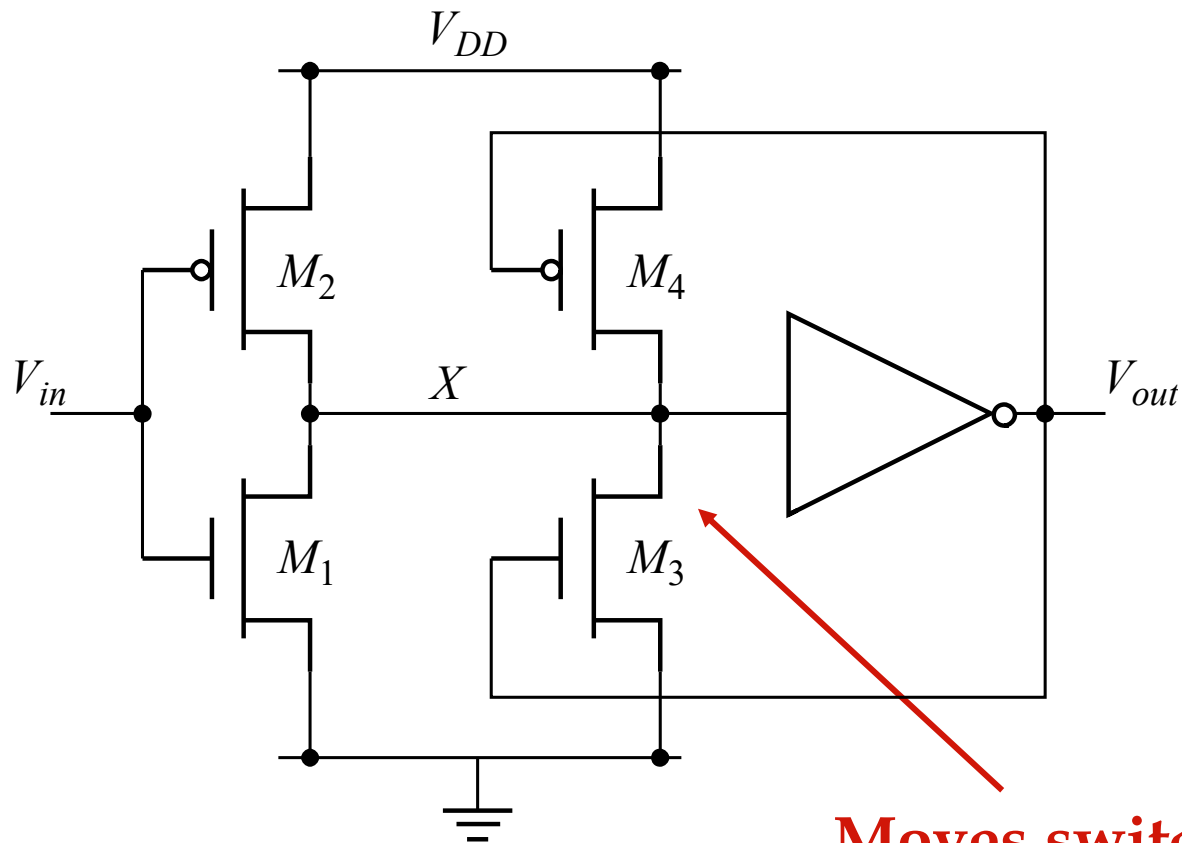
- VTC with hysteresis
- Restores signal slopes



用施密特触发器抑制噪声

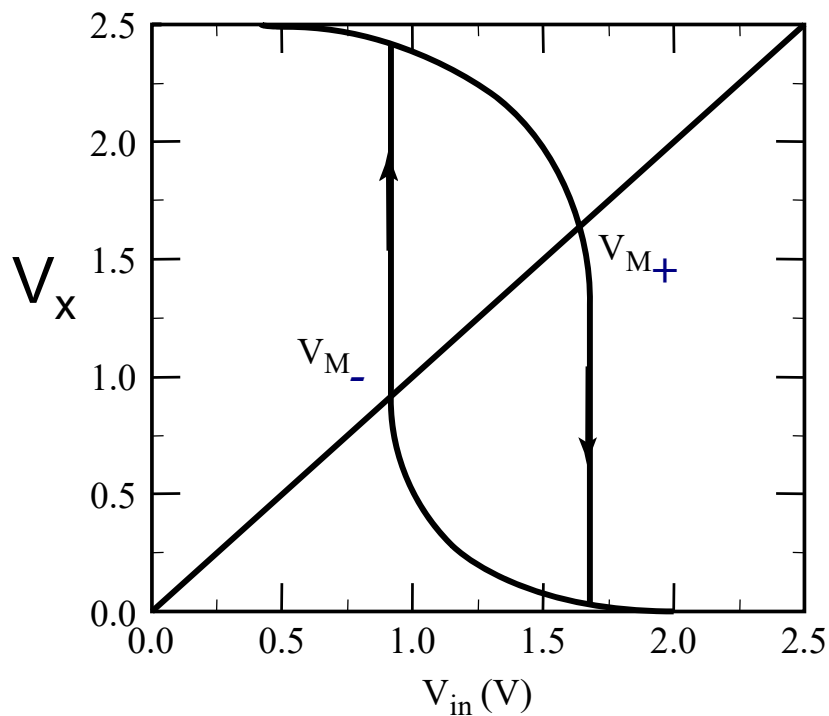


CMOS施密特触发器

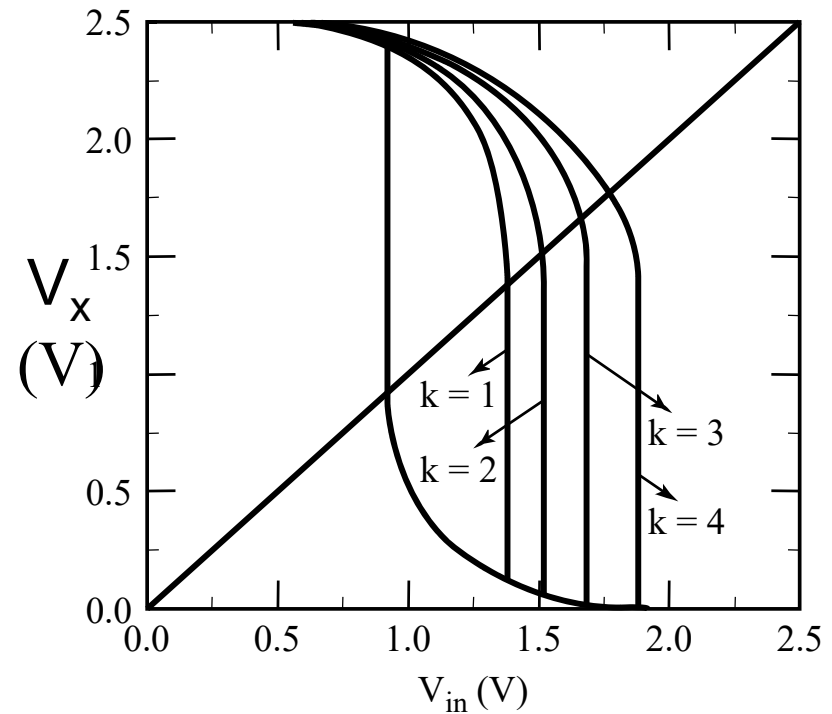


**Moves switching threshold
of the first inverter**

施密特触发器VTC

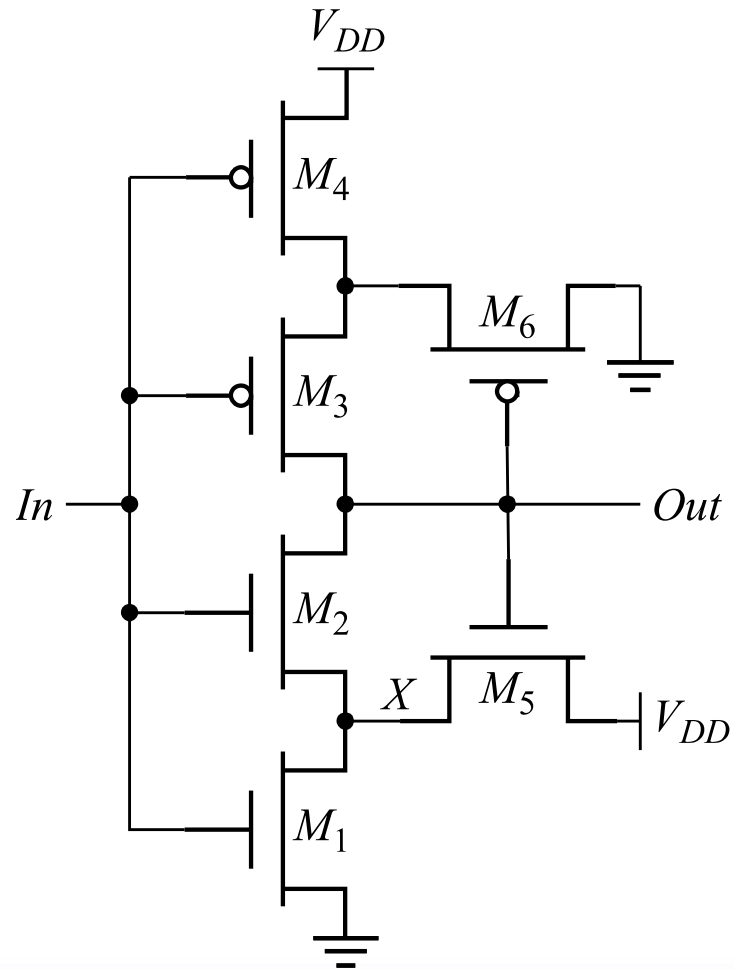


Voltage-transfer characteristics with hysteresis.



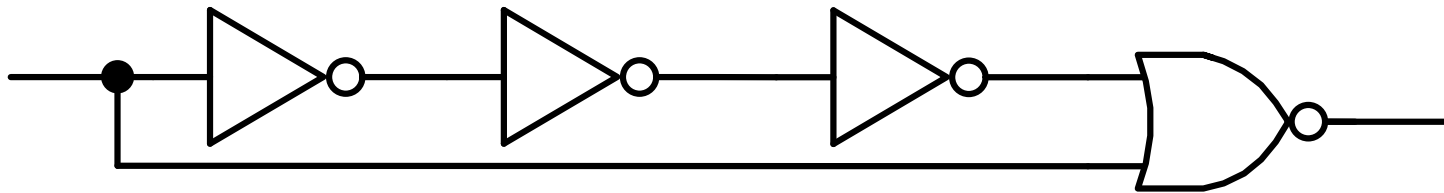
The effect of varying the ratio of the PMOS device M_4 . The width is $k \cdot 0.5m$.

CMOS Schmitt Trigger (2)

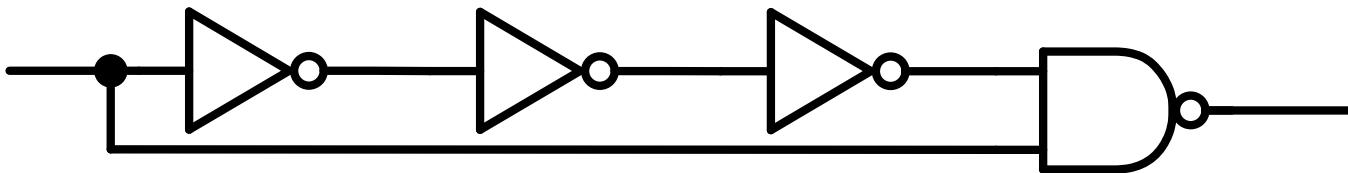


7.6.2 单稳时序电路：信号翻转、脉冲

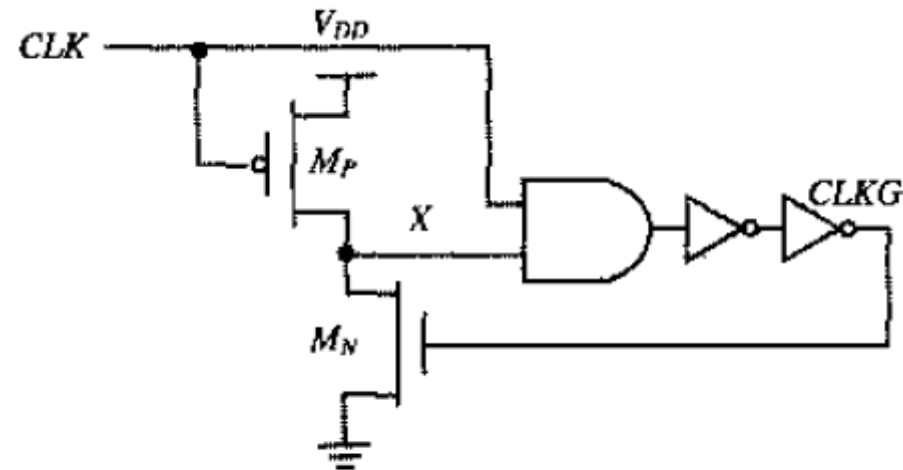
- 信号下降沿检测电路



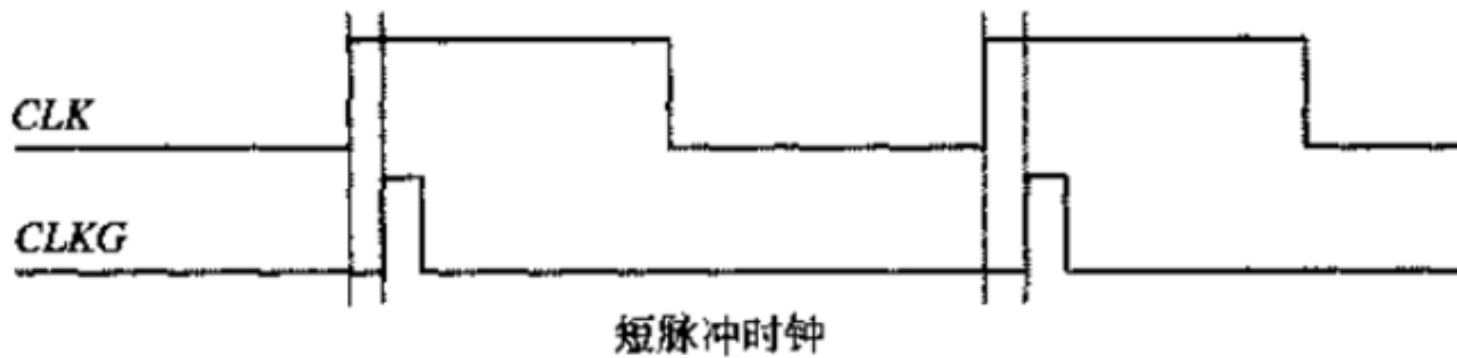
- 信号上升沿检测电路



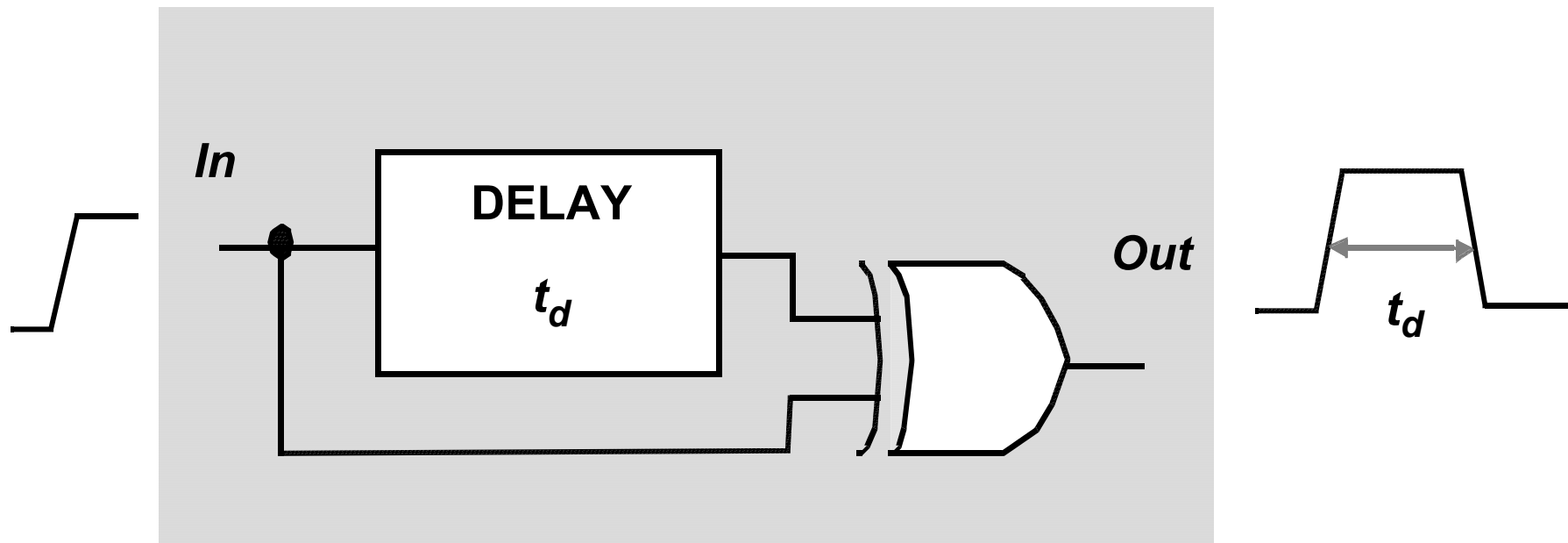
7.6.2 单稳时序电路：信号翻转、脉冲



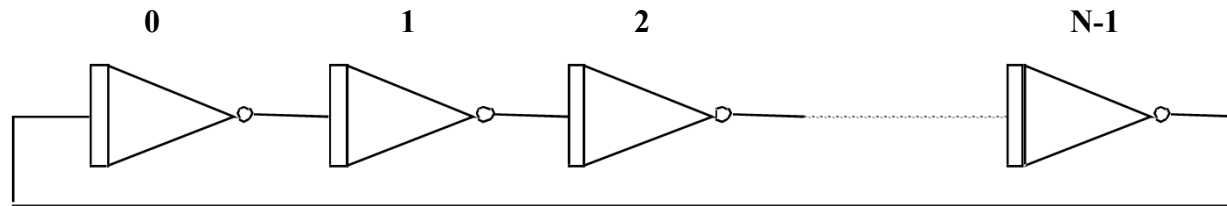
产生短脉冲



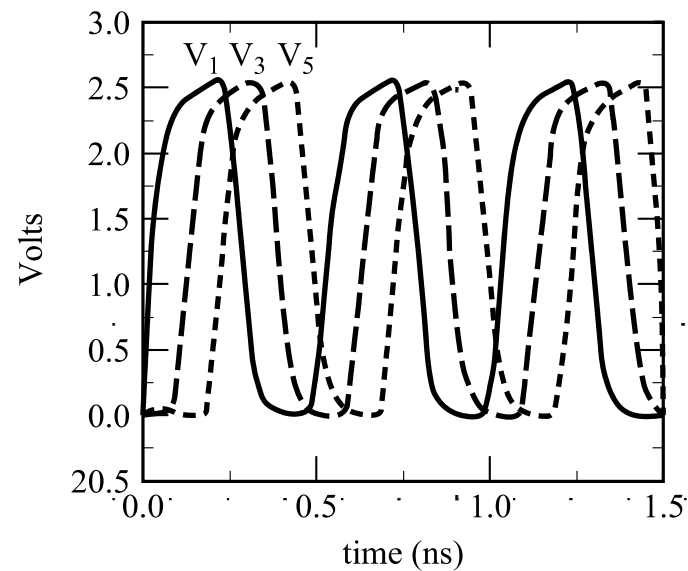
7.6.2 单稳时序电路：信号翻转、脉冲



不稳电路 (Oscillators)

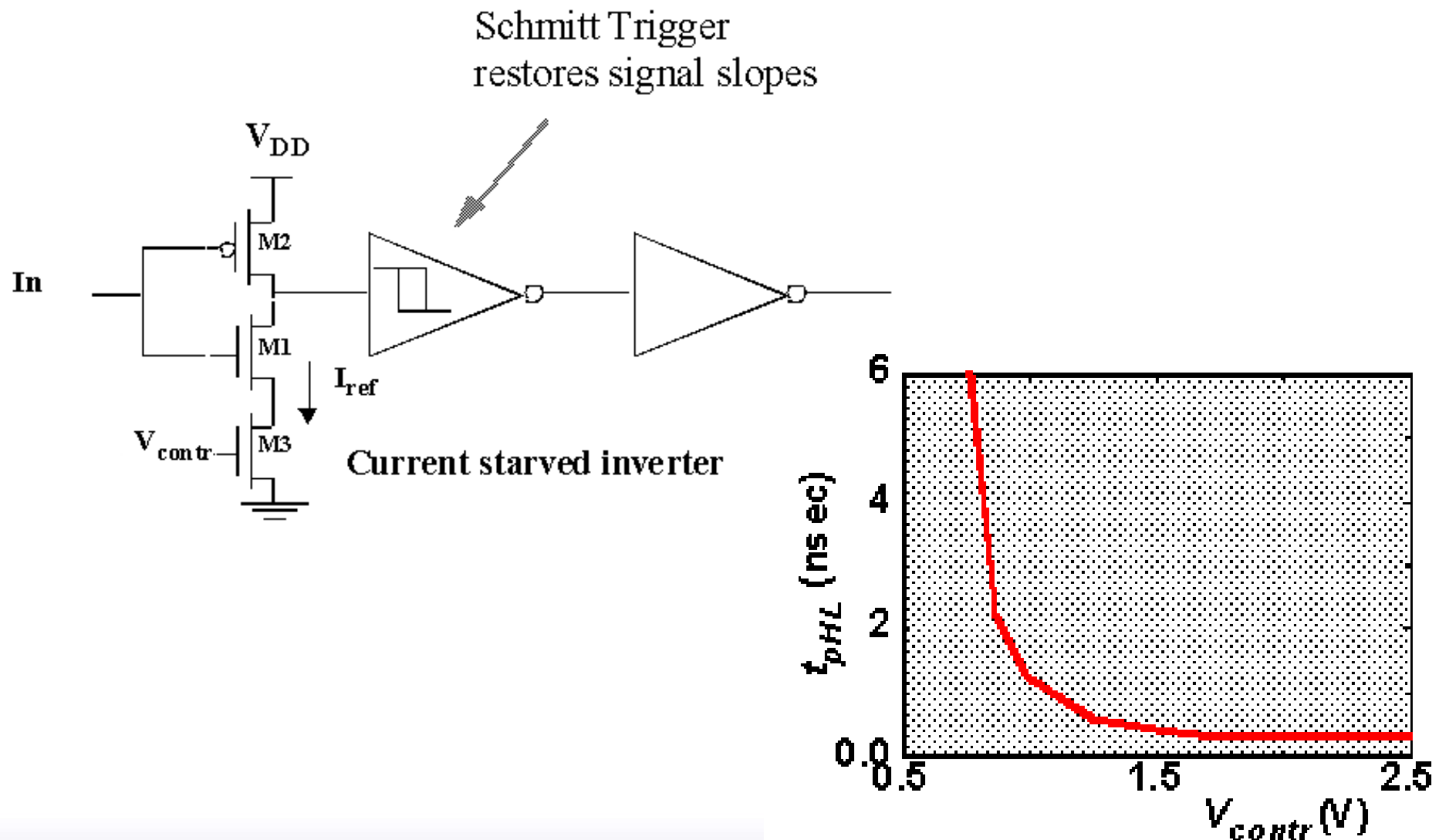


Ring Oscillator

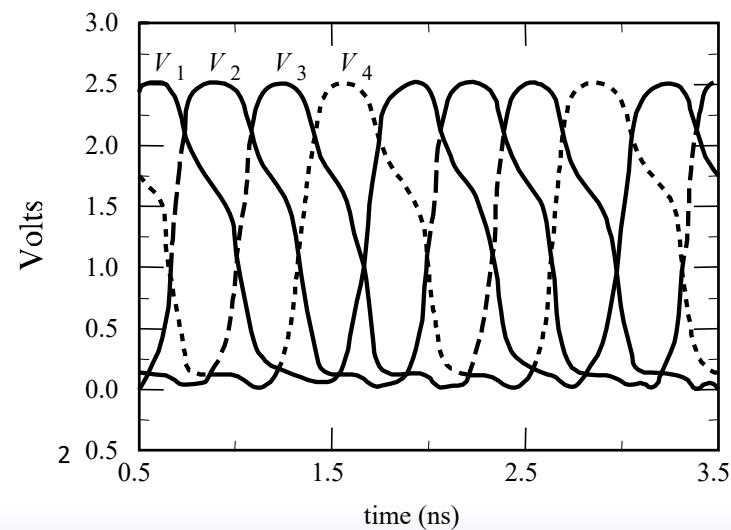
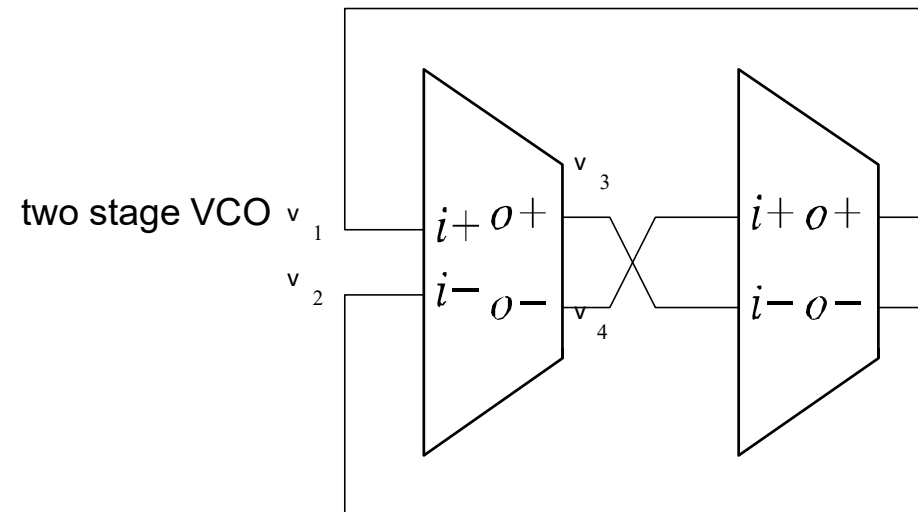
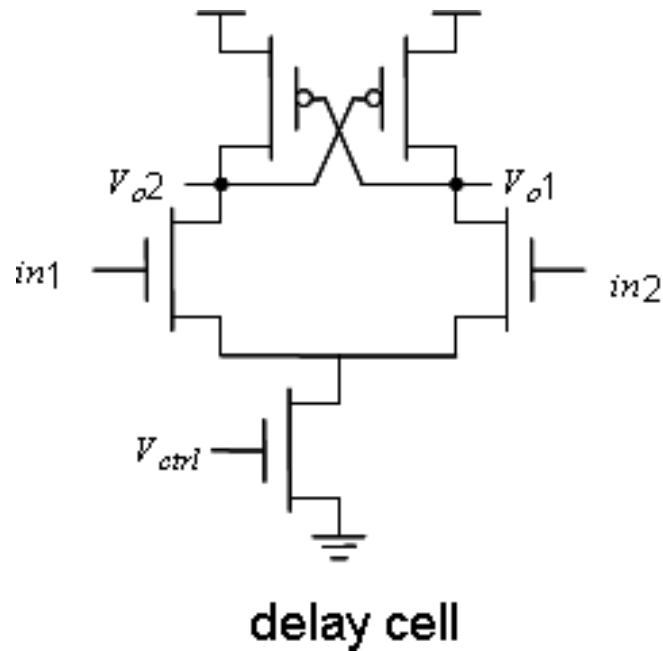


simulated response of 5-stage oscillator

Voltage Controller Oscillator (VCO)



Differential Delay Element and VCO



simulated waveforms of 2-stage VCO

- ❑ 双稳电路
- ❑ 锁存器、寄存器、触发器
- ❑ 储存原理
- ❑ 时钟偏差
- ❑ 不稳电路