数字集成电路设计期末考试

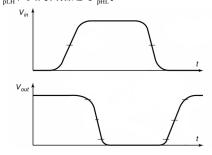
2024.6.12

	、 項至趣 反相器的				:阈值V _м		(增大/凋	划),传护	番延
时t(增大/减小)。									
2		静	态	电	路	的	特	点	是
3、	3、反相器的负载电容增大,则翻转期间的短路电流(增大/减小)								
4	、有	比:	逻辑	与 牙	比比	逻辑	員 的	区别	是

5、写出两种减小导线间电容串扰的方法:

二、(8分)

- 1、画出反相器的电压传输特性曲线,并标注各区间上晶体管的工作模式。
- 2、下图是一个反相器的输入与输出波形,请在图中标出上升时间t,下降时间 t,正向传播延时t_{LH},负向传播延时t_{HL}。



三、(10分) 在一个控制电路中需要一个CMOS逻辑门,实现以下功能:

$$F = \overline{AB + C(D + E)}$$

- 1、设计该逻辑电路。
- 2、如果最坏情形的上升与下降时间相同,求门中器件的尺寸 (r=Wp/Wn=3)

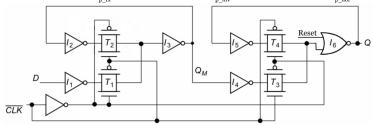
四、(10分)

- 二输入与非门 (nand2) 的输入分别为A和B, 其中输入A靠近输出。
- 1、有三种可能的输入组合可以使与非门的输出从高切换至低,(a) B=1, A=0 \rightarrow 1; (b) A=1, B=0 \rightarrow 1; (c) A=B=0 \rightarrow 1。画出三种输入组合对应的VTC曲线a, b, c,并解释三条曲线之间偏移的原因。
- 2、有三种可能的输入组合可以使与非门的输出从高切换至低,(d) B=1, A= $0\rightarrow1$; (e) A=1, B= $0\rightarrow1$; (f) A=B= $0\rightarrow1$ 。画出三种输入组合对应的延时特性曲线d, e, f,并解释延时之间差异的原因。

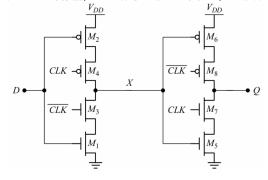
- 五、(10分) 1、画出一种施密特触发器电路,并分析其工作原理。 2、设计一个信号下降沿检测电路,并说明其工作原理。

六、(10分)

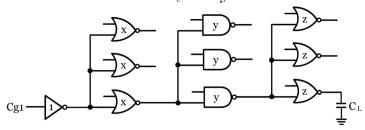
、分析下图所示电路实现的功能,并写出其传播延时、建立时间、维持时间(传输门传播延时为 $t_{p_{_inv}}$,反相器传播延时为 $t_{p_{_inv}}$,或非门传播延时为 $t_{p_{_nor}}$)。



、下图是一个 C^2 MOS寄存器,该电路对时钟重叠不敏感,试分析其原理。



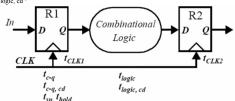
七、(10分) 下图的逻辑链是以r=Wp/Wn=2的工艺制造的。请采用逻辑功效方法,计算输入至输出路径中每级的最优尺寸。已知 $C_{\rm L}$ = $100~C_{\rm gl}$ 。



八、(10分)

下图表示一个同步流水线数据通路的基本结构。已知时钟周期T,寄存器最大传播延时 t_{c-q} 、污染延时 t_{c-q} 、建立时间 t_{su} 、维持时间 t_{hold} ,组合逻辑最大延时

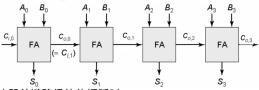
 t_{logic} 、污染延时 $t_{logic, cd}$ 。



- 1、写出使该电路正确工作的时序约束条件。
- 2、考虑寄存器R1、R2间的时钟偏差δ, 重新写出该电路正确工作的约束条件。
- 3、若 $t_{c-q}=3$ ns, $t_{logic}=4$ ns, $t_{su}=3$ ns, $\delta=0.6$ ns, 求时钟周期允许的最小值。

九、(10分)

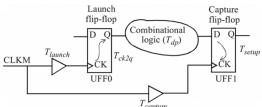
下图是一个4位行波进位加法器。对于每个一位全加器, $C_i \Xi C_o$ 的传播延时为 t_{canv} , $C_i \Xi S$ 的传播延时为 t_{canv} , t_{canv}



- 1、写出该加法器关键路径的传播延时 t_{adder} 。
- 2、定义进位传播 $P_k=A_k\oplus B_k$,进位产生 $G_k=A_kB_k$,将 S_k 与 $C_{o,k}$ 表示为 P_k 、 G_k 和 $C_{o,k-1}$ 的函数(k=1,2,3)。
- 3、超前进位加法器通过展开 $C_{0,k-1}$ 来消除 $C_{0,k-1}$ 的依赖。请推导4位超前进位加法器输出进位 $C_{0,k}$ 的表达式。

十、 (10分)

下图是一个时序电路, 在对该电路进行逻辑综合时, 需要添加一定的约束来生成门级网表。



- 1、对时钟CLKM建立约束,可使用文字描述或Synopsys指令。
- 2、对寄存器UFF0建立时序约束,可使用文字描述或Synopsys指令。
- 3、对寄存器UFF1建立时序约束,可使用文字描述或Synopsys指令。