



# 数字集成电路

## 第四讲 导线

# 简介

- 在集成电路发展的大部分时间里，芯片上的互连线的影响在设计中被忽略。
- 随着工艺的发展，在深亚微米/超深亚微米，导线引起的寄生效应对电路性能的影响越来越大。——速度、能耗和可靠性等。
- 仔细分析半导体工艺中互连线的作用和特性对于数字集成电路设计极为重要。

# 在集成电路中构成导线的因素

- 金属：铝、铜
- 多晶硅
- 实现源区和漏区的重掺杂 $n^+$ 和 $p^+$ 扩散层

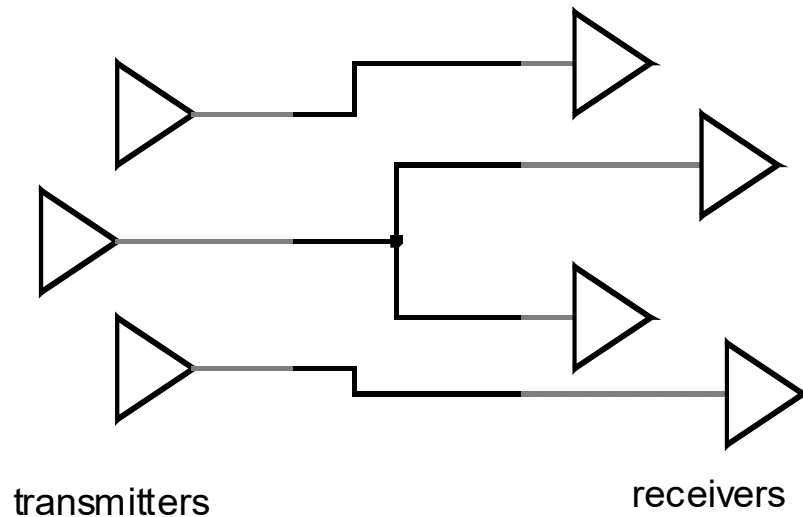
# 导线的寄生参数效应

## □ 电容、电阻和电感

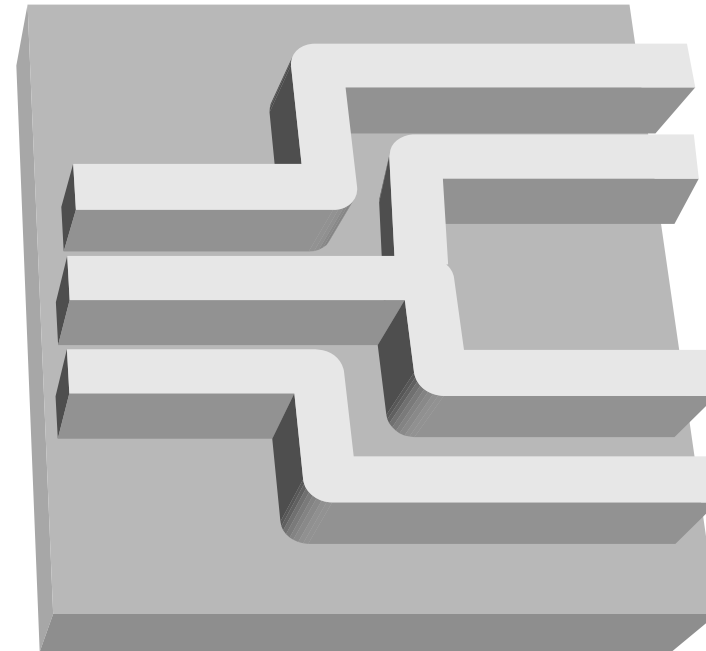
- 使传播延时增加，性能下降
- 影响能耗和功率分布
- 都会引起额外的噪声来源，从而影响电路的可靠性

## □ 在分析和设计过程中，如果考虑所有节点的所有寄生效应，不现实！！！！

# 导线



**schematics**

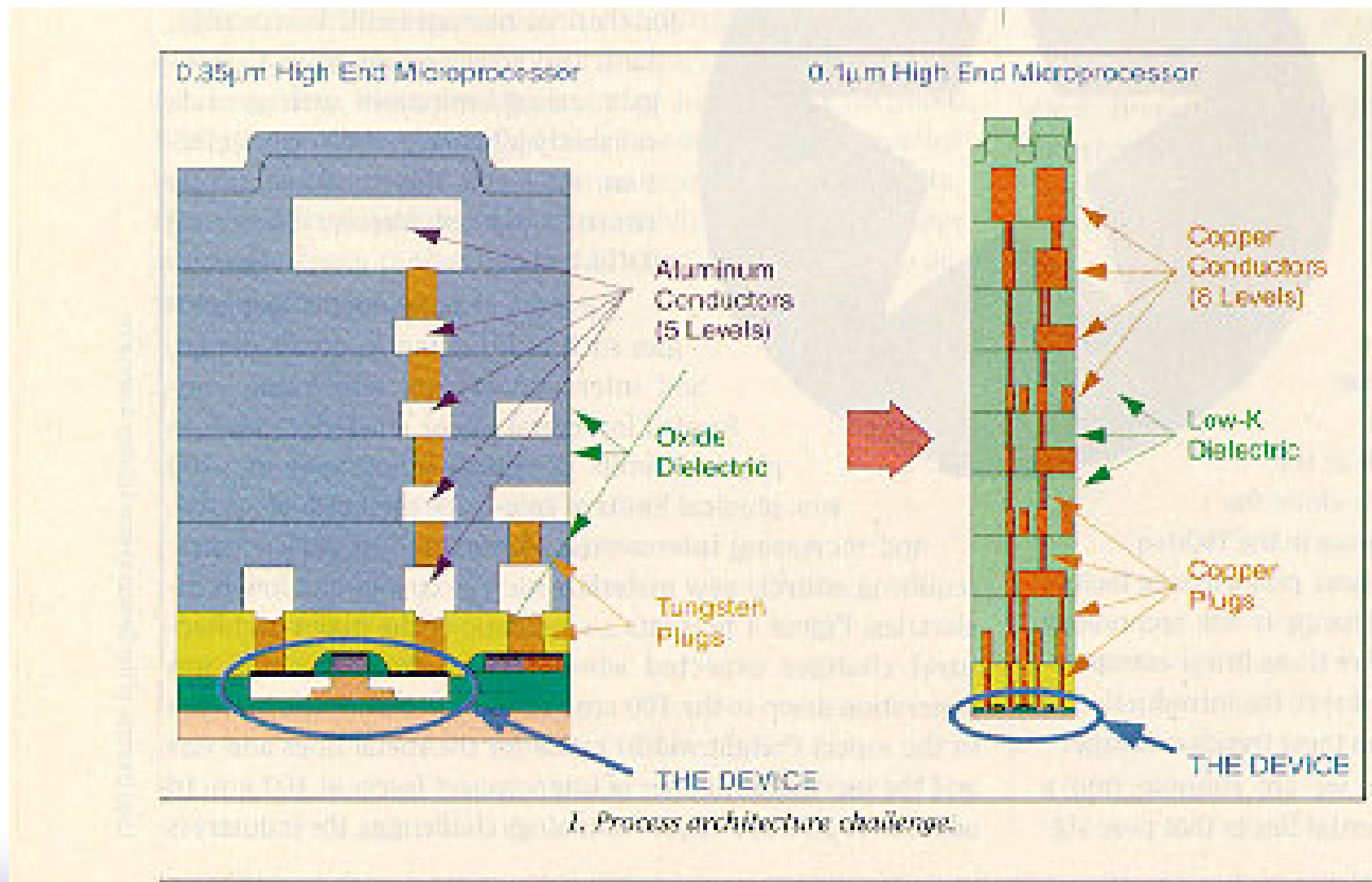


**physical**

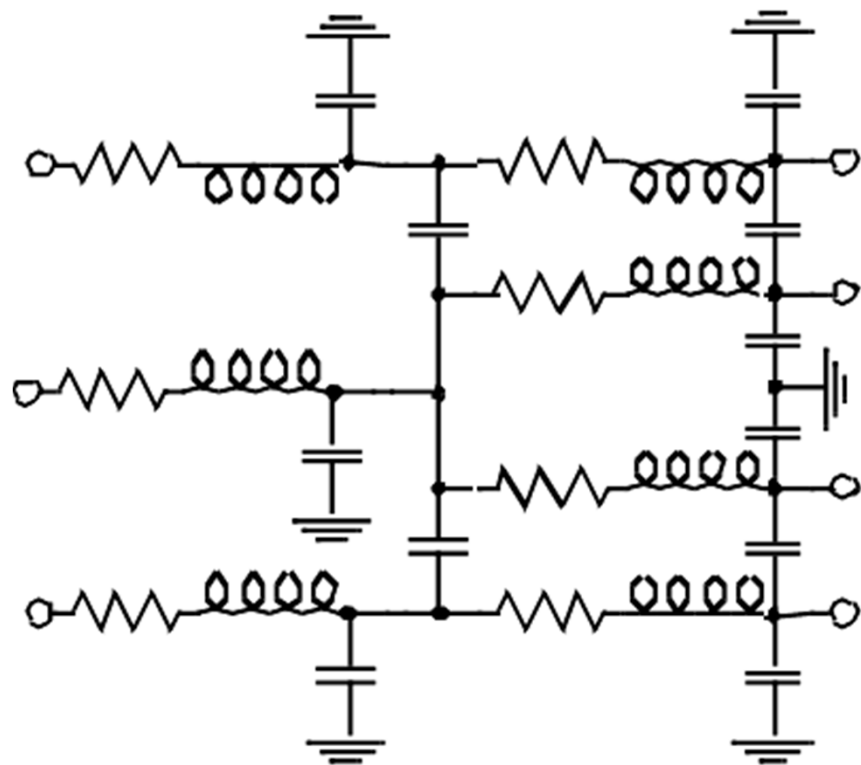
一个总线网络中每条导线把一个或多个发送器连至一组接收器。每条导线由一系列不同长度和几何尺寸的导线段构成。

假设所有导线段都在同一互连层上实现，并且通过一层绝缘材料与硅衬底隔离以及相互隔离。

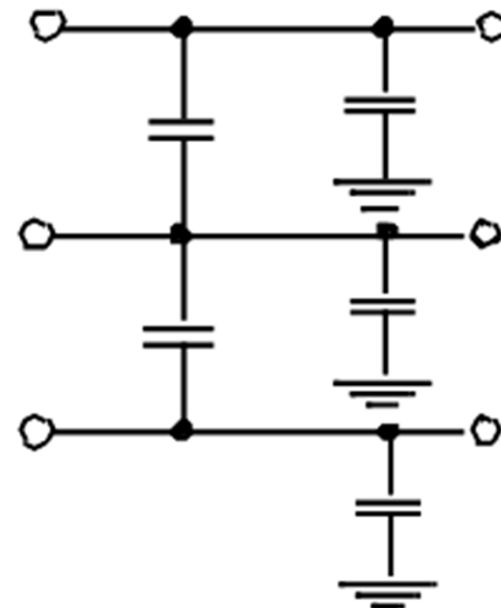
# 芯片上互连线的影响



# 导线模型



All-inclusive model



Capacitance-only

# 分析过程中对模型进行简化

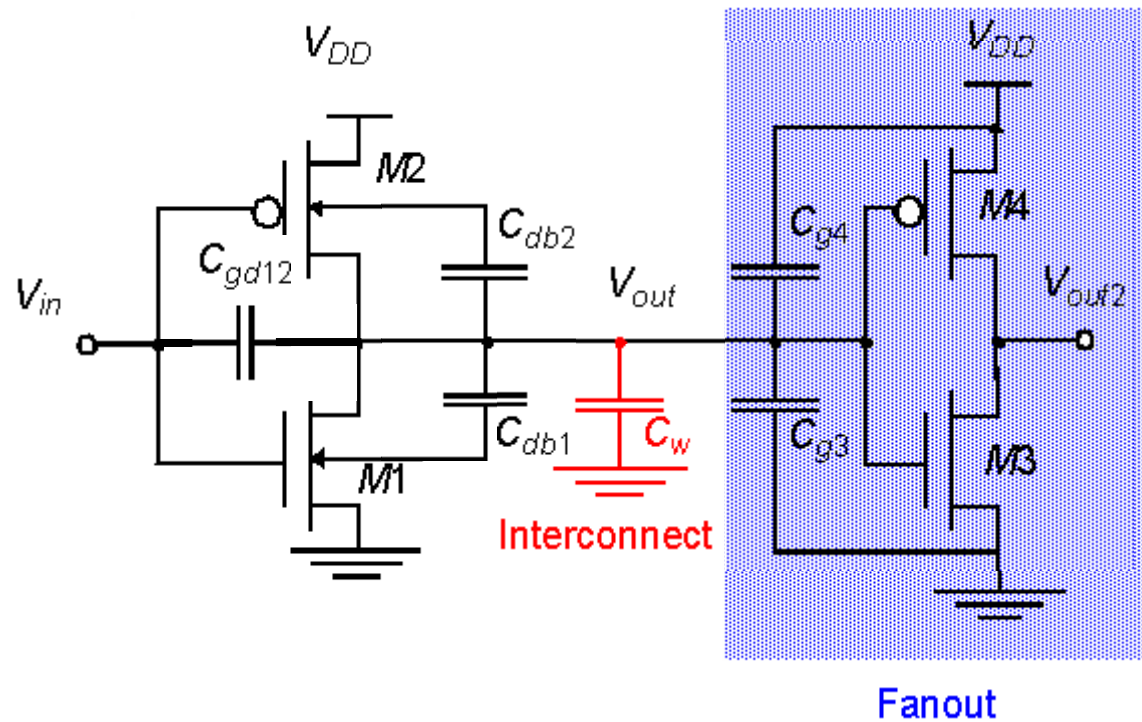
- 如果导线的电阻很大，或者外加信号的上升和下降时间很慢，则电感的影响可以忽略；
- 当导线很短，导线的截面积很大，或者所采用的互连材料电阻率很低时，则可以采用只含电容的模型。
- 当相邻导线间的间距很大，或者当导线只在一段很短的距离上靠近在一起的时候，导线间的电容可以被忽略，并且所有的寄生电容都可以模拟成接地电容。



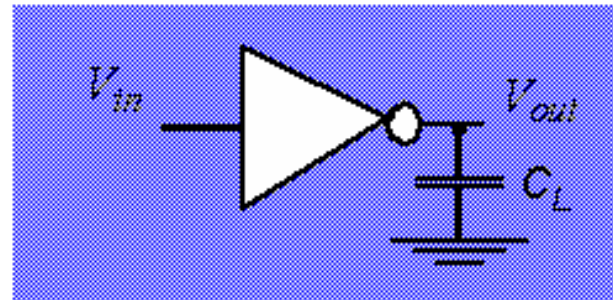
## 4.3.1 互连参数



# Capacitance of Wire Interconnect

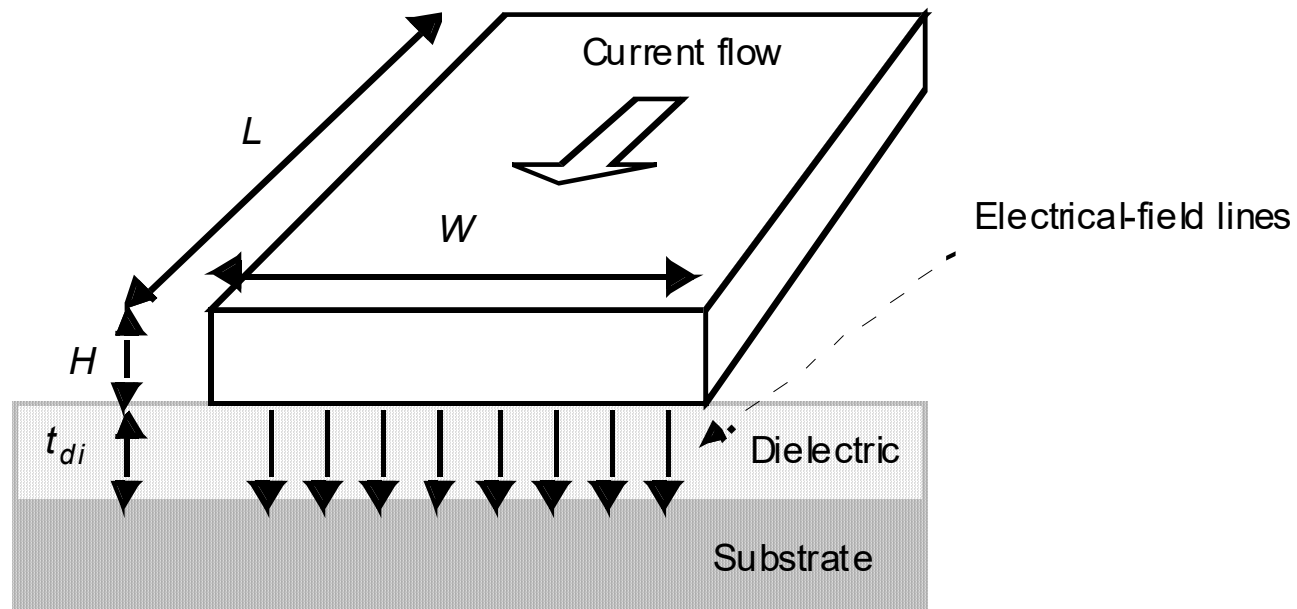


**Simplified  
Model**



# 电容: 平板模型

一条简单的矩形导线放在半导体衬底之上。



$$C_{int} = \frac{\epsilon_{di}}{t_{di}} WL$$

# 介电常数

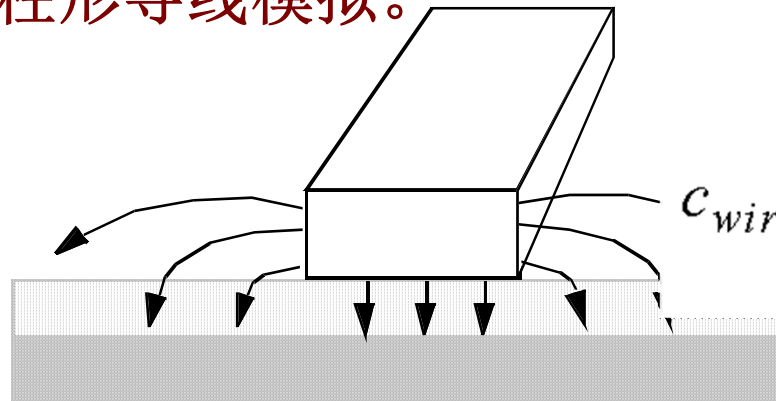
	Material	$\epsilon_r$
真空	Free space	1
气凝胶	Aerogels	~1.5
聚酰亚胺（有机物）	Polyimides (organic)	3-4
二氧化硅	Silicon dioxide	3.9
玻璃环氧树脂	Glass-epoxy (PC board)	5
氮化硅	Silicon Nitride ( $\text{Si}_3\text{N}_4$ )	7.5
氧化铝	Alumina (package)	9.5
硅	Silicon	11.7

## 平板电容模型过于简单

- 为了在减小工艺尺寸的同时使导线的电阻最小，希望能保持导线的截面 (**W X H**) 尽可能地大。但是，较小的**W**值可得到较密集地布线，具有较少的面积开销。
- **W/H**的值在稳步下降，在先进的工艺中已经降到了1以下。
- 平行板电容模型变得很不精确，导线侧面与衬底之间的电容（边缘电容）不能被忽略，而成为总电容的一部分。

# 边缘电容 (Fringing Capacitance)

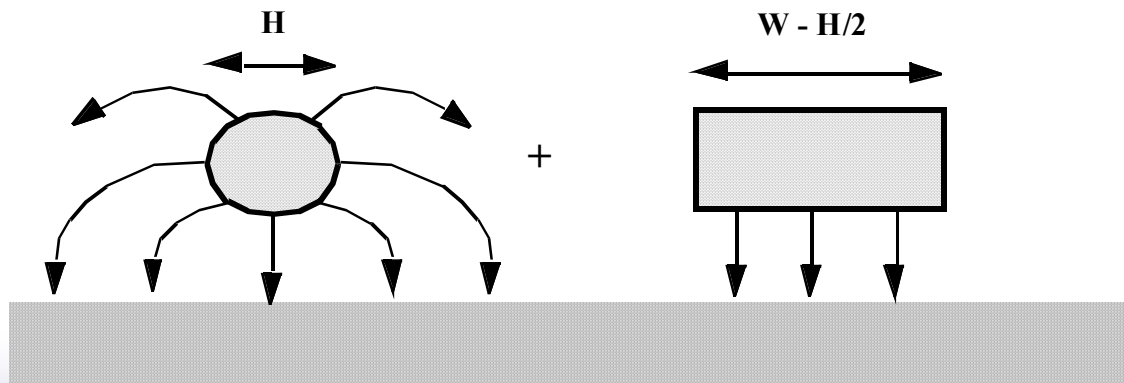
等效电容：（平板电容）宽度为 $w$ 的导线与接地平面之间的垂直电场决定，以及（边缘电容）一条直径等于互连线厚度 $H$ 的圆柱形导线模拟。



(a)

$$C_{wire} = C_{pp} + C_{fringe} = \frac{w\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/H)}$$

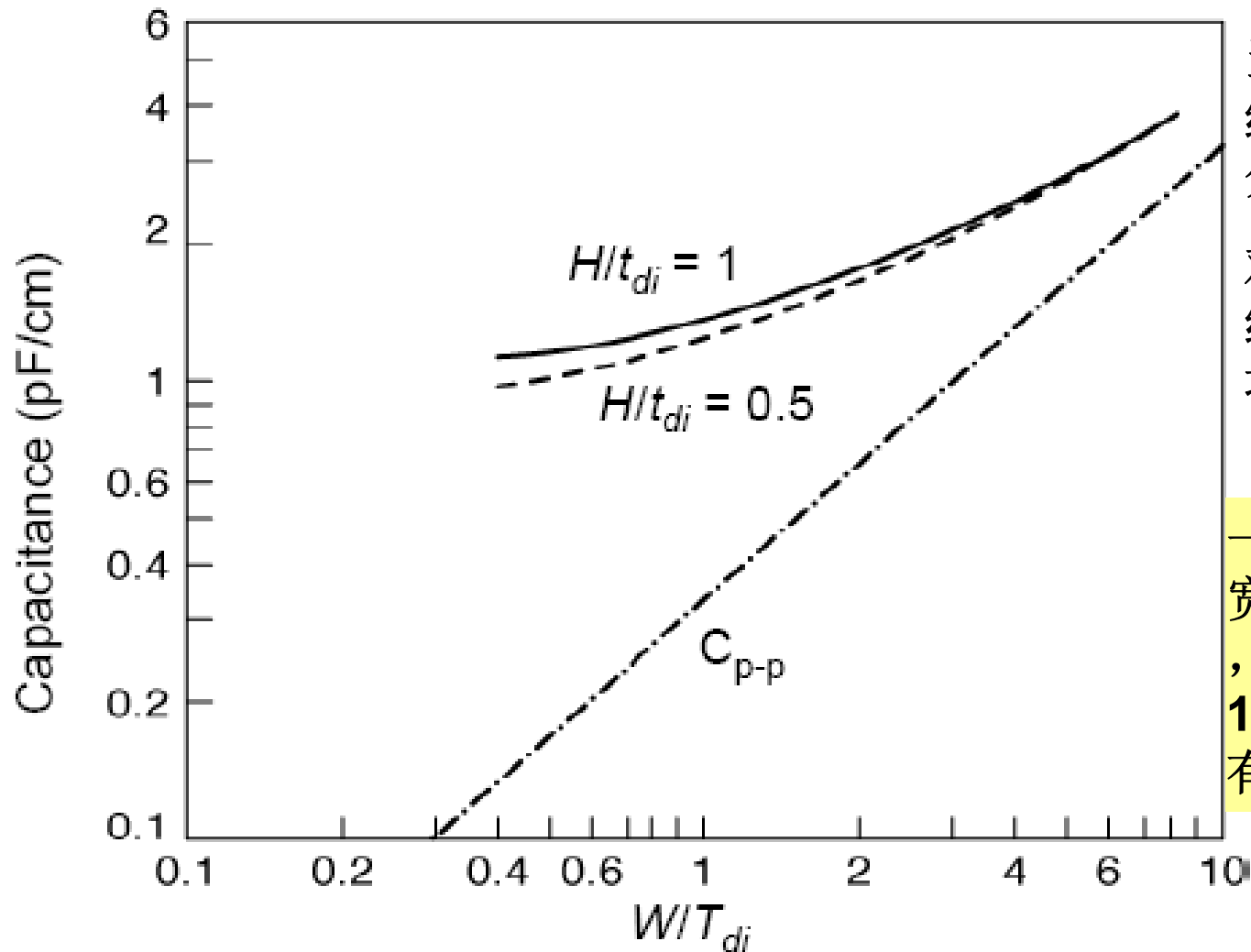
$$w = W - H/2$$



(b)

边缘电容的计算：等效为圆柱形电容器的电容

# Fringing versus Parallel Plate

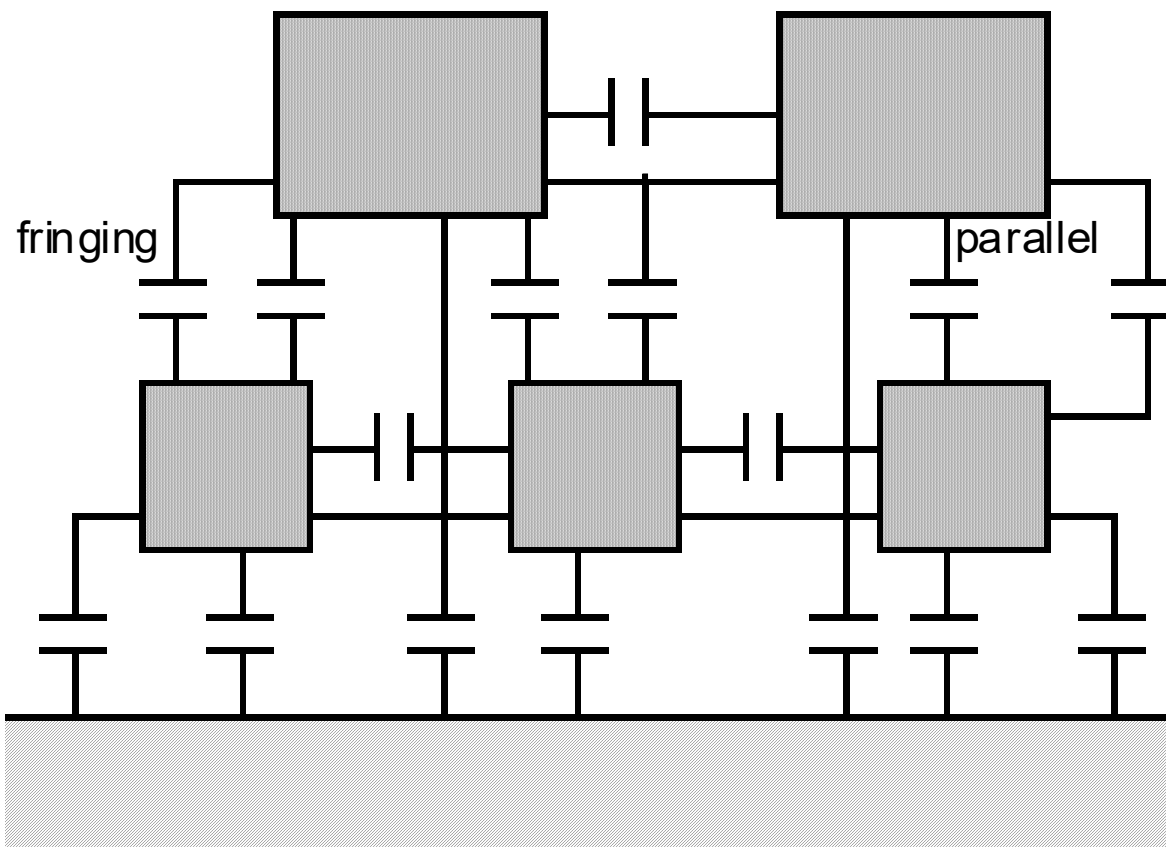


当 $W/H$ 小于1.5时，边缘电容变成了主要部分。

对于较小的线宽，边缘电容可以是总电容增加**10**倍以上。

一个有趣的现象：当线宽小于绝缘层的厚度时，总电容会趋于**1pF/cm**，不再与线宽有关。

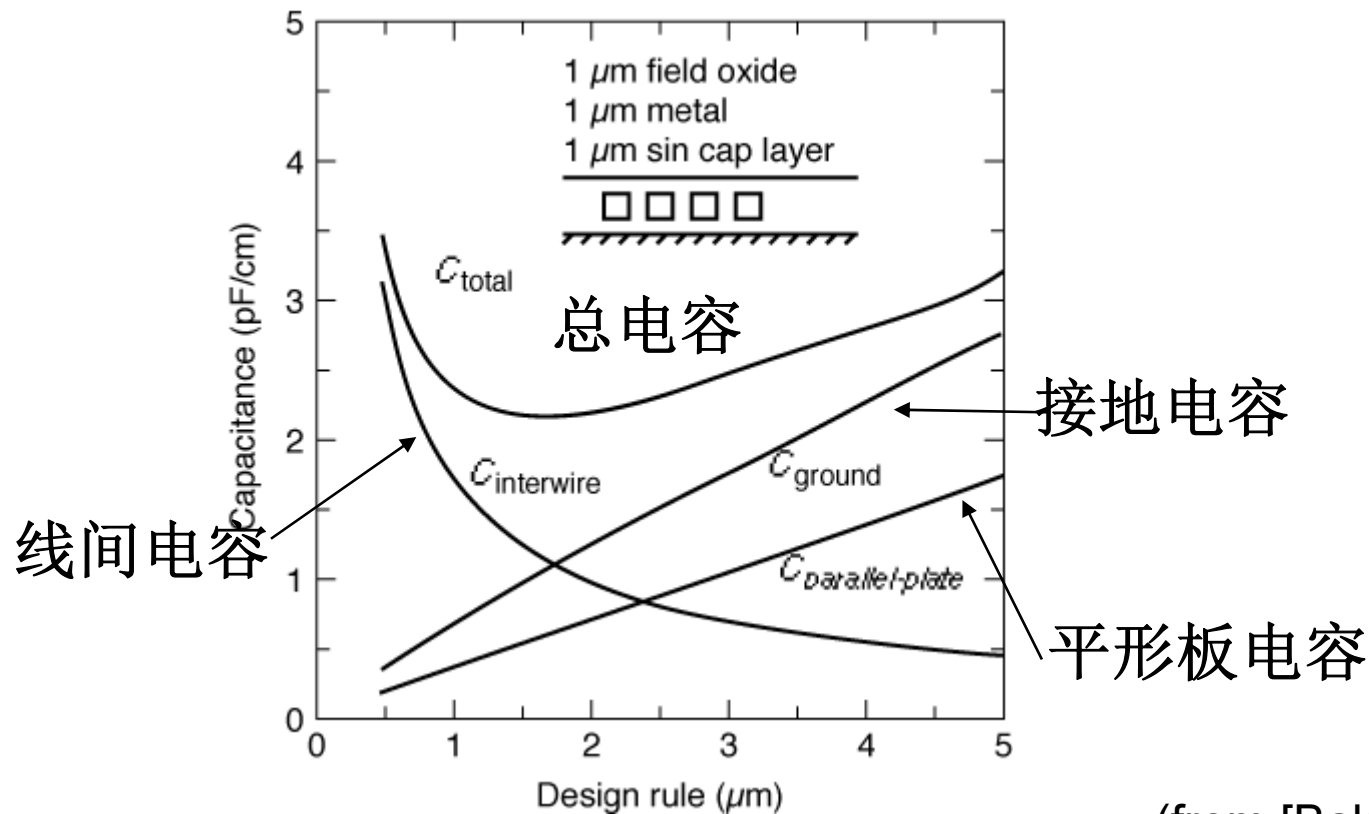
# 线间电容



每条导线并不是只与接地的衬底耦合，而且也与处在同一层以及相邻层上的临近导线耦合。



# 互连电容与设计规则之间的关系



(from [Bakoglu89])

假设绝缘层和导线的厚度保持不变，而其它尺寸按比例改变。当 $W$ 变成小于 $1.75H$ 时，导线间的电容开始占据主导地位。

# Wiring Capacitances (0.25 $\mu\text{m}$ CMOS)

	Field	Active	Poly	Al1	Al2	Al3	Al4
Poly	88						
	54						
Al1	30	41	57				
	40	47	54				
Al2	13	15	17	36			
	25	27	29	45			
Al3	8.9	9.4	10	15	41		
	18	19	20	27	49		
Al4	6.5	6.8	7	8.9	15	35	
	14	15	15	18	27	45	
Al5	5.2	5.4	5.4	6.6	9.1	14	38
	12	12	12	14	19	27	52

0.25 $\mu\text{m}$  CMOS工艺的平面电容(aF/ $\mu\text{m}^2$ )和边缘电容(阴影的行) (aF/ $\mu\text{m}$ )

注: aF (阿法)  $1\text{F}=10^{18}\text{aF}$

## 同层导线间的电容

Layer	Poly	Al1	Al2	Al3	Al4	Al5
Capacitance	40	95	85	85	85	115

布置在同一层上彼此间有最小间距的平行导线间电容的典型值。这些数据同时包括平板电容和边缘电容。

电容值与工艺密切相关（表中给出的是典型值）。

在相邻一层放置的接地平面将终止大部分的边缘电场并有效的减小导线间的电容。

多晶硅由于厚度较小而使线间电容减小。

较厚的**Al5**导线具有最大的线间电容，把它用于对干扰不敏感的全局信号，比如电源线。

# 例题：金属导线的电容

## 例4.1 P104

考虑一条布在第一层金属铝上的一条长10cm、宽1 $\mu$ m的连线，（1）计算其平板电容和边缘电容；（2）假设第二条导线布在第一条旁边，并且之间只相隔最小距离，计算它们之间的耦合电容。

解：（1）平板电容： $(0.1 \times 10^6 \mu\text{m}^2) \times 30\text{aF}/\mu\text{m}^2 = 3\text{pF}$

边缘电容： $2 \times (0.1 \times 10^6 \mu\text{m}) \times 40\text{aF}/\mu\text{m} = 8\text{pF}$  (两个侧面)

总电容：11pF

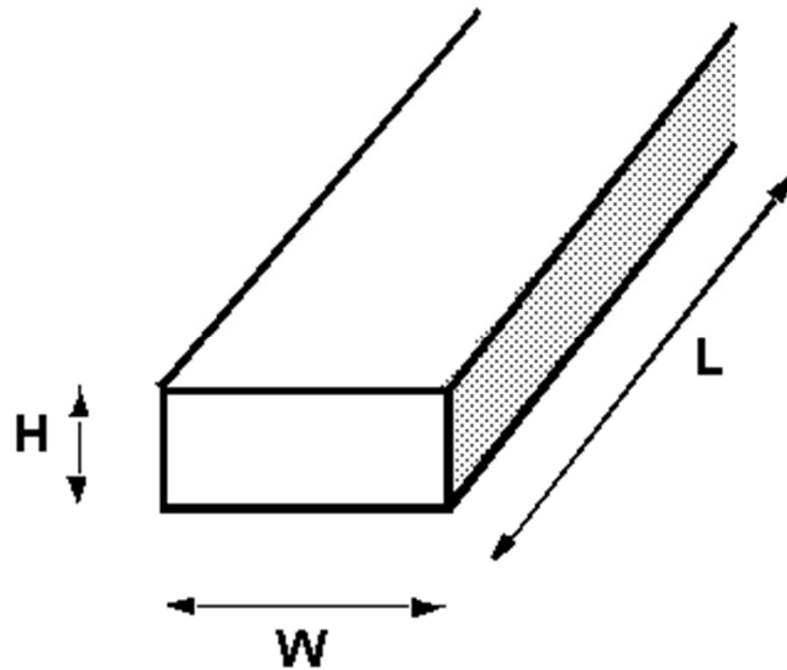
（2）耦合电容： $C_{\text{inter}} = (0.1 \times 10^6 \mu\text{m}) \times 95\text{aF}/\mu\text{m} = 9.5\text{pF}$

耦合电容几乎和对地电容一样大！

## 4.3.2 INTERCONNECT



# Wire Resistance

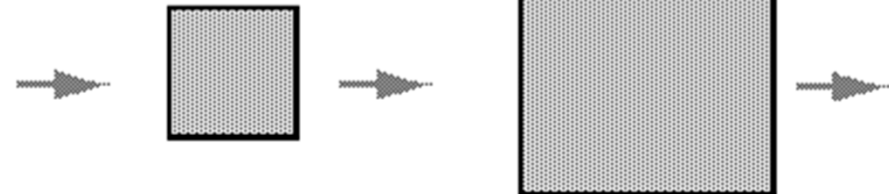


$$R = \frac{\rho L}{HW}$$

Sheet Resistance  
 $R_0$

$R_1 \equiv$

$R_2$



# 常用导体的电阻率

Material	$\rho$ ( $\Omega\text{-m}$ )
Silver (Ag)	$1.6 \times 10^{-8}$
Copper (Cu)	$1.7 \times 10^{-8}$
Gold (Au)	$2.2 \times 10^{-8}$
Aluminum (Al)	$2.7 \times 10^{-8}$
Tungsten (W)	$5.5 \times 10^{-8}$

铝最常用，但电阻率较大。随着对性能的要求越来越高，最先进的工艺越来越多地选择铜作为导体。



# Sheet Resistance

Material	Sheet Resistance ( $\Omega/\square$ )
n- or p-well diffusion	1000 – 1500
$n^+$ , $p^+$ diffusion	50 – 150
$n^+$ , $p^+$ diffusion with silicide	3 – 5
$n^+$ , $p^+$ polysilicon	150 – 200
$n^+$ , $p^+$ polysilicon with silicide	4 – 5
Aluminum	0.05 – 0.1

结论：对于长互连导线，金属铝是优先考虑的材料。

多晶硅应当只用于局部互连。

尽管扩散层（**n+**，**p+**）的方块电阻与多晶硅相当，但是由于它们具有较大的电容（导致较大的**RC**延时），所以应当避免采用扩散层做导线。

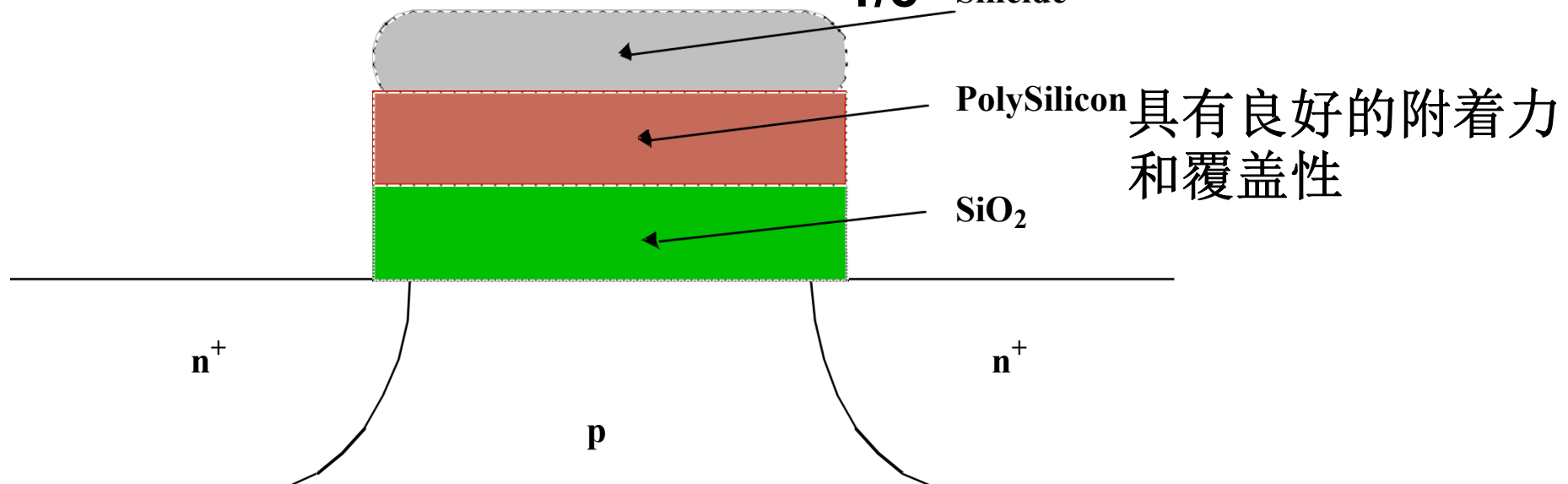


# *Dealing with Resistance*

- ❑ **Selective Technology Scaling**（仔细挑选工艺的缩放比例）
- ❑ **Use Better Interconnect Materials**
  - reduce average wire-length
  - e.g. copper, silicides
- ❑ **More Interconnect Layers**
  - reduce average wire-length

# Polycide Gate MOSFET

低电阻率，例如**WSi<sub>2</sub>**的电阻率为**130 $\mu\Omega/\text{cm}$** ,大约为多晶硅的  
**1/8** Silicide



**Silicides: WSi<sub>2</sub>, TiSi<sub>2</sub>, PtSi<sub>2</sub> and TaSi**

**Conductivity: 8-10 times better than Poly**

# 接触电阻

- 布线层之间的转接给导线带来的额外的电阻。
- 优先考虑布线策略时，尽可能地使信号线保持在一层上并避免过多地接触或通孔。
- 使接触孔较大可以降低接触电阻，但电流往往集中在一个较大的接触孔地周边，这一效应称为电流聚集，它在实际中将限制接触孔的最大尺寸。

## 例.金属线的电阻

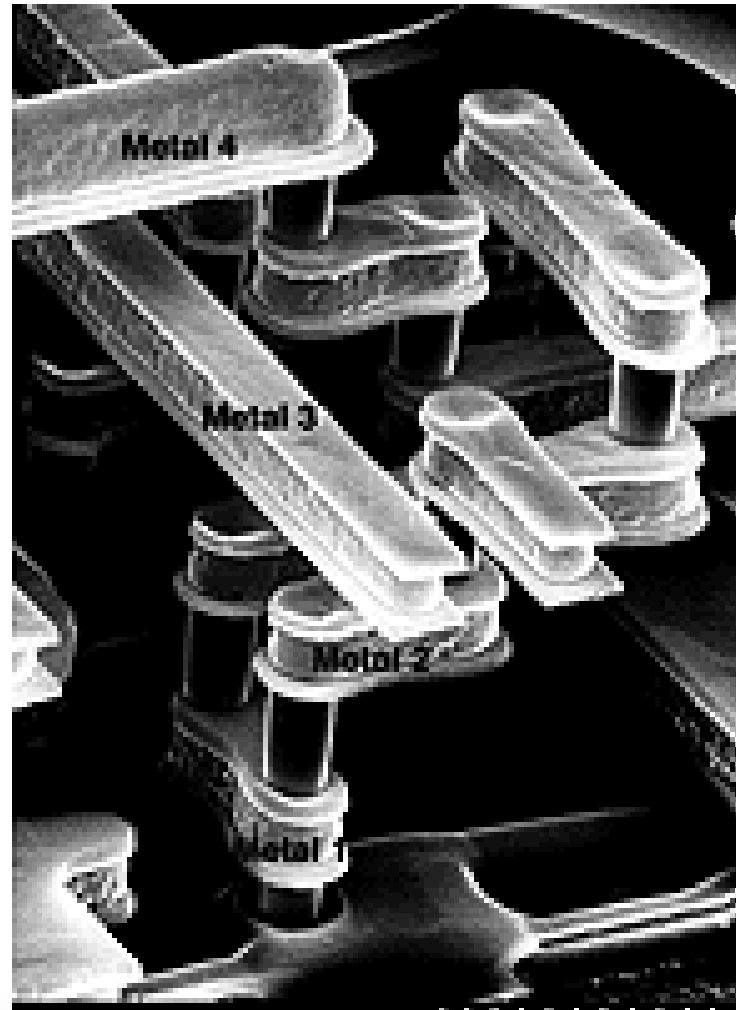
求长为**10cm**，宽为**1 $\mu$ m**，并且在第一层铝上布线的导线的电阻。

解：假设铝的薄层电阻为**0.075 $\Omega/\square$** ,则：

$$R = 0.075\Omega/\square \times (0.1 \times 10^6 \mu\text{m}) / (1 \mu\text{m}) = 7.5\text{k} \Omega$$

如果采用薄层电阻为**175  $\Omega/\square$** 的多晶硅来实现该导线，则总电阻增加到**17.5M  $\Omega$** ，不可接受！

# *Modern Interconnect*



# 趋肤效应

- 传统上，导线的电阻看成是线性的和不变的；
- 在非常高的频率下，导线电阻与频率有关；
- 高频电流倾向于主要在导体的表面流动，其电流密度随进入导体的深度呈指数下降；

## 趋肤深度 $\delta$

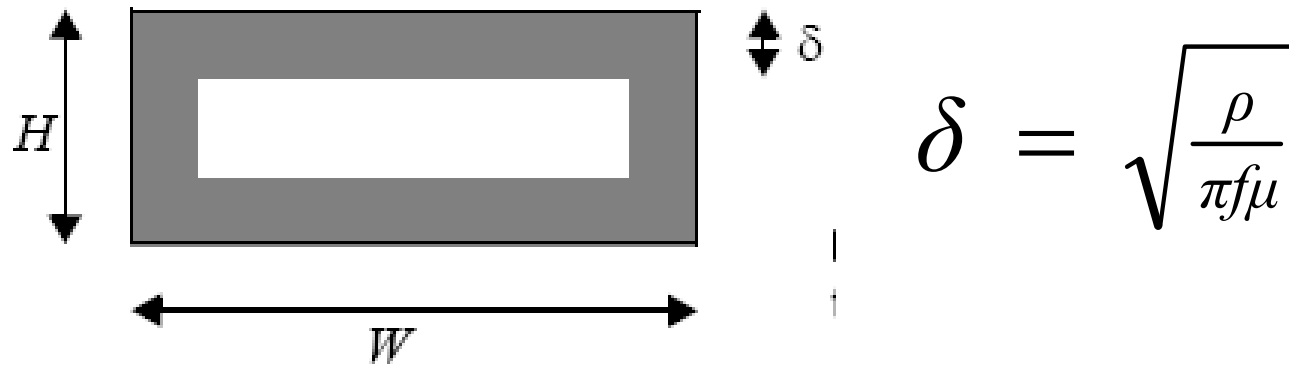
- 趋肤深度：定义为电流下降为它的额定值的 $e^{-1}$ 时所处的深度：

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}}$$

其中： $f$ 是信号的频率； $\mu$ 为周围电介质的介电常数（一般情况下等于真空的介电常数，即 $\mu = 4\pi \times 10^{-7} \text{ H/m}$ ）

铝在**1GHz**时的趋肤深度为**2.6  $\mu\text{m}$** .

## 高频下每单位电阻的表达式



$$\delta = \sqrt{\frac{\rho}{\pi f \mu}}$$

$$r(f) = \frac{\rho}{2(H+W)\delta} = \frac{\sqrt{\pi f \mu \rho}}{2(H+W)}$$

高频时，电阻的增加可以引起在导线上传送信号有额外的衰减，并因此产生失真。



# 趋肤效应的发生

- 为了确定趋肤效应的发生，求出趋肤深度等于导体最大尺寸（**W**或**H**）一半时的频率 $f_s$ 。
- 当频率低于 $f_s$ 时，整个导线截面都导通电流，导线电阻等于低频时的电阻（常数）。

$$f_s = \frac{4\rho}{\pi\mu(\max(W, H))^2}$$

## 例题：趋肤效应和铝导线

### 例4.3 P107

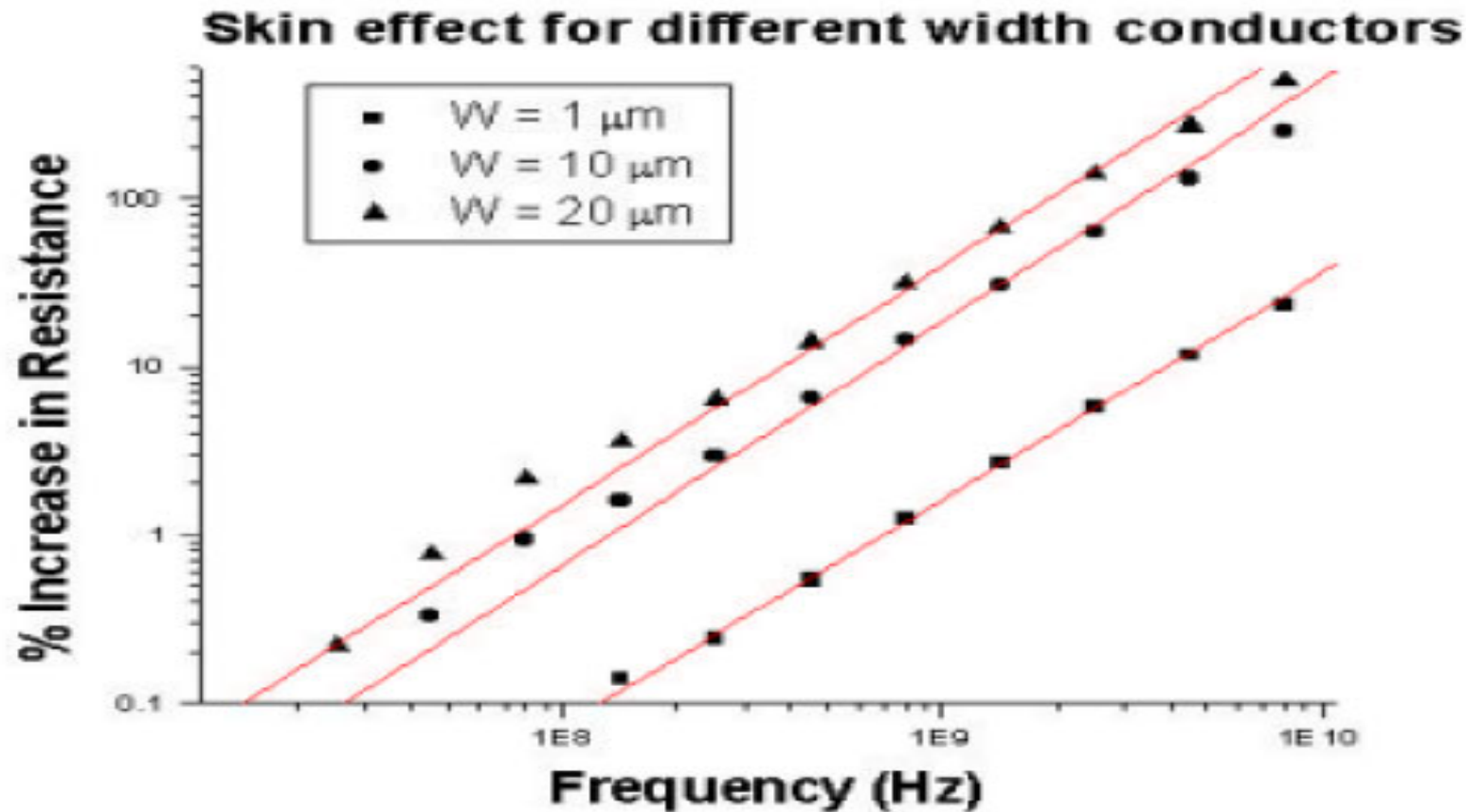
- 一条布置在介电常数为  $4\pi \times 10^{-7} \text{H/m}$  的  $\text{SiO}_2$  绝缘层上铝导线，其电阻率为  $2.7 \times 10^{-8} \Omega\text{-m}$ ，由公式4.8可以求出，在  $1\text{GHz}$  时导线的最大尺寸至少为多少才会导致这一效应比较明显？

$$f_s = \frac{4\rho}{\pi\mu(\max(W, H))^2}$$

$$1 \times 10^9 = \frac{4 \times 2.7 \times 10^{-8}}{\pi \times 4\pi \times 10^{-7} \times x^2}$$

$$x = 5.2 \times 10^{-6}$$

# 不同宽度导体的趋肤效应



在**1GHz**时，宽度为**20  $\mu\text{m}$** 的导线电阻增加**30%**，而宽度为**1  $\mu\text{m}$** 的导线电阻只增加**2%**。

## 趋肤效应的总结

- 趋肤效应是较宽导线才有的问题。
- 由于时钟线往往传送一个芯片上最高频率的信号，并且它也相当宽以限制电阻，因此趋肤效应首先影响到这些线。
- 采用像铜这样的良导体会使趋肤效应在较低频率时就发生。（因为良导体的电阻率低，公式4.8)

## 4.3.3 INTERCONNECT



# 电感简介

- 在低速设计中，电感不予以考虑
- 高速设计中，长导线之间的电磁感应会相互影响，即在导线间发生串扰（**crosstalk**）

# 电感的计算方法

□ 定义:

$$\Delta V = L \frac{di}{dt}$$

□ 也可以直接从一根导线的几何尺寸和它周围的介质来计算。一条导线（每单位长度）的电容 $c$ 和电感 $l$ 之间的关系:

$$cl = \epsilon\mu$$

$\epsilon$ : 周围电介质的介电常数

$\mu$ : 周围电介质的导磁率

## 例4.4 半导体导线的电感

将一条**0.25 μm CMOS**工艺实现的**Al1**导线布置在场氧上，由表**4.2**可以计算出该导线每单位长度的电容：

$$c = (W \times 30 + 2 \times 40) aF / \mu m$$

电感为：  $l = \varepsilon\mu / c = (3.9 \times 8.854 \times 10^{-12}) \times (4\pi \times 10^{-7}) / c$

导线宽度分别为**0.4 μm**、**1 μm** 和**10 μm** 时：

$$W=0.4 \mu m, \quad c=92 aF / \mu m, \quad l=0.47 pH / \mu m$$

$$W=1 \mu m, \quad c=110 aF / \mu m, \quad l=0.39 pH / \mu m$$

$$W=10 \mu m, \quad c=380 aF / \mu m, \quad l=0.11 pH / \mu m$$





## 4.4 导线模型

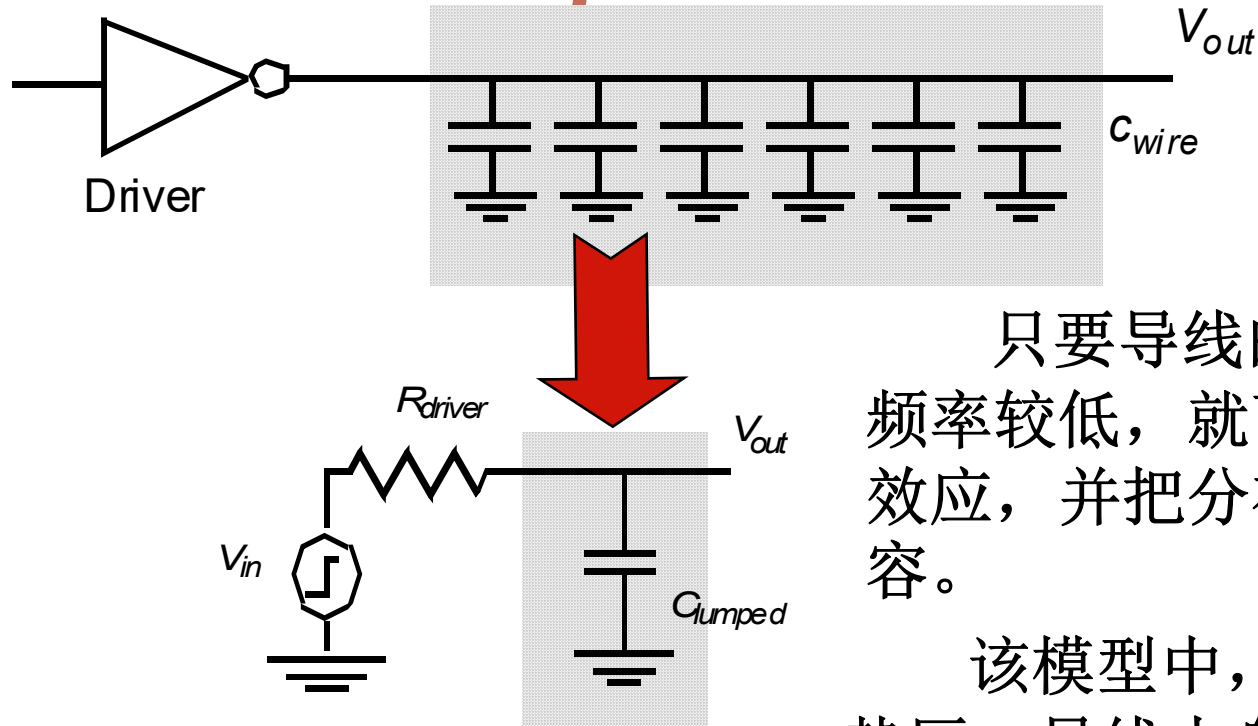
## 4.4.1 理想导线

- 电路图上的导线是没有任何附加参数和寄生元件的简单连线，对电路的电气特性没有任何影响。
- 虽然简单，但有价值，在设计过程的早期希望集中研究被连接的晶体管的性质和特点时往往使用理想导线模型。
- 研究较小的电路元件时，导线往往非常短，所以其寄生参数可以忽略不计。

## 4.4.2 集总电容模型 (Lumped Model)

- 一条导线的电路寄生参数沿长度分布，不能集总于一点；
- 当只有一个寄生元件占支配地位时，并且这些寄生元件之间的相互作用很小时，或者只考虑电路特性的一个方面时，把各个不同的部分集总成单个电路元件常常很有用。

# The Lumped Model



只要导线的电阻很小，并且开关频率较低，就可以合理地只考虑电容效应，并把分布的电容集总为单个电容。

该模型中，导线仍表现为一个等势区，导线本身不引入任何延时。对性能的唯一影响是由电容对于驱动门的负载效应引起。

$$C_{lumped} \frac{dV_{out}}{dt} + \frac{V_{out} - V_{in}}{R_{driver}} = 0$$

## 例4.5 求导线的传输延迟和上升延迟

- 假设电源内阻为**10KΩ**的一个驱动器，用来驱动一条**10cm**长、**1 μm**宽的铝导线，求导线的传输延迟和上升延迟。

解：平板电容： $(0.1 \times 10^6 \mu m^2) \times 30 aF / \mu m^2 = 3 pF$

边缘电容： $2 \times (0.1 \times 10^6 \mu m) \times 40 aF / \mu m = 8 pF$

总电容：**11pF**

$$C_{lumped} \frac{dV_{out}}{dt} + \frac{V_{out} - V_{in}}{R_{driver}} = 0$$

电路过渡响应函数： $V_{out}(t) = (1 - e^{-t/\tau})V$

到达**50%**的时间： $t = \ln(2)\tau = 0.69 \times 10k\Omega \times 11pF = 76ns$

**10%~90%**的时间： $t = \ln(9)\tau = 2.2 \times 10k\Omega \times 11pF = 242ns$

太慢！！ ———降低驱动器的电源内阻

# 集总电容模型的应用

- 应用最为普遍，在分析电阻和电感效应时也很有效。
- 电源线的电阻和电感都可以看成寄生噪声源，它们会引起电源线上的压降或振荡。

### 4.4.3 集总RC模型

- 集总电容模型只考虑了电容。
- 当导线较长时（超过几个毫米），具有明显的电阻。
- 在集总电容模型中的等势假设不再合适，必须采用电阻—电容模型。
- 把每段导线的电阻集总成一个电阻**R**，把每段导线总的电容合成一个电容**C**，这个简单的模型称为集总**RC**模型。

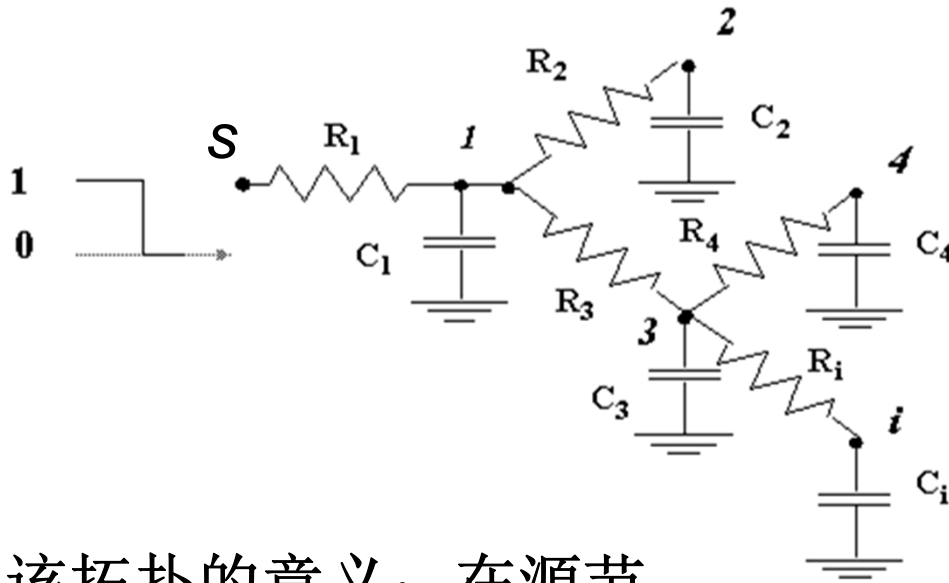
## Elmore延时

- 例4.5分析了单电阻单电容电路，其特性完全可以用微分方程来描述，瞬态响应用单个时间常数的指数函数模拟。
- 推导一个具有较多数目电容和电阻的电路的正确瞬态响应变得非常复杂，以至于没有求解的可能。
- 如果不能进行全面的**SPICE**仿真，可以采用**Elmore**延时公式来解决。



# The Lumped RC-Model

## The Elmore Delay



该拓扑的意义：在源节点和任何节点*i*之间存在一条唯一的电阻路径，沿这条路径的总电阻称为**路径电阻 $R_{ii}$** 。

**RC树的性质：**

- 1、电路只有一个输入节点。
- 2、所有的电容都在某个节点和地之间。
- 3、该电路不包含任何电阻回路。

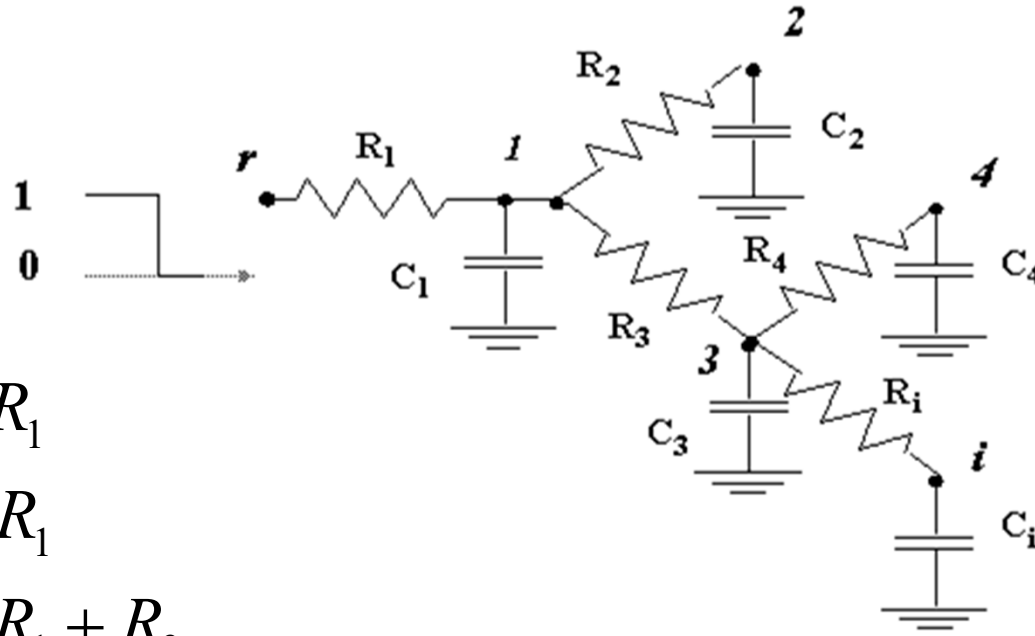
根节点**s**至节点**k**和节点**i**两条路径的**共享电阻**：

$$R_{ik} = \sum_N R_j \Rightarrow (R_j \in [path(s \rightarrow i) \cap path(s \rightarrow k)])$$

**节点*i*处的Elmore延时**

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

# 求节点i处的Elmore延时



$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

$$R_{i1} = R_1$$

$$R_{i2} = R_1$$

$$R_{i3} = R_1 + R_3$$

$$R_{i4} = R_1 + R_3$$

$$R_{ii} = R_1 + R_3 + R_i$$

$$\tau_{Di} = C_1 R_1 + C_2 R_1 + C_3 (R_1 + R_3) + C_4 (R_1 + R_3) + C_i (R_1 + R_3 + R_i)$$

# The Elmore Delay RC Chain

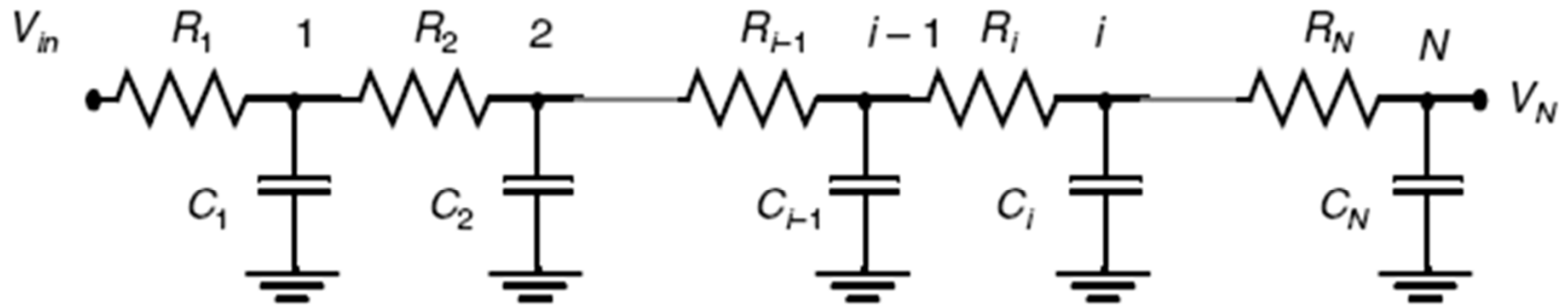


Figure 4.13 RC chain.

$$\tau_{DN} = \sum_{i=1}^N C_i \sum_{j=1}^i R_j = \sum_{i=1}^N C_i R_{ii}$$

# Wire Model

Assume: Wire modeled by N equal-length segments

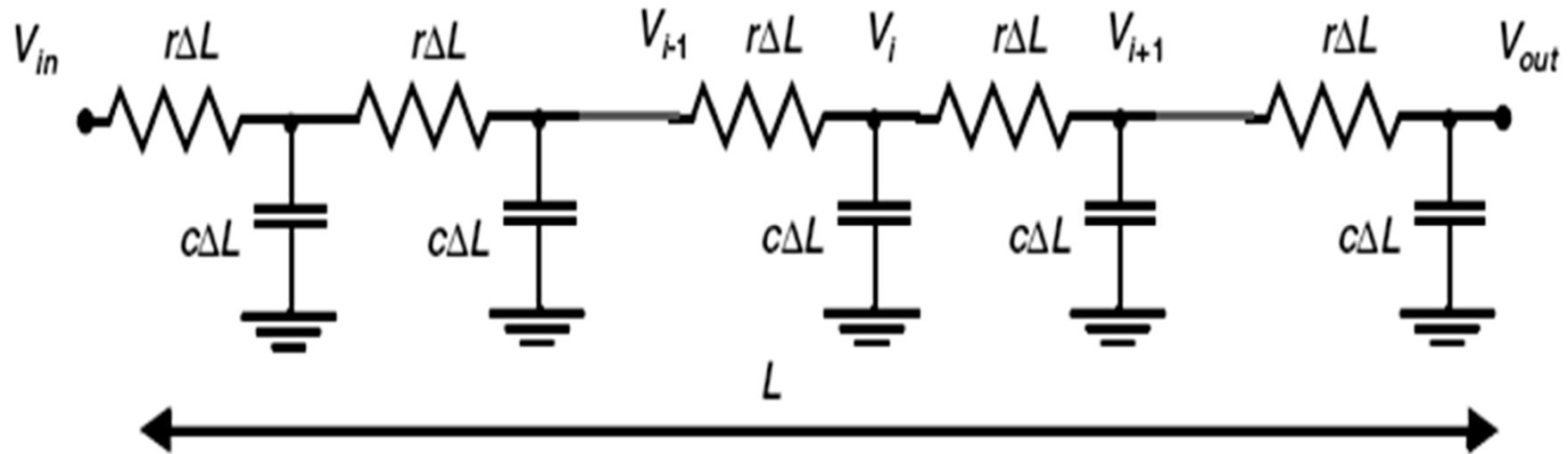
$$\tau_{DN} = \left(\frac{L}{N}\right)^2 (rc + 2rc + \dots + Nrc) = (rcL^2) \frac{N(N+1)}{2N^2} = RC \frac{N+1}{2N}$$

For large values of N:

$$\tau_{DN} = \frac{RC}{2} = \frac{rcL^2}{2}$$

- 结论：
- 1、一条导线的延时是它长度的二次函数。即导线长度加倍将使延时加大到**4**倍！
  - 2、分布**rc**线的延时是按集总**RC**模型预测的延时的一半。  
说明集总模型的延时估计比较保守和悲观。

## 4.4.4 分布rc线



节点*i*处电压方程:

$$c \Delta L \frac{\partial V_i}{\partial t} = \frac{(V_{i+1} - V_i) + (V_{i-1} - V_i)}{r \Delta L}$$

# 扩散方程

分布 $rc$ 线的确切特性可以通过减小 $\Delta L$ ，使它渐进于0来得到：

$$rc \frac{\partial V}{\partial t} = \frac{\partial^2 V}{\partial x^2}$$

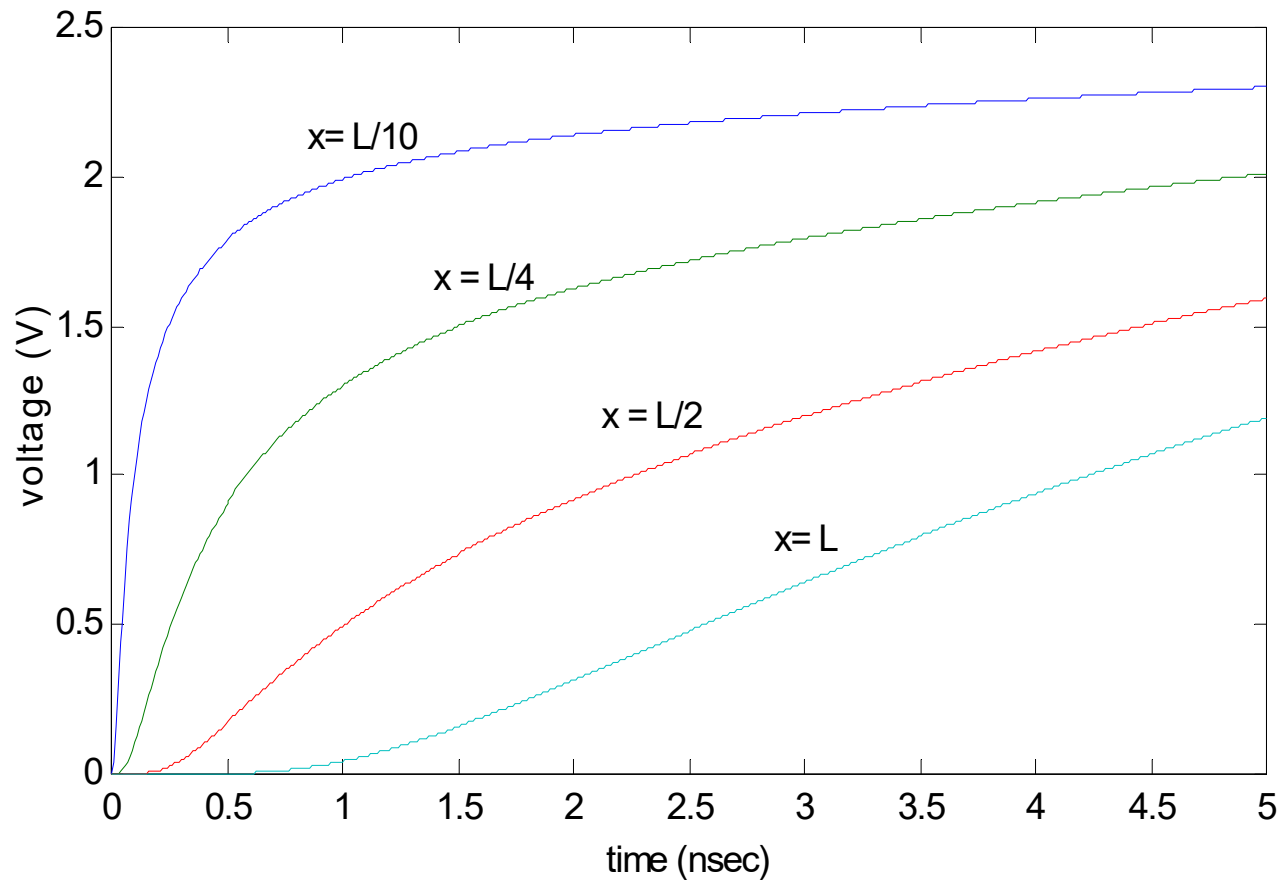
其中， $V$ 是一个特定点的电压， $x$ 是该点和信号源之间的距离。

该方程不存在收敛解，但可以推导出近似表达式：

$$V_{out} t = 2 \operatorname{erfc}\left(\sqrt{\frac{RC}{4t}}\right) \quad t \ll RC$$

$$= 1.0 - 1.366 e^{-2.5359 \frac{t}{RC}} + 0.366 e^{-9.4641 \frac{t}{RC}} \quad t \gg RC$$

# 模拟得到的R—C导线的阶跃响应与时间以及位置的关系



结论：长导线会引起相当长的延时。驱动这些rc线，并使延时和信号波形变差减小到最小程度，这是现代数字集成电路设计中最错综复杂的问题之一。

## RC-Models 中的一些重要参考点

Voltage Range	Lumped RC-network	Distributed RC-network
0→50% ( $t_p$ )	0.69 RC	0.38 RC
0→63% ( $\tau$ )	RC	0.5 RC
10%→90% ( $t_r$ )	2.2 RC	0.9 RC

Step Response of Lumped and Distributed RC Networks:  
Points of Interest.



## 例4.8 铝线的RC延时 (10cm 长, 1 $\mu\text{m}$ 宽)

- 已知:  $c=110\text{aF}/\mu\text{m}$  ,  $r=0.075\Omega/\mu\text{m}$
- 传播延时:  $t_p=0.38RC=0.38 \times (0.075\Omega/\mu\text{m}) \times (110\text{ aF}/\mu\text{m}) \times (10^5\mu\text{m})^2=31.4\text{ns}$
- 同理, 可以计算出同一导线使用多晶硅和Al5(第五层金属) 实现时的传播延时分别为112ns和4.2ns。
- 结论: 互连材料和层次的选择对导线的延时有极大的影响。

# 经验规则—临界长度

是否考虑**RC**延时的影响？

□ **rc**延时只是在 $t_{pRC}$ 近似或超过驱动门的 $t_{pgate}$ 时才予以考虑

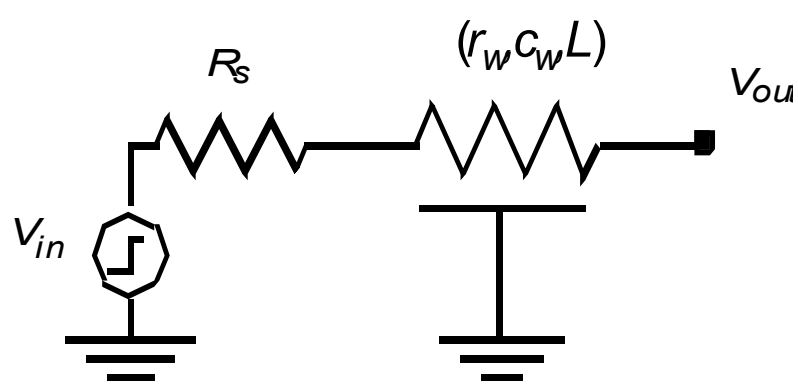
□ 临界长度：
$$L_{crit} = \sqrt{\frac{t_{pgate}}{0.38rc}}$$

□ **rc**延时只是在导线输入信号的上升（下降）时间小于导线的上升（下降）时间时才予以考虑

$$t_{rise} < RC$$

□ 当这一条件不满足时，信号的变化将比导线的传播延时慢，采用集中电容模型就足够了。

# Driving an RC-line



$$\tau_D = R_s C_w + \frac{R_w C_w}{2} = R_s C_w + 0.5 r_w c_w L^2$$

$$t_p = 0.69 R_s C_w + 0.38 R_w C_w$$

**$(R_w C_w)/2 \geq R_s C_w$ 时，即  $L \geq 2R_s/r$  时，导线电阻引起的延时成为主要延时。**

**假设一个电源内阻为  $1\text{K}\Omega$  的驱动器驱动一条  $1\mu\text{m}$  宽的铝导线 ( $r=0.075 \Omega/\mu\text{m}$ )，则临界长度为  $2.67\text{cm}$ 。**

# 铜互连技术

目前的**Intel Core2**以及**AMD K8**处理器都采用金属铜导线互连技术。

**Intel 45**纳米制作工艺在原先的**65**纳米基础上更进一步，采用了**10**层铜互连技术。

经过近几年的发展，铜工艺已经日臻成熟，进入量产阶段。但是更多的铜线互连层也会导致互连电路部分的信号延迟，此时**Intel**选择低介电常数的**low k**材料作为介电材料。

单纯采用铜来代替铝作为互联材料可以降低信号延迟大约**40%**，而新型**low k**材料工艺能够在此基础上进一步使信号延迟降低**20%**左右，只不过这与控制晶体管漏电又是一对矛盾。

# 展望

- 随着密度的增加，信号延迟问题变得越来越难以解决，而且即便是最新型的**low k**材料也难以满足未来的需求。
- 目前，多家厂商已开始开发光互连技术。光互连是一种利用各种光传输介质把计算机系统内各部件或各子系统连接起来并通过光来高速传递信息的技术，可以看作是光学与物理学以及**IC**制造的交叉性新领域。事实上，光互连并不像生物芯片或是其它技术那样遥远，若干后将可能成为主流发展趋势。