

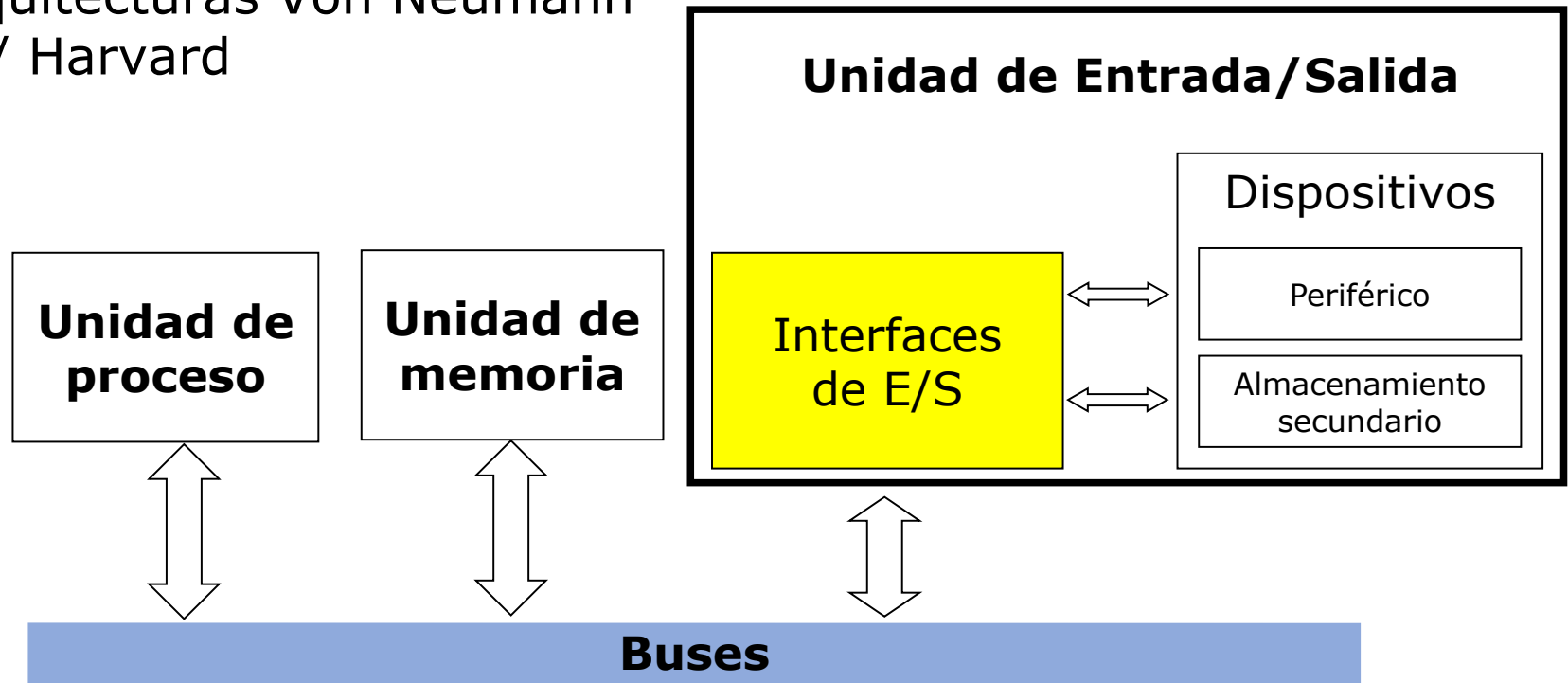
Unidad de Entrada / Salida



Universidad Nacional de La Matanza
Dpto. Ingeniería e Inv. Tecnológicas
Arquitectura de Computadoras

Ing. Jaír E. Hnatiuk
Rev. 1.9.3 (2023)

Arquitecturas Von Neumann / Harvard



Interfaces genéricas vs dedicadas
Dispositivos orientados a caracter vs orientados al bloque

Entrada / Salida

Interfaces de Entrada / Salida: Propósito y funciones

Propósito

- Adecuar velocidades de distintos dispositivos

P/e: Teclado $\sim 10^2$ bps, GigabitEthernet, HD $\sim 10^9$ bps

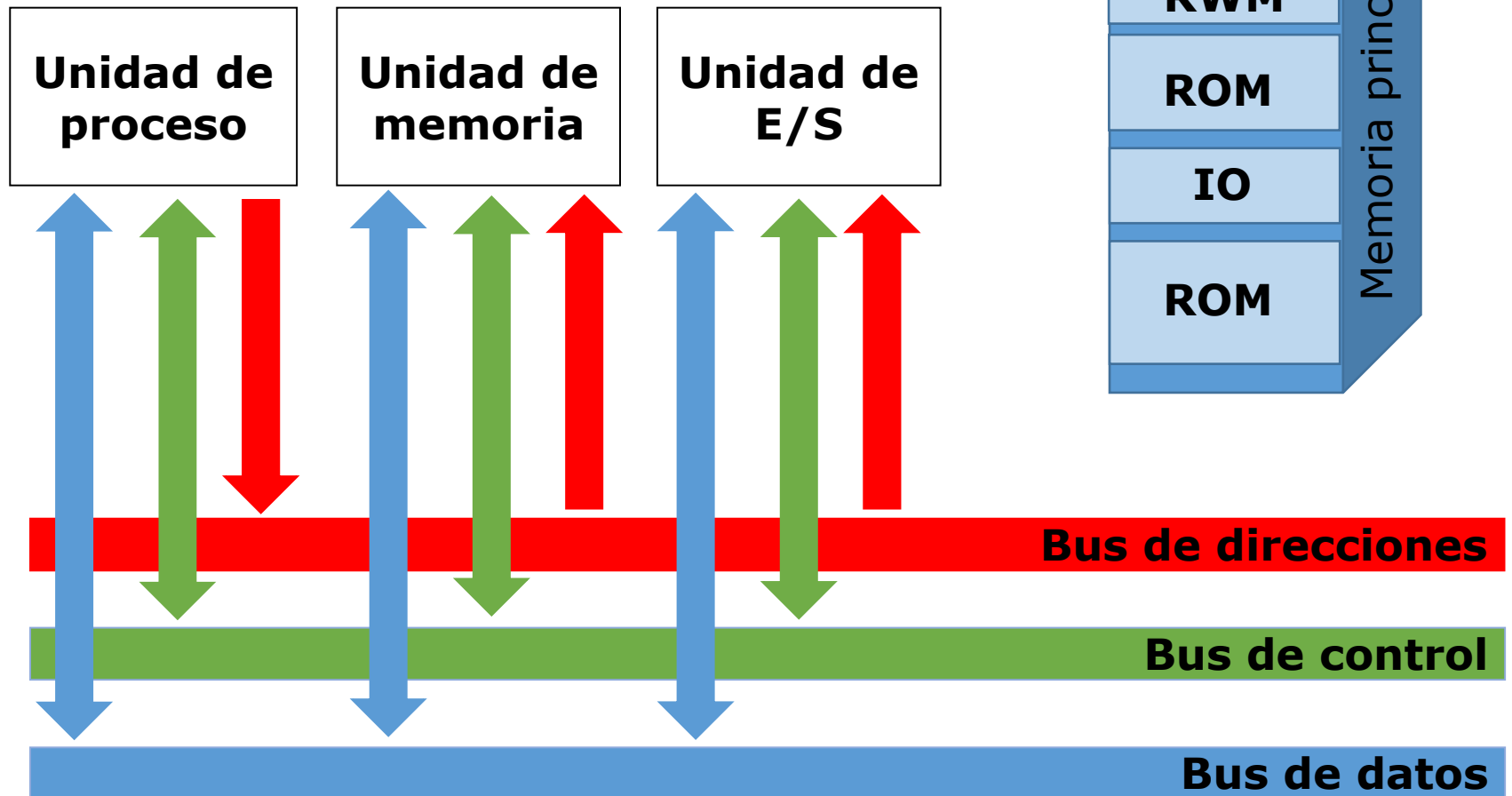
- Proveer una interfaz uniforme hacia la CPU
- Permitir transferencias desde y hacia dispositivos asincrónicos

Funciones

- Comunicación con CPU / buses (adaptador)
- Comunicación con el dispositivo de E/S (controlador)
- Control y temporización
- Almacenamiento temporal de datos
- Detección / Corrección de errores

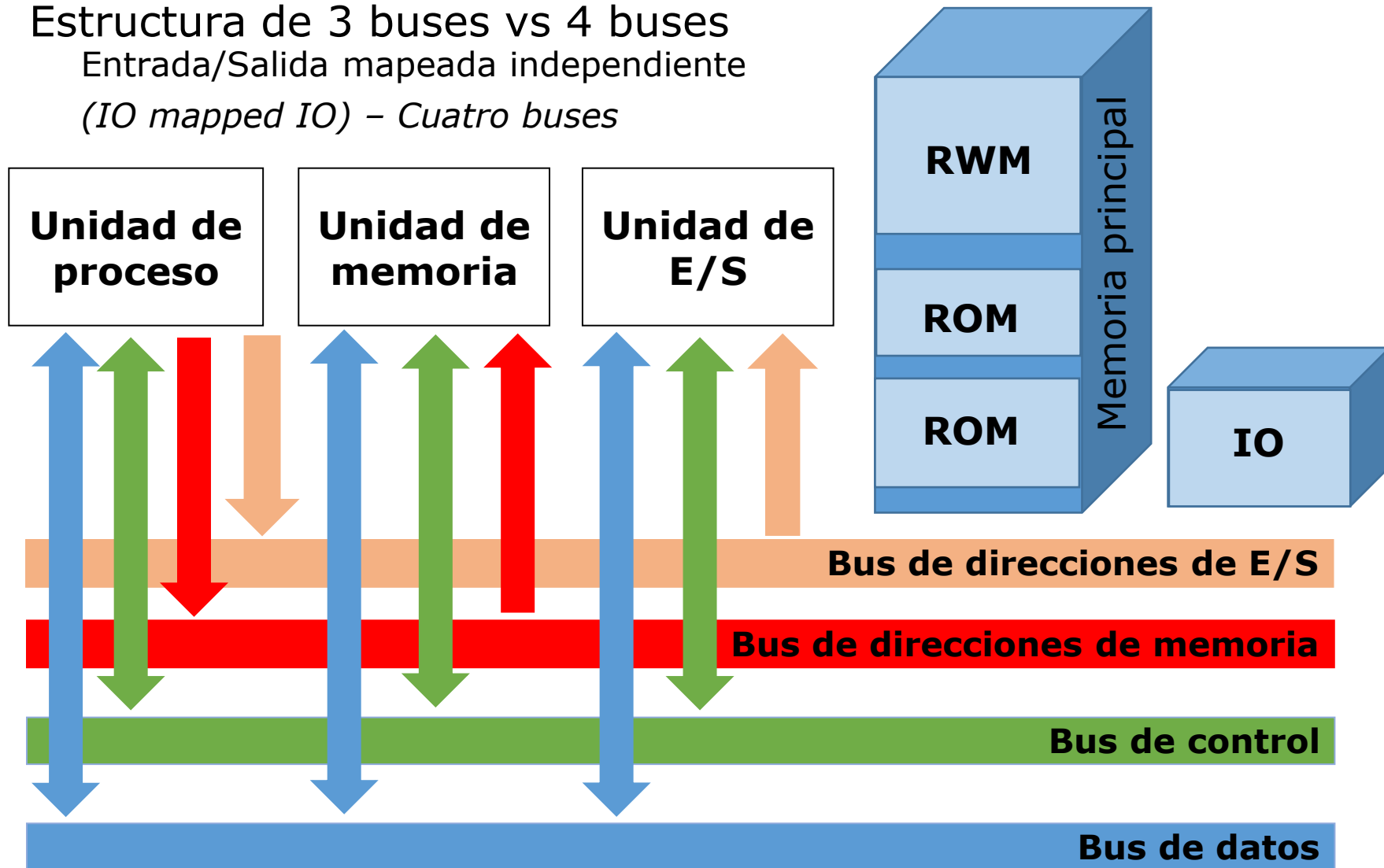
Entrada / Salida

Estructura de 3 buses vs 4 buses
Entrada/Salida mapeada en memoria
(*memory mapped IO*) – Tres buses



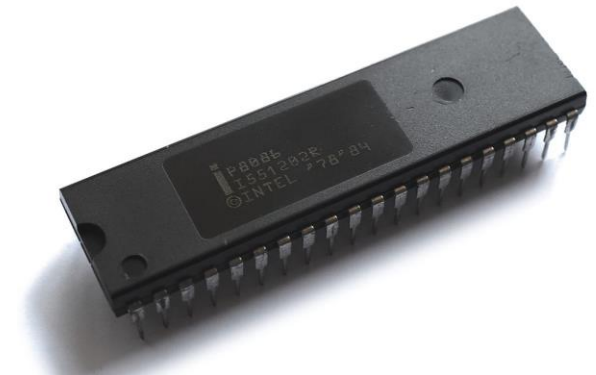
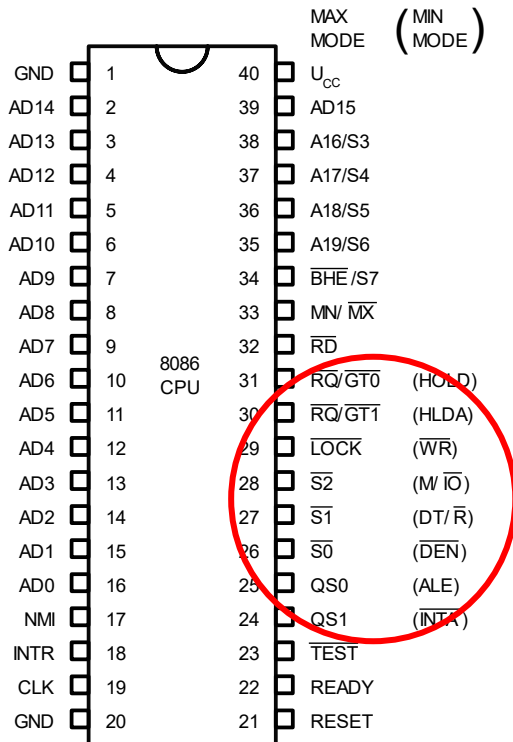
Entrada / Salida

Estructura de 3 buses vs 4 buses
Entrada/Salida mapeada independiente
(IO mapped IO) – Cuatro buses

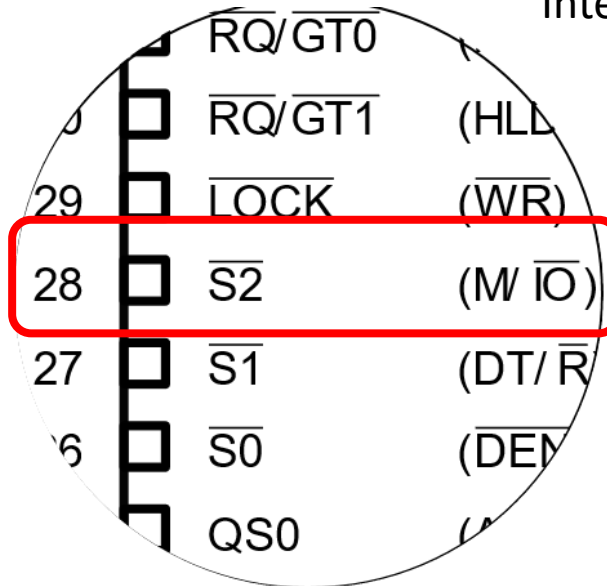


Entrada / Salida

Estructura de 3 buses vs 4 buses



Intel 8086



El 4to bus se implementa *realmente* multiplexando el bus de direcciones con una línea adicional de bus de control: M/IO.

Crédito por las imágenes: Wikipedia. https://en.wikipedia.org/wiki/Intel_8086.
Todas las marcas pertenecen a sus dueños.

Estructura de 3 buses vs 4 buses

Tres buses: (Memory mapped IO)

- Se usan las mismas instrucciones para E/S que para memoria.
- Se pueden efectuar operaciones aritméticas y lógicas en los datos de E/S.
- Requiere lógica de decodificación más compleja.
- Las direcciones de E/S son del mismo tamaño que las direcciones de memoria.
- Reduce la memoria disponible.

Cuatro buses (IO mapped IO)

- Se usan instrucciones especiales (p/e IN, OUT).
- No se pueden efectuar operaciones aritméticas y lógicas directo en E/S.
- La lógica de decodificación es más simple.
- El espacio de direccionamiento de E/S es inferior.
- Las direcciones de E/S suelen ser más reducidas que las de memoria.
- Toda la memoria direccionable está disponible.

¿Podríamos usar una máquina de 4 buses como una de 3 buses?

Entrada / Salida

Descripción de la interfaz

Cada interfaz tiene una **dirección "base"**. Según la cantidad de registros mapeados serán los bits que se comparán con cada dirección en el bus.

Por ejemplo si cuenta con cuatro registros, se compararán los N-2 bits más significativos de la dirección.

El valor del registro de direccionamiento base puede determinarse por el fabricante, configurarse mediante jumpers o dip switches, o indicarse en el Setup o mediante *Plug&Play* (estándar de autoconfiguración).

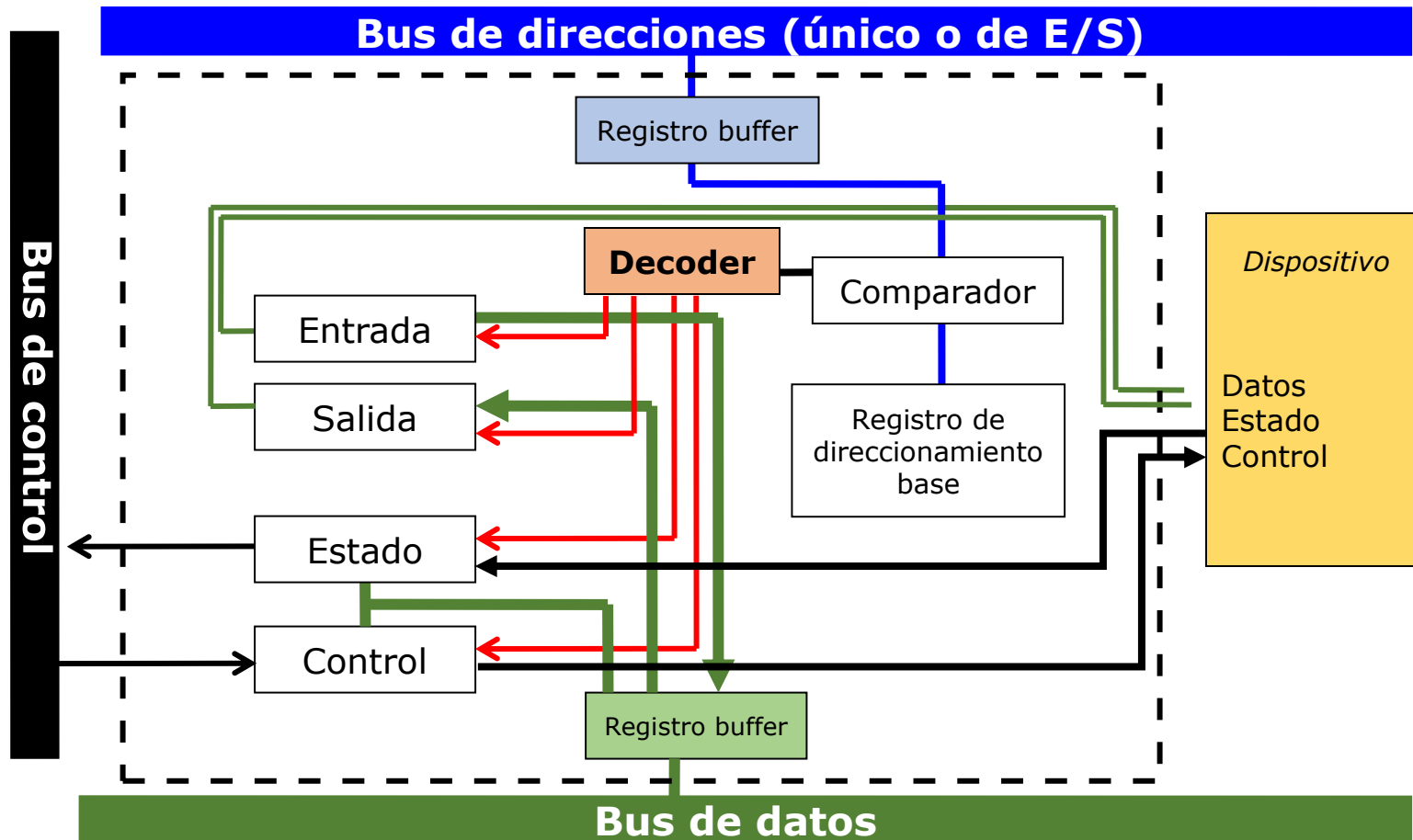


AMIBIOS System Configuration (C) 1985-1993, American Megatrends Inc.,			
Main Processor	: 80486SX	Base Memory Size	: 640 KB
Numeric Processor	: None	Ext. Memory Size	: 7168 KB
Floppy Drive A:	: 1.44 MB, 3½"	Hard Disk C: Type	: None
Floppy Drive B:	: None	Hard Disk D: Type	: None
Display Type	: UGA/PGA/EGA	Serial Port(s)	: 3F8,2F8,3E8,2E8
AMIBIOS Date	: 04/04/93	Parallel Port(s)	: 378

```
Serial Port(s)      : 3F8,2F8,3E8,2E8
Parallel Port(s)   : 378
```


Entrada / Salida

Diagrama básico de una interfaz



Entrada / Salida

Descripción de la interfaz

Registros de datos: Almacenan datos provenientes del periférico o que se transferirán al mismo.

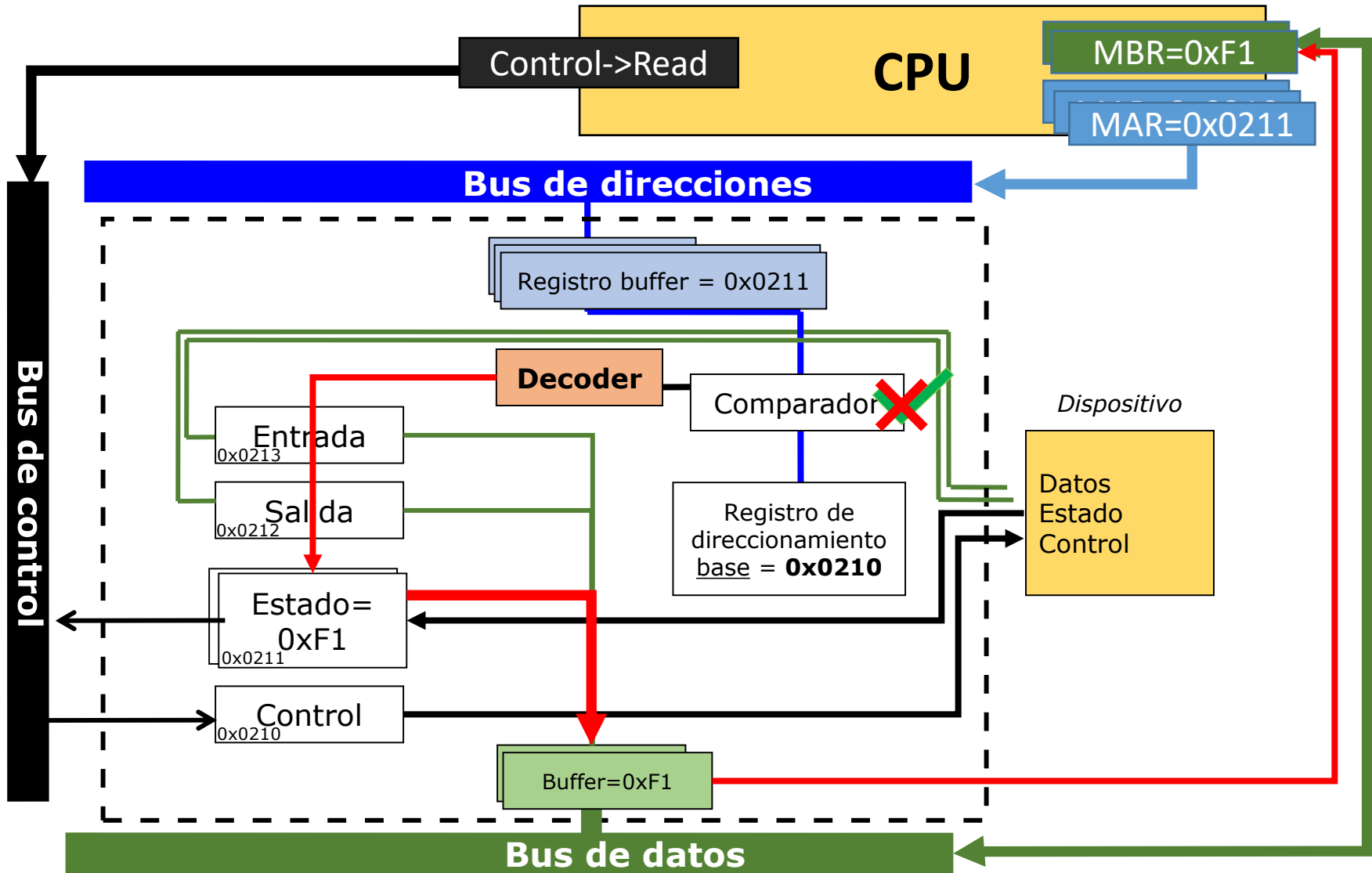
Registros de control: CPU escribe ahí los comandos para el periférico.

Registro de estado: Contiene el estado del dispositivo, p/e errores.

Decodificador: Determina a qué registro (entrada, salida, estado, control) direccionar lo que se transmite por el bus de datos (lectura o escritura), utilizando para ello lo recibido del bus de direcciones.

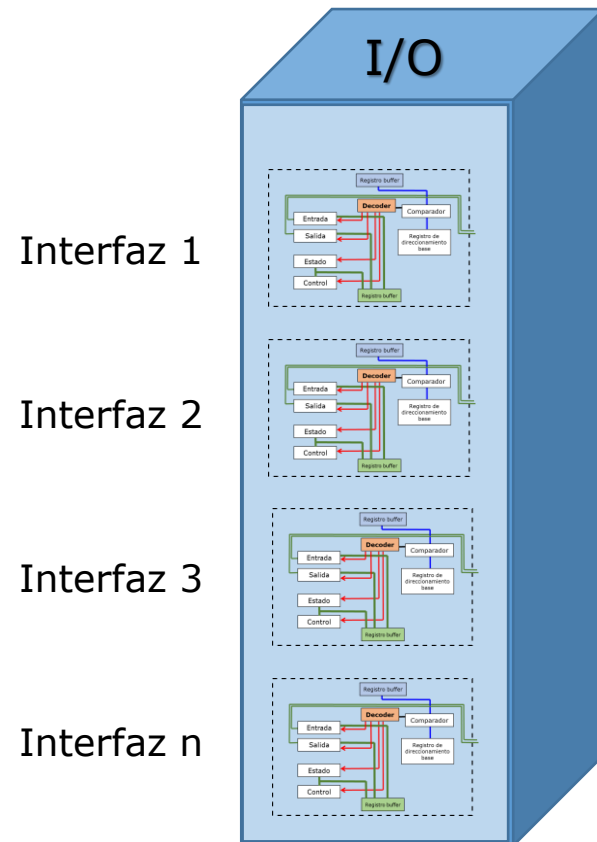
CPU accede a los registros de E/S como a direcciones de memoria. Si se trata de una arquitectura de tres buses pertenecerán al mismo espacio de direccionamiento de la memoria principal. Si fuera una arquitectura de cuatro buses tendrán un rango de direcciones separado, exclusivo para E/S.

Entrada / Salida



Entrada / Salida

Interfaces mapeadas



El conjunto de interfaces de entrada/salida (mapeado en memoria o en forma independiente) se ve desde la CPU como un rango de direcciones. Dicho rango puede ser discontinuo.

Cada interfaz es vista desde CPU como un conjunto de registros accesibles al programador, dedicados, que forman parte de la arquitectura.

Cada interfaz tendrá un rango de direcciones asociado, donde cada registro interno accesible tendrá una dirección correspondiente.

Entrada / Salida

Transferencia de datos (I)

Interfaz - CPU

Sincrónica

- CPU e interfaz E/S comparten reloj
- La temporización interna generalmente difiere

Asincrónica

- CPU e interfaz E/S tienen temporización independiente
- Requiere señales de control para indicar transferencia
- Utilización de pulso de habilitación
- Handshaking (reconocimiento mutuo) {ACK, timeout, etc.}

Entrada / Salida

Conceptos

Latencia: tiempo total desde que se inicia la transferencia hasta que concluye.

IOPs: Input/Output Operations per Second.

Throughput: Similar a ancho de banda, medida de transferencia por unidad de tiempo.

Ancho de banda: tasa máxima de transferencia.

90

Total IO		thread	bytes	I/Os	MiB/s	I/O per s	AvgLat	LatStdDev	
3:42:3		0	576978944	8804	1.83	29.35	1051.330	602.215	
ADAPTR		1	615579648	9393	1.96	31.31	1007.039	484.909	md G
vmhba0		2	634257408	9678	2.02	32.26	983.178	523.079	33
		3	643432448	9818	2.05	32.73	969.435	491.660	
		4	619446272	9452	1.97	31.51	1004.860	512.041	
		5	613679104	9364	1.95	31.21	1016.084	628.876	
		6	571342848	8718	1.82	29.06	1038.958	584.760	
		7	600178688	9158	1.91	30.53	1023.254	508.354	
total:			4874895360	74385	15.50	247.94	1010.813	543.834	

Se resaltan IOPs y latencia promedio.

CMD/s equivale a IOPs

Entrada / Salida

Administración de Entrada / Salida

- Lentos

 - E/S Programada (Software): Polling

 - E/S por Interrupciones (Hardware)

- Rápidos

 - Acceso directo a Memoria (DMA)

Administración de Entrada / Salida: Polling (I)

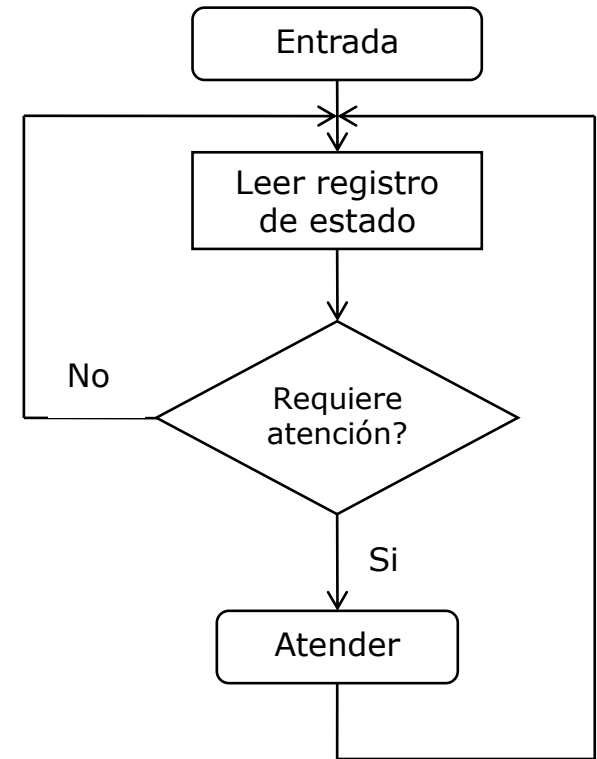
- La CPU verifica el estado de las interfaces.
 - Si requiere atención, ejecuta la subrutina correspondiente.
- Sino sigue preguntando.



Ventaja: Sencillo y flexible.



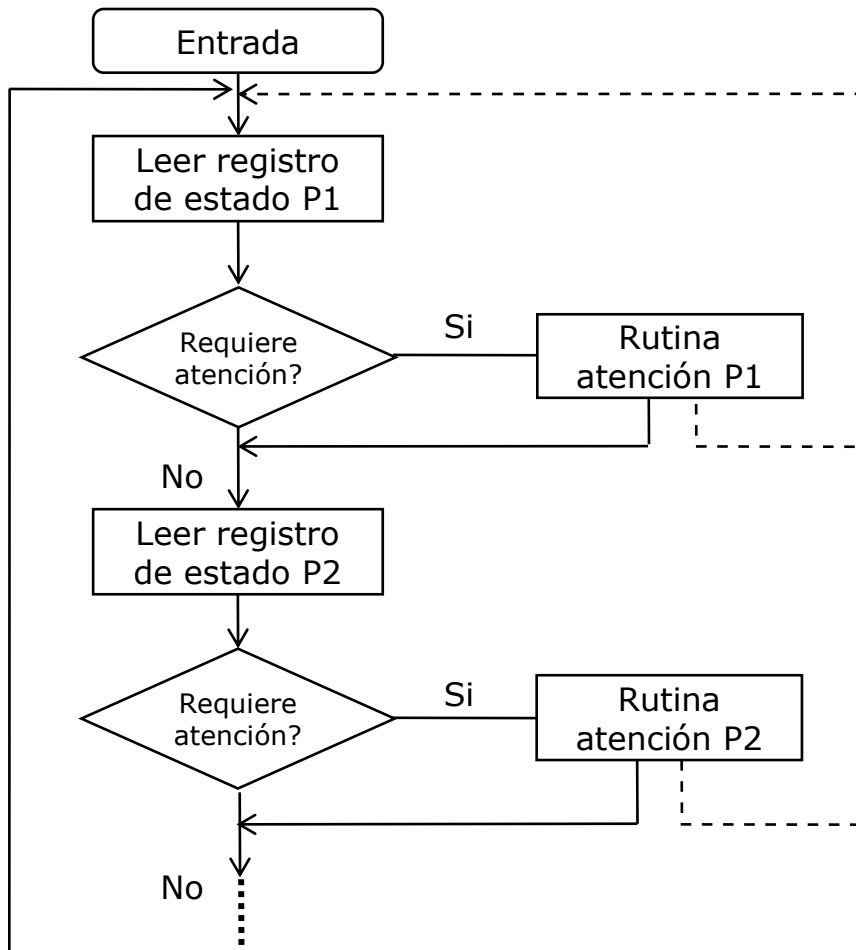
Desventaja: Desperdicia tiempo de CPU.



¿Qué implica *atender* una interfaz?

Entrada / Salida

Administración de Entrada / Salida: Polling (II)



Ronda

¿Qué pasaría si las primeras interfaces de la ronda requieren atención mucho más frecuentemente que el resto?

¿Qué flexibilidad permite polling si cambian los parámetros de funcionamiento?

Ejemplo: La máquina de café permite que se inicie la compra con el ingreso de ficha o selección de café. ¿Tiene sentido que verifique esas interfaces si la temperatura del agua aun no llegó al nivel debido?

Administración de Entrada / Salida: Interrupciones (I)

- La CPU no tiene que consultar repetidamente a las interfaces
 - Hace un uso más eficiente de la CPU
- Las interfaces de E/S interrumpen a la CPU mediante una señal por el bus de control.
 - CPU puede ejecutar otros procesos y atender las interfaces solo cuando es requerido.
- La CPU ejecuta una subrutina llamada *interrupt handler* o *interrupt service routine* (ISR) al atender la IRQ.
 - Antes de iniciar la ISR debemos asegurarnos de contar con lo necesario para poder retomar el proceso interrumpido.
 - Algunos procesadores lo hacen automáticamente al invocar la ISR
 - Otros dejan que el programador lo contemple en la ISR
- Se puede utilizar un área de memoria como una pila (LIFO) a tal fin.

Administración de Entrada / Salida: Interrupciones (II)

IRQ (Interrupt Request): Señal asincrónica por el bus de control originada por la interfaz de E/S hacia la unidad de control.

NMI: (Non-Maskable Interrupt): Señal asincrónica por el bus de control originada por la interfaz de E/S hacia la unidad de control, cuya atención no se puede aplazar o anular por el programador.

Enmascarables y no enmascarables

Como inhibición (mask)

I = 1 No se atiende

I = 0 Se atiende

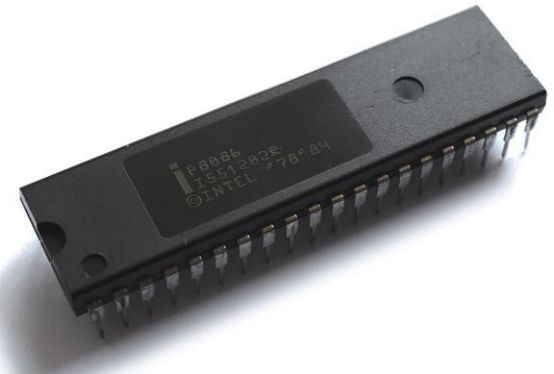
Como habilitación (enable)

I = 1 Se atiende

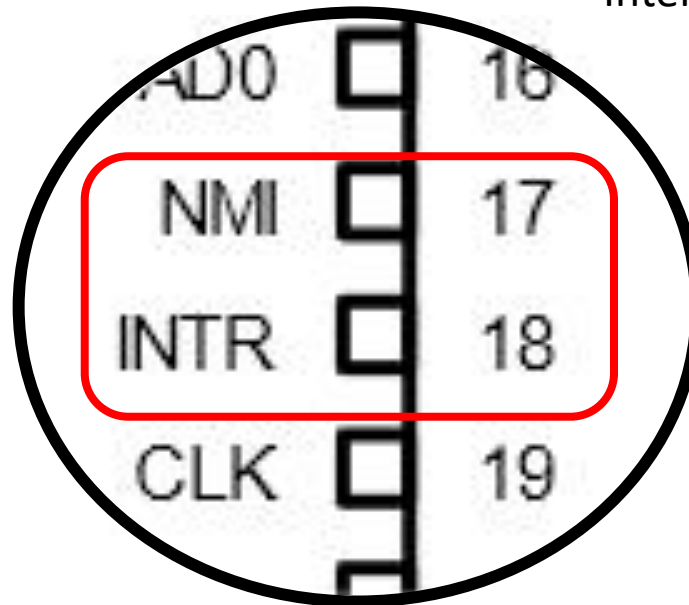
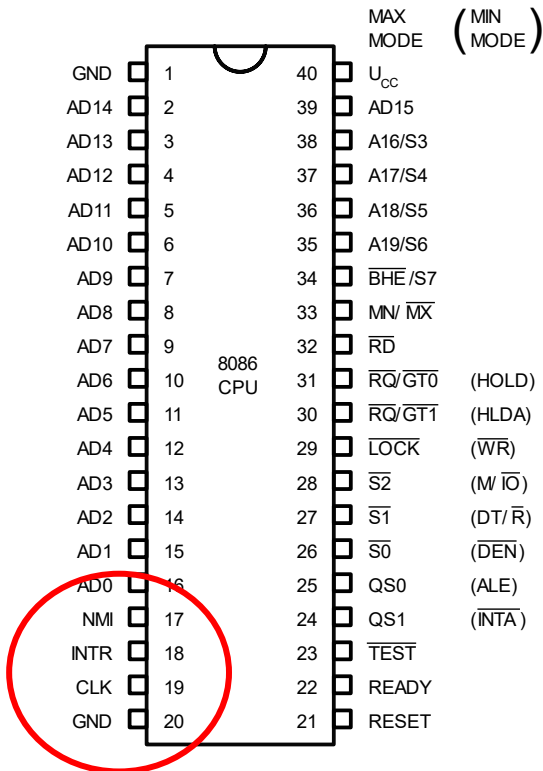
I = 0 No se atiende

Entrada / Salida

Señales IRQ (INTR) y NMI



Intel 8086



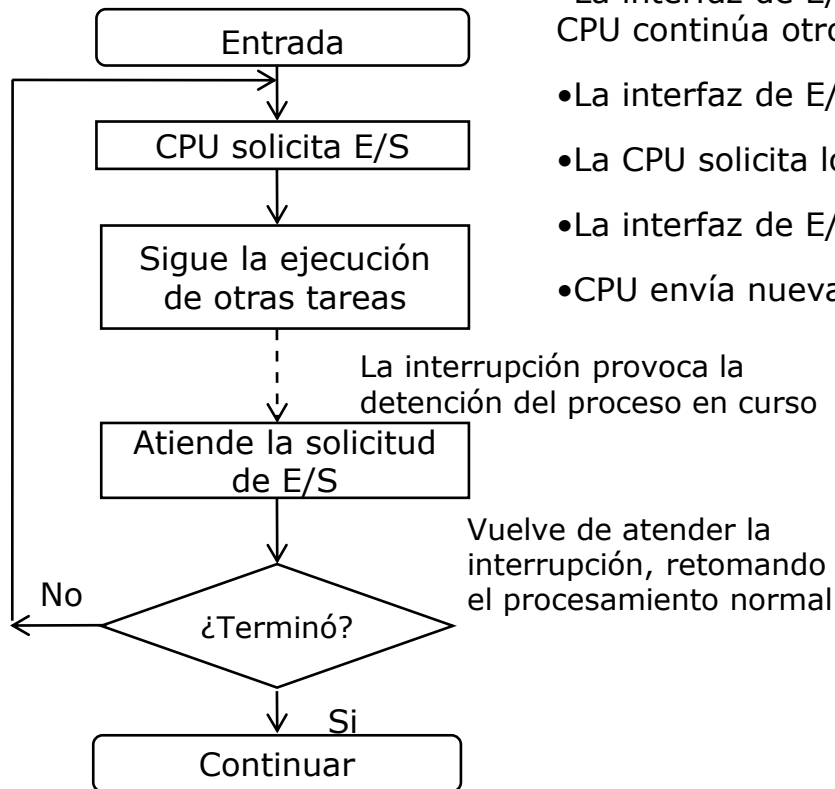
El 4to bus se implementa *realmente* multiplexando el bus de direcciones con una línea adicional de bus de control: M/IO.

Crédito por las imágenes: Wikipedia. https://en.wikipedia.org/wiki/Intel_8086.
Todas las marcas pertenecen a sus dueños.

Entrada / Salida

Administración de Entrada / Salida: Interrupciones (III)

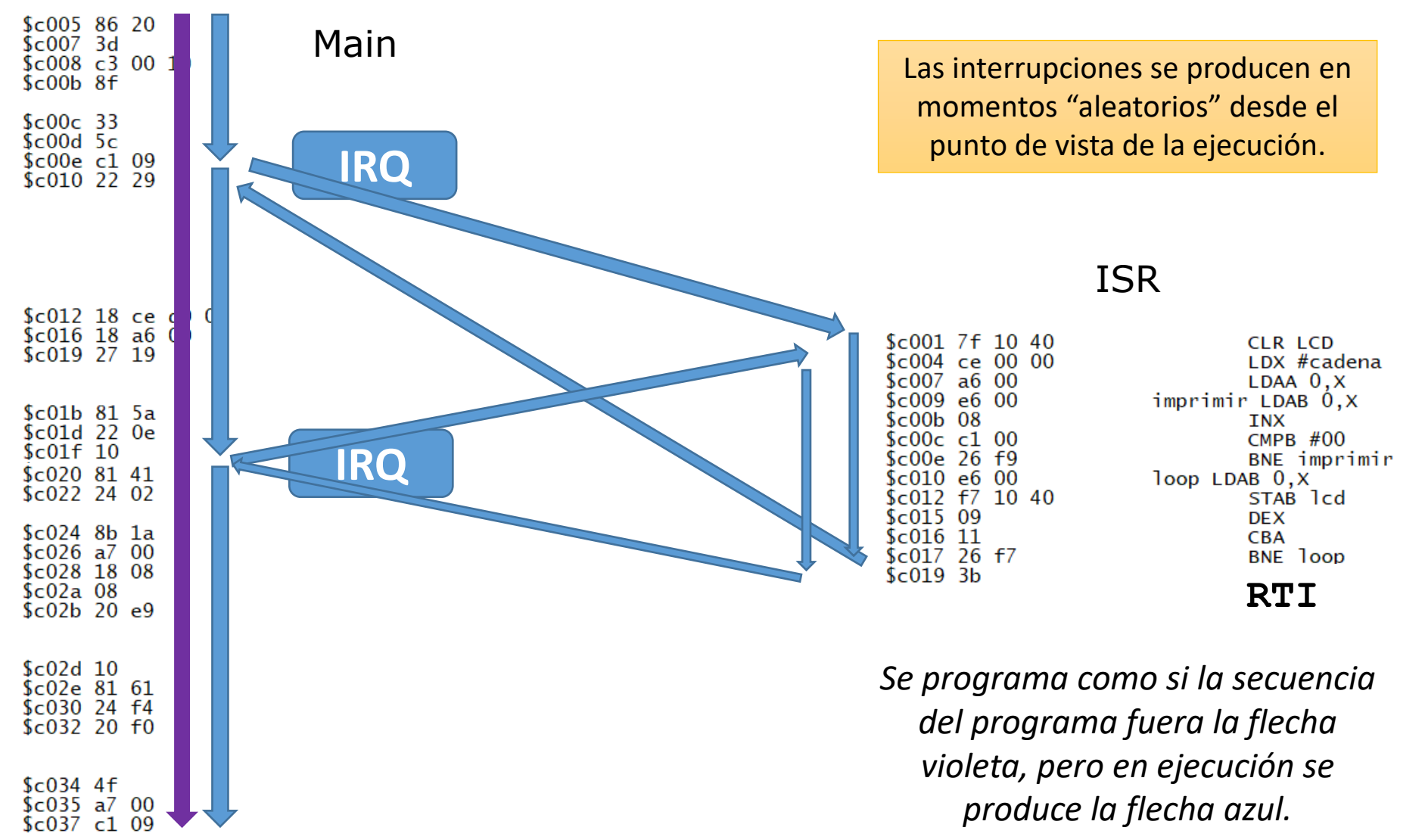
Funcionamiento:



- La CPU envía un comando de E/S (p/e, una lectura de disco)
- La interfaz de E/S lo completa mientras CPU continúa otro proceso
- La interfaz de E/S interrumpe a la CPU cuando está listo
- La CPU solicita los datos de entrada (leídos)
- La interfaz de E/S envía los datos a la CPU
- CPU envía nuevamente comandos a E/S hasta terminar

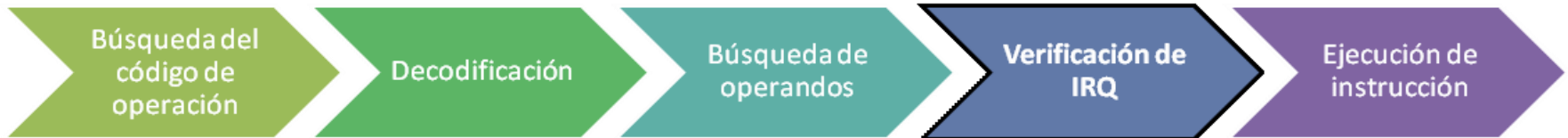
Las interrupciones se originan en una interfaz. Pueden deberse a una acción previa de CPU (como el ejemplo) o no.

Administración de Entrada / Salida: Interrupciones (III)



Entrada / Salida

Administración de Entrada / Salida: Interrupciones (V)



Siempre termina la ejecución de la instrucción actual antes de atender la interrupción

- Verifica si hay una IRQ && están habilitadas || NMI.
- Termina la instrucción en curso.
- Guarda el estado funcional de la CPU en la pila (Según arquitectura).
- Envía reconocimiento (ACK/INTA) (Según arquitectura).
- Inhibe interrupciones posteriores (Según arquitectura).
- Obtiene la dirección de la rutina de atención (ISR) correspondiente.
- Carga el PC y la ejecuta.
- Al terminar recupera el estado funcional de la pila (si corresponde) y continua.

Entrada / Salida

Administración de Entrada / Salida: Interrupciones (VII)

Técnicas de identificación de la interfaz que generó la IRQ:

- Línea individual
- Línea compartida
 - Consulta por software (polling)
 - Conexión en cadena (~~daisy-chain~~)
 - Controlador programable de interrupciones

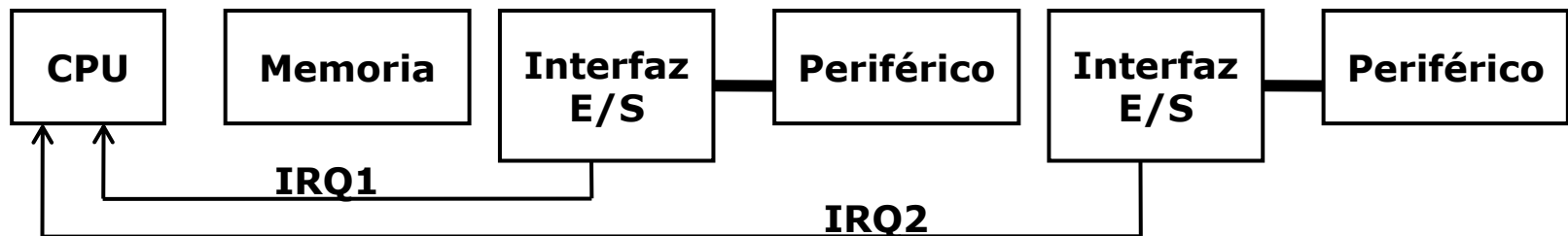
Una vez detectada la IRQ, CPU puede identificar el módulo de E/S:

1. Enviando un reconocimiento (ACK) en cadena.
2. El elemento que interrumpió coloca un vector en el bus.
3. La CPU lo utiliza para identificar la rutina de manejo (handler).

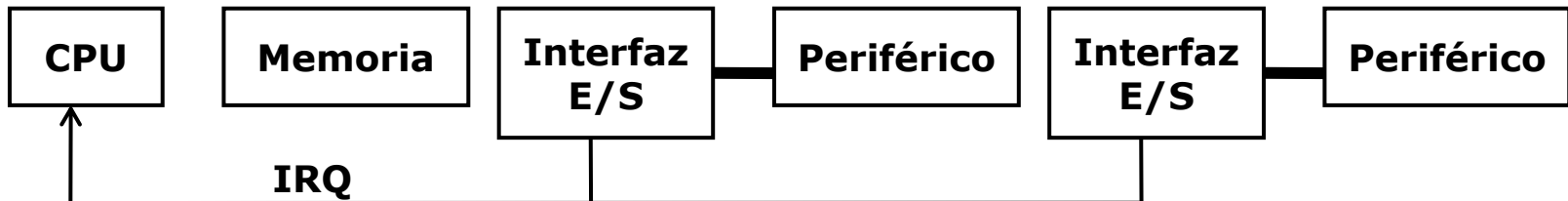
Entrada / Salida

Identificación de generador de IRQ (VIII)

- Múltiples líneas de interrupción



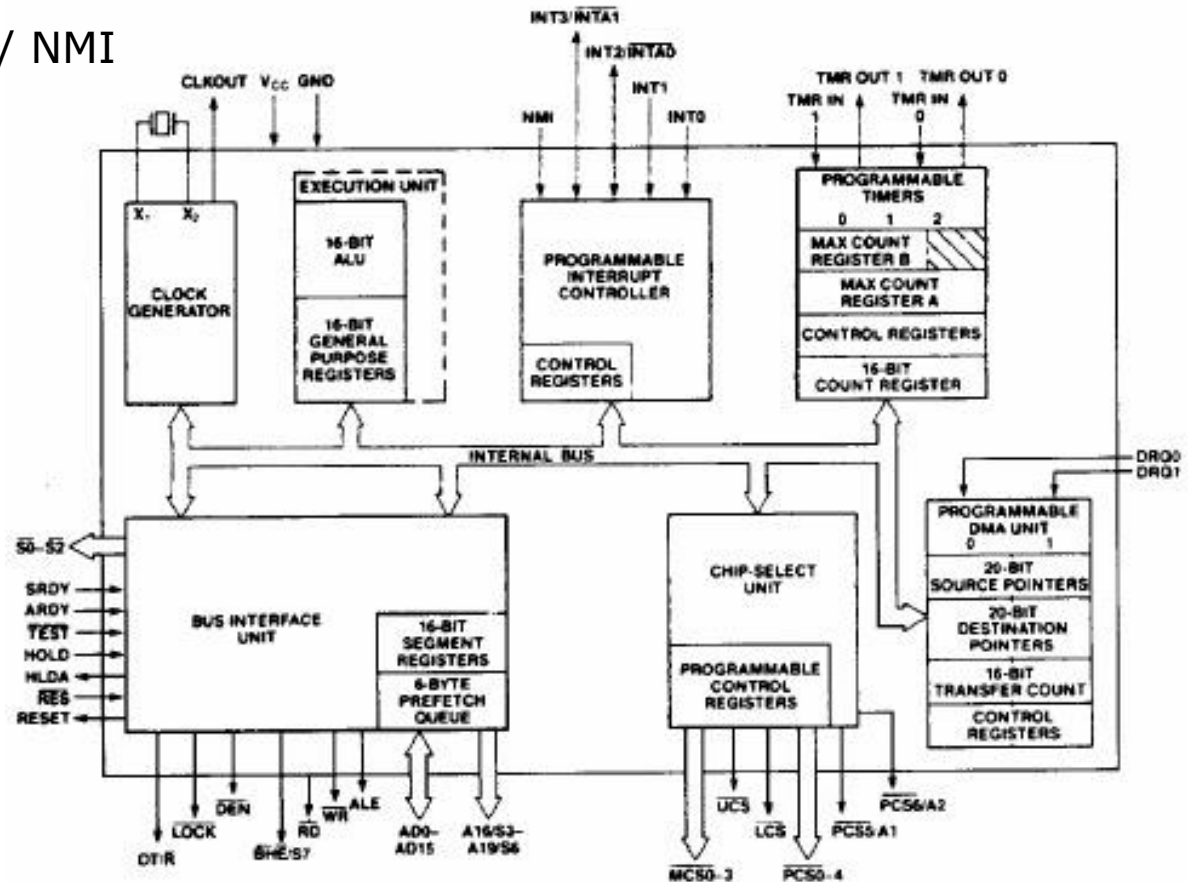
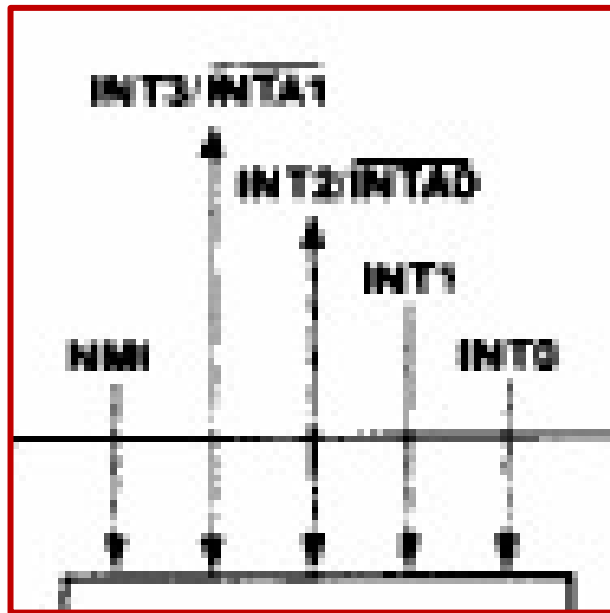
- Única línea de interrupción



Entrada / Salida

80186: CPU con multiples líneas de interrupción

- Frecuencia: 8 MHz / 10 MHz
- Controlador de interrupciones programable
- INT0 / INT1 / INT2 / INT3 / NMI

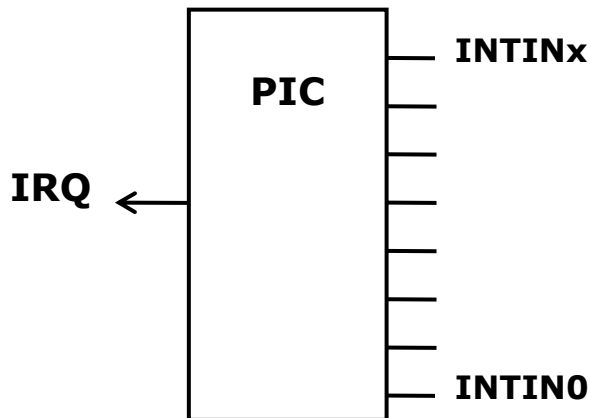


BD003560

Entrada / Salida

Identificación de generador de IRQ : PIC (I)

PIC (Priority/Peripheral Interrupt Controller)



- Análisis por hardware con una sola línea
- Las prioridades se programan por software.
 - Admite modo anidado y en rotación (cola).
- Los vectores de atención se programan por software.
- Permite programar si actuarán por nivel bajo o alto.
- Puede "recordar" las interrupciones pendientes.
- Permite diseño en cascada.
- Permite enmascarar o anidar interrupciones.
- Maneja las señales hacia las interfaces (INTINx, ACK, etc). INTIN = Interrupt Input
- No es un microcontrolador PIC.
- El 80386 maneja INTR/INTA. Utiliza un 82C59A. La señal INTA habilita al 82C59A a enviar un vector.

Foto: Intel 82093AA
I/O ADVANCED
PROGRAMMABLE
INTERRUPT
CONTROLLER
(IOAPIC)



NMI como recurso de debugging

- Herramienta de diagnóstico útil cuando el Sistema no responde.
- Permite detener el Sistema operativo para debugging.
- Si el SisOp está correctamente configurado, genera información para analizar la causa del freeze.
- Provoca una BSOD (Windows), Kernel Panic (Linux) o PSOD (VMware).
- Luego del NMI se debe realizar un hard reset.

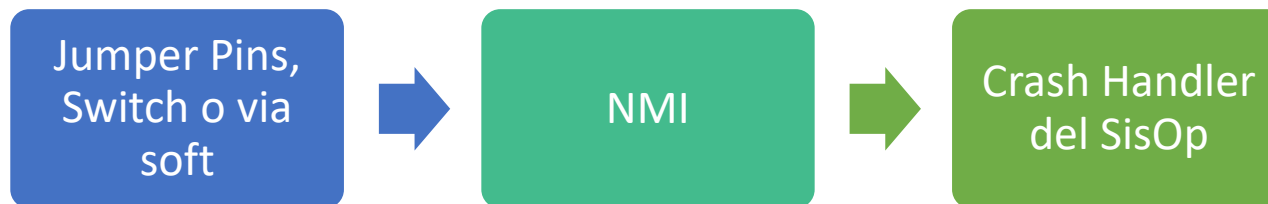
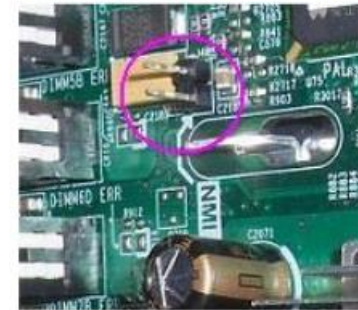


Figure 2. Example of jumper pins found on a ProLiant DL360 G5 server

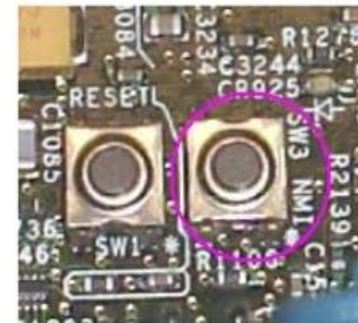


Non-Maskable Interrupt (NMI) Button

The use of NMI may result in data loss. Use with caution.

Generate NMI to System

Figure 3. Example of a jumper switch found on a ProLiant DL580 G2 server

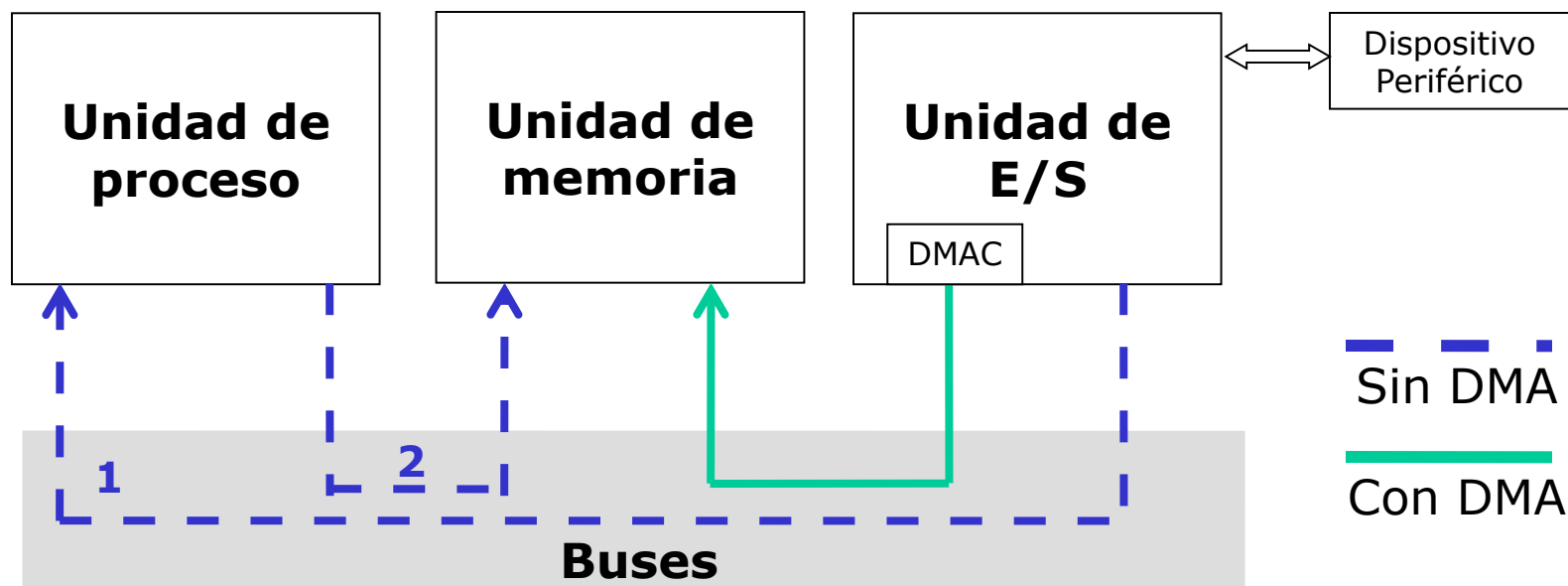


Fuente: *Performing an HP ProLiant server NMI crash dump. HOWTO, 2nd edition*

Entrada / Salida

Administración de Entrada / Salida: DMA(I)

Ejemplo de transferencia E/S -> Memoria



Administración de Entrada / Salida: DMA(II)

Acceso Directo a Memoria

Permite transferir directamente hacia y desde memoria

CPU no hace de intermediaria

Cede su rol de maestro (*amo*) de los buses

Administrada por un controlador dedicado (DMAC)

No actúa como una interrupción: CPU no realiza un cambio de contexto

Controlador de DMA (DMA Controller)

Programable para mover bloques entre MP y E/S o entre zonas de memoria

Toma el control de los buses cuando CPU se lo concede

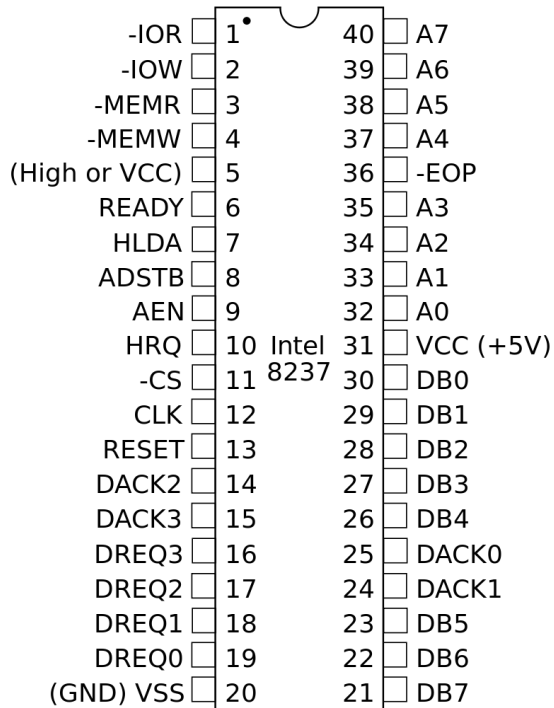
Notifica a CPU con una interrupción cuando termina

Administración de Entrada / Salida: DMA(III)

Intel 8237 (3 MHz) /8237-2 (5 MHz)

Controlador DMA programable de "alta performance"

- Cuatro canales DMA independientes
 - Cada uno con 64K direcciones / cuenta de palabras.
- Transferencias memoria-memoria (usado para DRAM)
- Incremento/decremento de direcciones
- Transfiere hasta 1.6 Mbytes por Segundo a 5 MHz.
- Cuatro modos de transferencia:
 - Simple: intercala un ciclo DMA y un ciclo CPU
 - Bloque (hasta que la cuenta llega a cero o EOP active)
 - Demanda (simil bloque, CPU puede usar buses cuando no hay transferencia)
 - Cascada



Intel 8237: DMAC del PC AT

Entrada / Salida

Administración de Entrada / Salida: DMA(III)

Técnicas de DMA

- Detención de CPU:** Transmisión de secuencia de bloques en “ráfagas” (dispositivos rápidos)
- Robo de ciclos:** Transmite una o más palabras usando los semiciclos de reloj que no utiliza la CPU

Detención de CPU

CPU permanece inactiva durante la cesión de los buses

Se detiene el reloj de CPU

CPU se “desconecta” de los buses (3er estado o alta impedancia)

Alta impedancia: equivale a un circuito abierto

Queda a merced de la interfaz, esperando interrupción

Administración de Entrada / Salida: DMA (IV)

Robo de ciclos (Cycle stealing)

Si el bloque es grande, CPU puede quedarse sin instrucciones ni datos, con lo que debería detenerse.

La técnica de “robo de ciclos” permite que el controlador tome el bus, transfiera durante cierto tiempo y lo libere.

Permite que CPU y E/S compartan el bus

El clock del bus se ralentiza durante el “robo de ciclos” para que el DMAC cuente con los buses durante más tiempo. CPU trabaja más lento pero no se detiene.

Señal de reloj normal de CPU



Señal de reloj de CPU con robo de ciclos de DMA



Observe cómo la señal de reloj se ralentiza para dar más tiempo de uso de los buses para DMA.

Por ejemplo en el tiempo de 9 ciclos se producen solo 8.

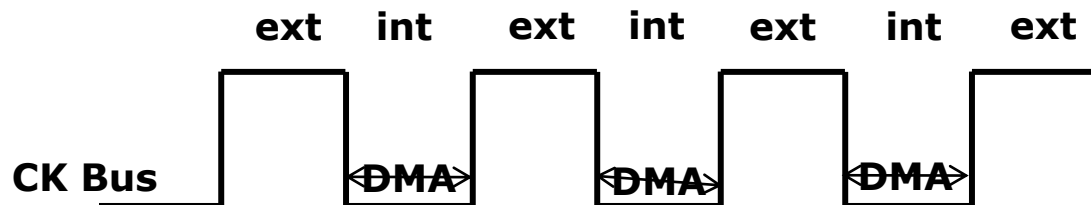
Entrada / Salida

Administración de Entrada / Salida: DMA (V)

Robo de ciclos (Cycle stealing)

En buses síncronos los accesos entre memoria - CPU - E/S se rigen por ciclos de reloj.

- Cada ciclo se divide en un semiciclo positivo (o externo) y un semiciclo negativo (o interno).
- CPU solo utiliza los buses durante los semiciclos positivos.
- Esta técnica aprovecha los semiciclos internos del reloj del bus para que el DMAC utilice los buses.



Entrada / Salida

Administración de Entrada / Salida: DMA (VI)

Funcionamiento

1. La CPU programa el controlador de DMA con:
 - Dirección de comienzo en Memoria
 - Dirección de comienzo en E/S (en un disco: C/H/S)
 - Longitud del bloque (cantidad de palabras)
 - Operación a realizar (lectura/escritura)
2. La CPU continúa el procesamiento
3. Cuando está listo para comenzar, el controlador de DMA solicita los buses (interrupción) (señal BR: *Bus request; Intel: HOLD*)
4. La CPU cede los buses (señal BG: *Bus granted; Intel: HLDA*) y sigue procesando (hasta donde pueda); sino alta impedancia.
5. Cuando el controlador termina, notifica a la CPU (IRQ)

Entrada / Salida

USB (Universal Serial Bus)

	1.0	1.1	2.0	3.0 (3.1 Gen1)	3.1 Gen2	3.2	4.0
Tasa máxima	1,5 Mbps (192 KB/s)	12 Mbps (1,5 MB/s)	480 Mbps (60 MB/s).	4,8 Gbps (600 MB/s)	10 Gbps	20 Gbps	40 Gbps
Introducción	1996	1998	2000	2008	2014	2017	2019

Se trata de un “host centric bus”: El host inicia todas las transacciones.

Solo puede haber un host por bus.

Soporta hasta 127 dispositivos por bus (pero se pueden agregar más buses)

Trabaja por transacciones, transmitiendo en cada una paquetes de datos,

Cada transacción consta de un

- Token Packet (Cabecera que especifica lo que sigue)
- Optional Data Packet (Datos efectivos, o *payload*)
- Status Packet (Provee señal de ACK y control de errores)

Entrada / Salida

USB (Universal Serial Bus)

Extracto de la norma USB 3.0:

Table 6-10. Transmitter Normative Electrical Parameters

Symbol	Parameter	5.0 GT/s	Units	Comments
UI	Unit Interval	199.94 (min) 200.06 (max)	ps	The specified UI is equivalent to a tolerance of ± 300 ppm for each device. Period does not account for SSC induced variations.
$V_{TX-DIFF-PP}$	Differential p-p Tx voltage swing	0.8 (min) 1.2 (max)	V	Nominal is 1 V p-p
$V_{TX-DIFF-PP-LOW}$	Low-Power Differential p-p Tx voltage swing	0.4 (min) 1.2 (max)	V	Refer to Section 6.7.2. There is no de-emphasis requirement in this mode. De-emphasis is implementation specific for this mode.
$V_{TX-DE-RATIO}$	Tx de-emphasis	3.0 (min) 4.0 (max)	dB	Nominal is 3.5 dB
$R_{TX-DIFF-DC}$	DC differential impedance	72 (min) 120 (max)	Ω	
$V_{TX-ROV-DETECT}$	The amount of voltage change allowed during Receiver Detection	0.6 (max)	V	Detect voltage transition should be an increase in voltage on the pin looking at the detect signal to avoid a high impedance requirement when an "off" receiver's input goes below ground.

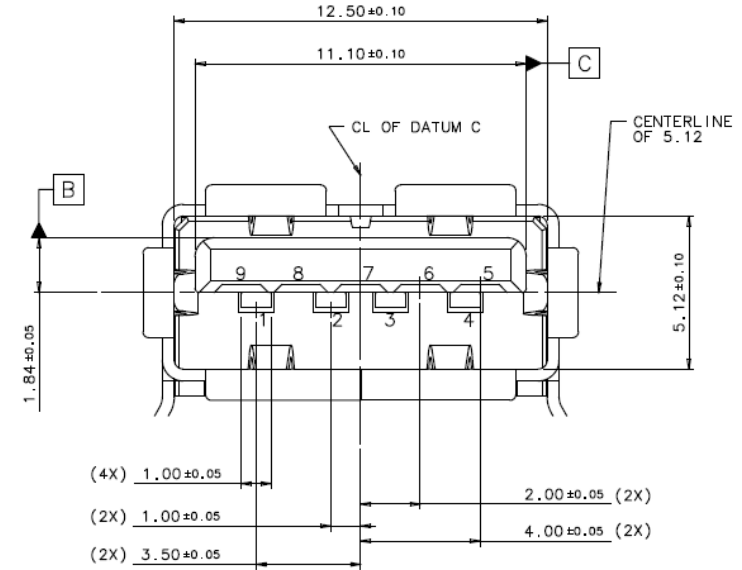
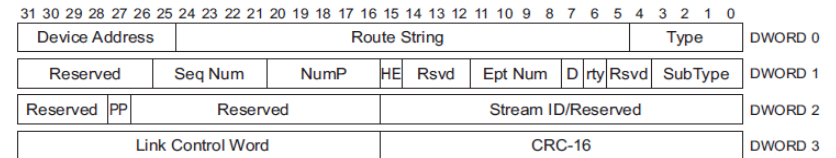


Figure 5-1. USB 3.0 Standard-A Receptacle Interface Dimensions

Extracto del protocolo USB 3.0:

Se usan cuatro tipos de paquetes: Link Management Packet, Transaction Packet, Data Packet, Isochronous Timestamp Packet. Todos los paquetes consisten en un encabezado de 14 bytes seguidos de una Control Link Word de 2 bytes. Todos los encabezados incluyen 2 bytes de CRC. Los encabezados de paquete poseen una tasa de errores indetectables e incorregibles de menos de un error en 10^{20} bits.



U-091

Figure 8-2. Example Transaction Packet

Bibliografía

- **Principios de arquitectura de computadoras**

Murdocca – Heuring, Pearson Education, 1ra ed. 2002

- **Organización y arquitectura de computadores**

Stallings, Prentice Hall, 5ta ed. 2000

- **Arquitectura de computadores**

Morris Mano, Pearson Education, 3ra ed. 1994

- **USB Implementers Forum Inc.** (www.usb.org)

- **Universal Serial Bus 3.0 Specification** (HP, Intel, Microsoft, Nec, etc.)

- <https://www.kingston.com/es/usb-flash-drives/usb-30>

- **Intel IOAPIC 82093AA Datasheet. (1996)**

<http://download.intel.com/design/chipsets/datashts/29056601.pdf>

Entrada / Salida

Bibliografía

<https://web.archive.org/web/20111009002412/http://zet.aluzina.org/images/8/8c/Intel-8237-dma.pdf>

Microprocesadores Intel – Barry Brey