

加法器是产生数的和的装置，加法器分为**半加器**和**全加器**。**半加器**是加数和被加数为输入和 与 进位为输出的装置。**全加器**是 被加数、 加数、**低位进位** 为为输入，和 与 进位 为输出的装置。

1.半加器

半加器 我们可以理解为 输入 是 两个加数，暂时不考虑低位的进位，半加器的输出结果是 2个加数的和 与 进位。半加器的**逻辑状态表**如下所示：

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

注：A、B表示相加的两个数，S 表示 两个加数的和， C表示进位。

由逻辑状态表写出逻辑表达式：

$$S = A\overline{B} + \overline{A}B = A \oplus B$$

\oplus 是 异或符号。读作 \overline{B} 读作非B，公式主要是为了便于理解，这应该属于数组电路里的内容。进位S相当是 2个数的 异或。

$$C = AB$$

进位C相当于是 两个数的与。

逻辑图和逻辑符号图如下所示：



输入端 A、B 通过异或门得到和S， 通过 与门得到进位C。

2.全加器

全加器相比半加器输入端多了**低位的进位**，输入端是3个数相加，分别是加数、被加数、低位的进位，逻辑状态表如下所示：

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A_i 和 B_i 表示 的是加数和被加数， C_{i-1} 表示的是上一个的进位， S_i 表示和， C_i 表示 进位。

全加器的实现：

- 使用**2个半加器、1个或门**实现
- 被加数和加数使用**半加器**实现
- 得到的和与 低位进位 使用半加器 相加 得到最终 的和
- 再把 2次进位结果 用或门相连得到 最终进位

逻辑图如下：

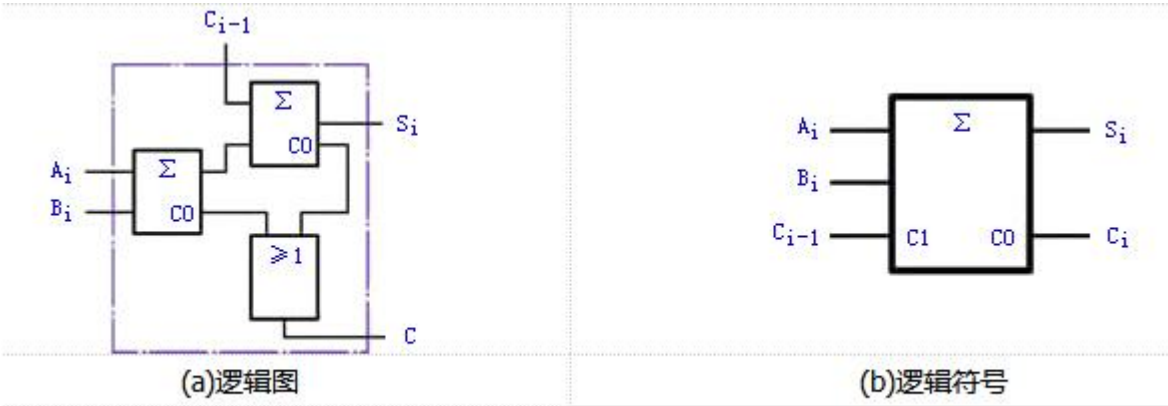


图2 全加器逻辑图及其逻辑符号