

# RISC-V 指令级模拟器设计与实现

(Version 160321)

易江芳

## 概述

本实验要求学生熟悉和学习 RISC-V 指令系统体系结构，并根据 RISC-V 的 32 位基本指令系统实现指令级模拟。同时，对 ELF 文件格式进行解析，获得程序运行相关信息。

最终实现使用 RISC-V 的工具链产生的二进制代码，可以在模拟器上正常运行。

## 提交

最终提交内容：

- 实验报告
- 指令级模拟器代码
- 如有自己开发的测试程序，需提供相应代码

## RISC-V ISA

RISC-V 指令系统体系结构由美国 Berkeley 大学 ASPIRE 实验室开发的第五代 RISC ISA。它的设计目标是开放、干净、简单的 ISA，更有利于硬件实现。该 ISA 目前主要用于科学研究和计算机教育。

RISC-V ISA 的基本指令系统具有明显的 RISC 特点，可参看 MIPS 或者 OpenRISC。32 位的基本指令系统参看其 SPEC（版本：2.0）。

如果希望了解更多信息，可访问 [www.riscv.org](http://www.riscv.org)。

## 关于工具链

下载 Berkeley 提供的 toolchain，可参考以下网址：

Github: <https://github.com/ucb-bar/riscv-gnu-toolchain>

该工具链基于最新的 GCC 4.9.2 开发，支持 C、C++、Fortran、OpenMP 等，可支持 RISC-V 基本 ISA 及各种扩展，包括 RV[32/64]IMAFD, I, IM, IA, IMA, IMFD 等。

推荐使用 RISC-V-unknown-linux-gnu-\*版本的工具链。

如果需要测试用例，参考以下网址：

Github: <https://github.com/ucb-bar/riscv-tests>