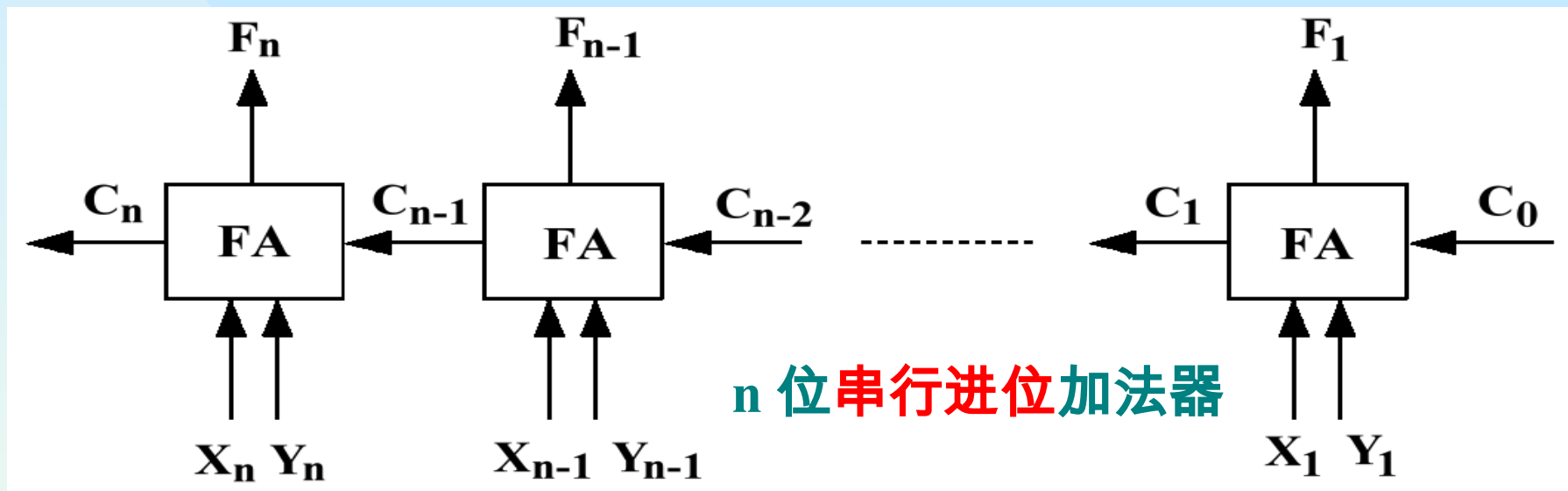


3.2 算术与逻辑单元

3.2.2 串行进位与并行进位

两个 n 位二进制数相加 n 位加法器, n 个全加器相连。



串行进位或行波进位加法器：

- 1) 位间进位串行传送；
- 2) 高位的加法运算，须等到低位加法作完，送来进位时才能进行（级延迟时间可计算）；
- 3) 一级一级传递进位，运算时间与位数有关。

先行进位或并行进位加法器

思想：将进位信号**同时**送到各位全加器的进位输入端。

就**4 位加法器**，讨论其进位 C_1 、 C_2 、 C_3 和 C_4 的产生条件：

① 下述条件中任一条满足就可生成 $C_1=1$ ：

1) X_1 、 Y_1 均为“1”；

2) X_1 、 Y_1 任一个为“1”，且进位 C_0 为“1”。

$$C_i = X_i Y_i \bar{C}_{i-1} + \bar{X}_i Y_i C_{i-1} + X_i \bar{Y}_i C_{i-1} + X_i Y_i C_{i-1} = X_i Y_i + (X_i \oplus Y_i) C_{i-1}$$

可得 C_1 的表达式为：

$$C_1 = X_1 Y_1 + (X_1 + Y_1) C_0$$

$$C_i = (X_i + Y_i) C_{i-1} + X_i Y_i$$

② 下述条件中任一条满足，就可生成 $C_2=1$ 。

1) X_2 、 Y_2 均为“1”；

2) X_2 、 Y_2 任一个为“1”，且进位 C_1 为“1”。

可得 C_2 的表达式为：

$$C_1 = X_1Y_1 + (X_1 + Y_1)C_0$$

$$\begin{aligned} C_2 &= X_2Y_2 + (X_2 + Y_2)C_1 \\ &= X_2Y_2 + (X_2 + Y_2)X_1Y_1 + (X_2 + Y_2)(X_1 + Y_1)C_0 \end{aligned}$$

③ 同理，可得 C_3 的表达式为：

$$\begin{aligned} C_3 &= X_3Y_3 + (X_3 + Y_3)C_2 \\ &= X_3Y_3 + (X_3 + Y_3)[X_2Y_2 + (X_2 + Y_2)X_1Y_1 + \\ &\quad (X_2 + Y_2)(X_1 + Y_1)C_0] \\ &= X_3Y_3 + (X_3 + Y_3)X_2Y_2 + (X_3 + Y_3)(X_2 + Y_2)X_1Y_1 + \\ &\quad (X_3 + Y_3)(X_2 + Y_2)(X_1 + Y_1)C_0 \end{aligned}$$

④ 同理，可得 C_4 的表达式为：

$$\begin{aligned} C_4 &= X_4 Y_4 + (X_4 + Y_4) C_3 \\ &= X_4 Y_4 + (X_4 + Y_4) [X_3 Y_3 + (X_3 + Y_3) X_2 Y_2 + \\ &\quad (X_3 + Y_3)(X_2 + Y_2) X_1 Y_1 + (X_3 + Y_3)(X_2 + Y_2)(X_1 + Y_1) C_0] \\ &= X_4 Y_4 + (X_4 + Y_4) X_3 Y_3 + (X_4 + Y_4)(X_3 + Y_3) X_2 Y_2 + \\ &\quad (X_4 + Y_4)(X_3 + Y_3)(X_2 + Y_2) X_1 Y_1 + \\ &\quad (X_4 + Y_4)(X_3 + Y_3)(X_2 + Y_2)(X_1 + Y_1) C_0 \end{aligned}$$

定义两个辅助函数：

进位传递函数： $P_i = X_i + Y_i$

进位产生函数： $G_i = X_i Y_i$

进位传递函数 P_i ：当 X_i 、 Y_i 中有一个为“1”时，本位向高位传送低位进位 C_{i-1} 。

进位产生函数 G_i : 当 X_i 、 Y_i 均为“1”时，不管有无低位进位输入，本位一定向高位产生进位输出。

$$C_i = G_i + P_i C_{i-1}$$

▲ 将 P_i 、 G_i 代入前面的 $C_{1\sim C_4}$ 式，可得：

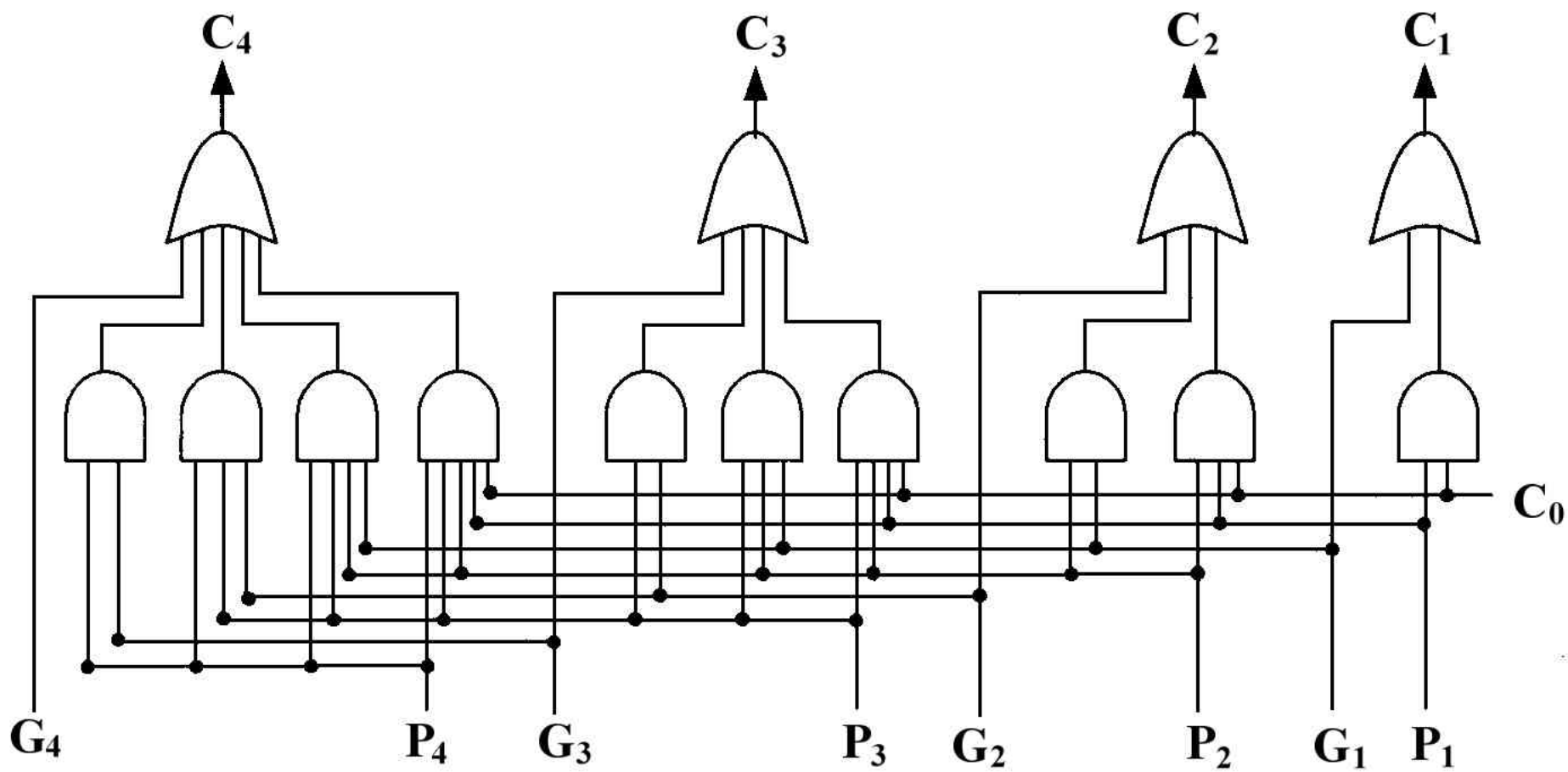
$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

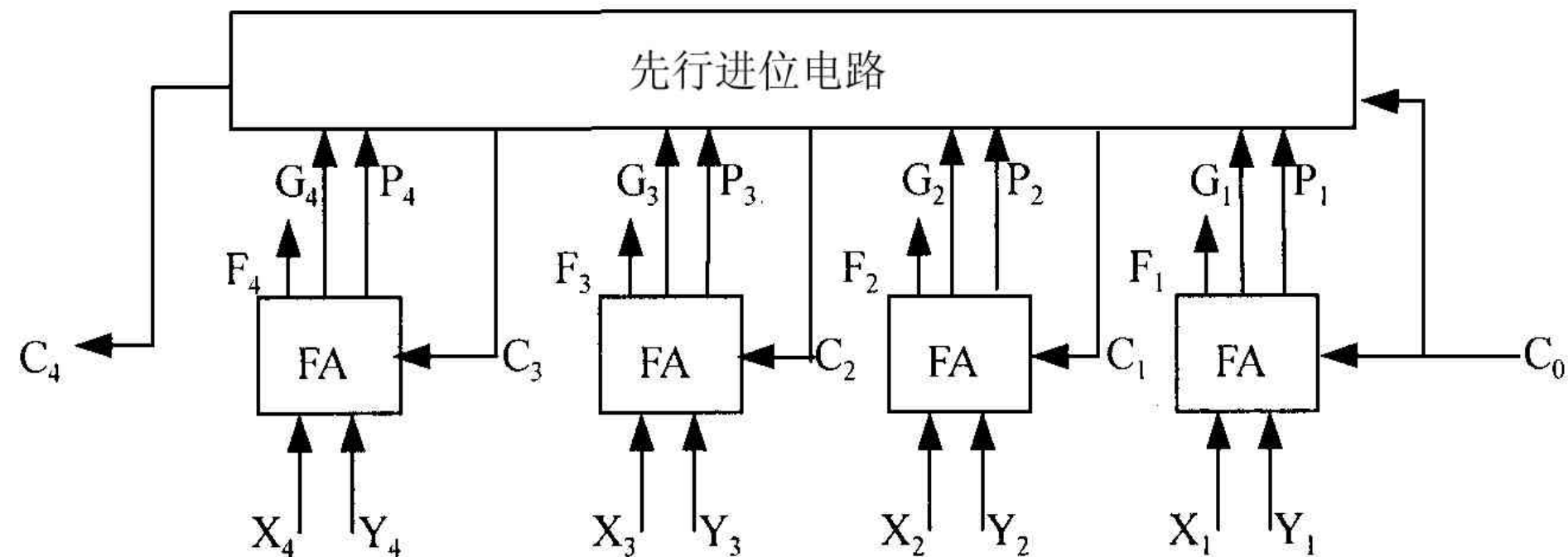
$$C_4 = G_4 + P_4 C_3 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

▲ 先行进位产生电路及 4 位先行进位加法器的逻辑图。



先行进位产生电路

如
$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

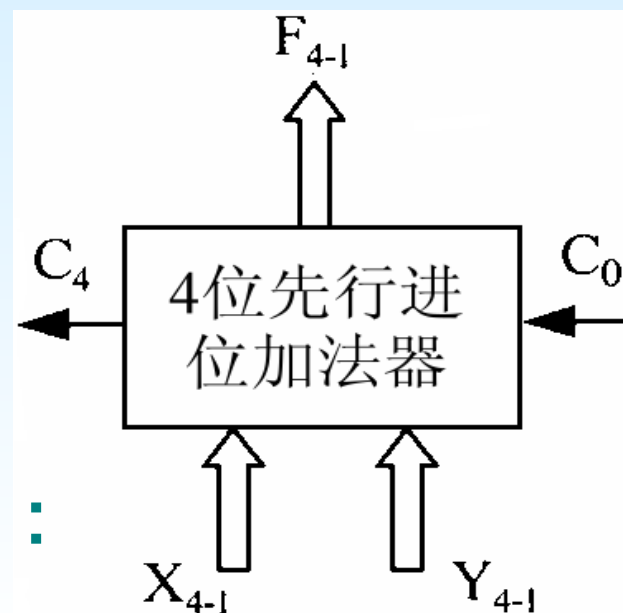


4 位先行进位加法器

4 位先行进位加法器：

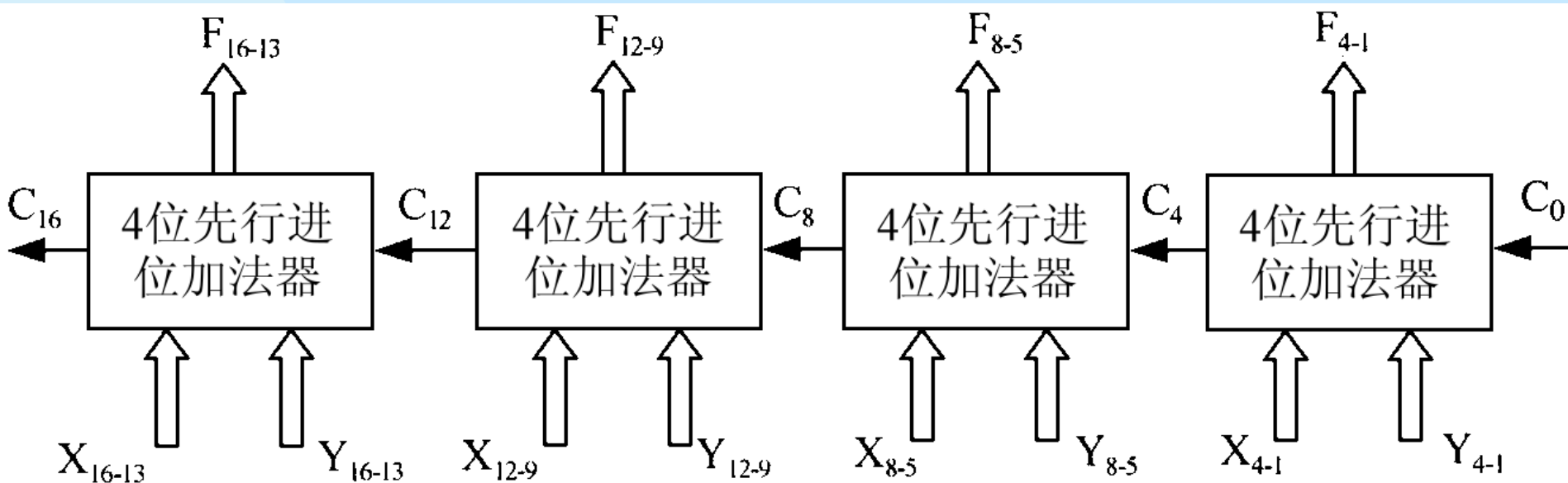
- 1) 4 个全加器；
- 2) 先行进位产生电路。

4 位先行进位加法器的符号表示：



16 位加法器

四个 4 位先行进位加法器串接起来。



组间为串行进位构成的 16 位加法器

组内并行、组间串行：在各加法单元之间，进位信号是串行传送的，而在加法单元内，进位信号是并行传送的。

16 位加法器

并行进位的概念可用于 16 位加法器；
进一步提高 16 位加法器的运算速度。

组间进位：

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

表示成： $C_m = G_m + P_m C_0$

P_m 和 G_m 分别为：

$$P_m = P_4 P_3 P_2 P_1$$

$$G_m = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1$$



16 位加法器

应用于四个 4 位先行进位加法器，则有：

$$C_{m1} = G_{m1} + P_{m1} C_0$$

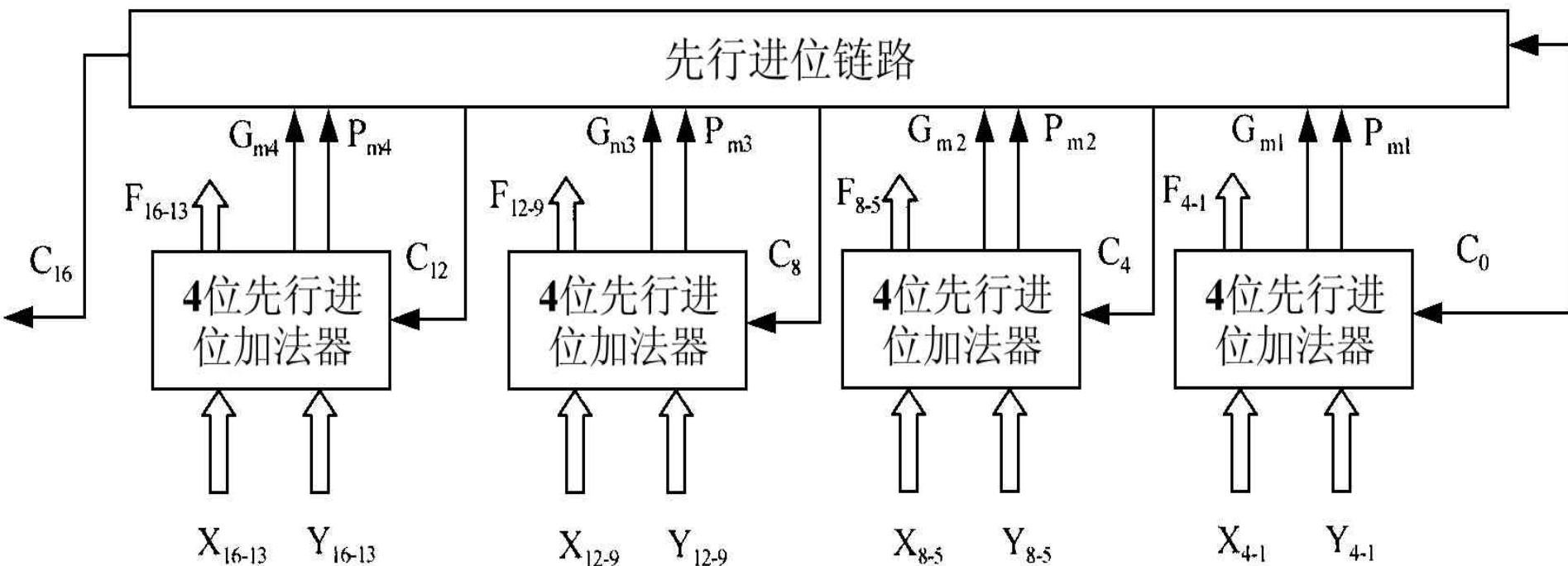
$$C_{m2} = G_{m2} + P_{m2} C_{m1} = G_{m2} + P_{m2} G_{m1} + P_{m2} P_{m1} C_0$$

$$C_{m3} = G_{m3} + P_{m3} C_{m2} = G_{m3} + P_{m3} G_{m2} + P_{m3} P_{m2} G_{m1} + P_{m3} P_{m2} P_{m1} C_0$$

$$C_{m4} = G_{m4} + P_{m4} C_{m3} = G_{m4} + P_{m4} G_{m3} + P_{m4} P_{m3} G_{m2} + \\ P_{m4} P_{m3} P_{m2} G_{m1} + P_{m4} P_{m3} P_{m2} P_{m1} C_0$$

与组内进位表达式相似

并行进位链结构相同。



组间由先行进位链构成的 16 位加法器

可将**并行进位**的概念用于更大位数的加法器上，随着加法器位数的增加，加法电路变得越来越复杂。



3.2.3 ALU 部件

多功能算术 / 逻辑单元 (ALU) 的基本思想：

将全加器的功能扩展以完成多种算术逻辑运算。

多功能 ALU 的组成：

- 1) 四位全加器；
- 2) 并行进位逻辑；
- 3) **输入选择逻辑**：通过改变加法器的进位产生函数 G 和进位传递函数 P 来获得多种运算能力。

74181 型 4 位 ALU 中规模集成电路工作原理：

- 1) 能对两个 4 位二进制代码 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 进行：
 - 16 种算术运算（当 M 为低电位时）；
 - 16 种逻辑运算（当 M 为高电位时）；
 - 产生结果 $F_3F_2F_1F_0$ 。
- 2) 16 种运算操作由 $S_3S_2S_1S_0$ 四位控制选择。

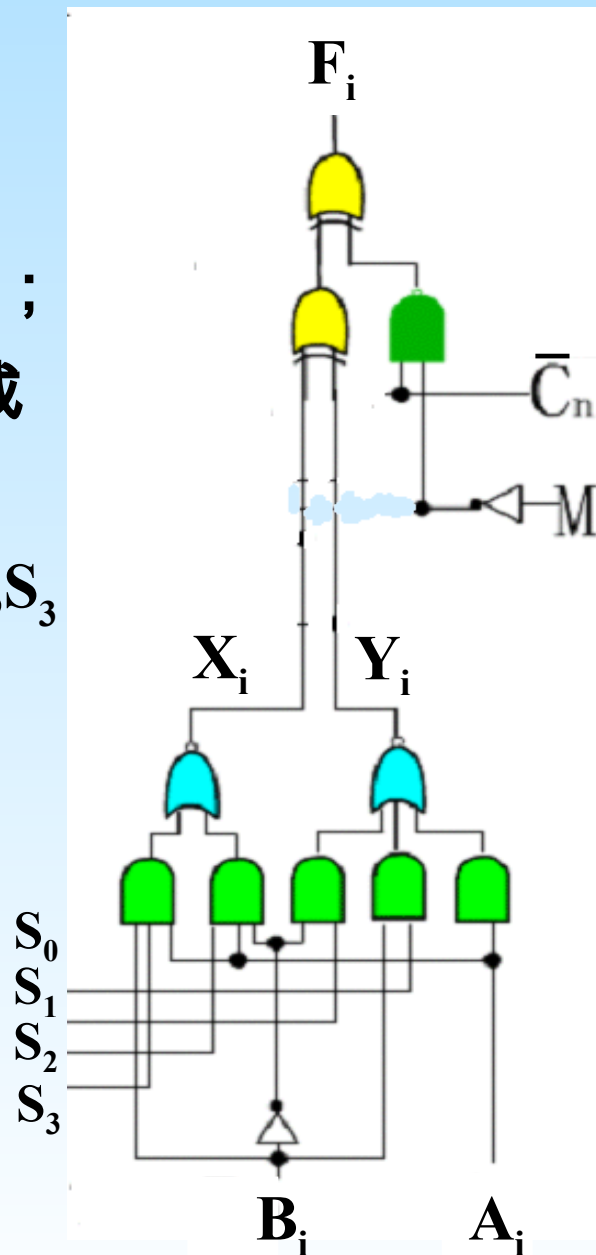
一位 ALU 基本逻辑电路

- 1) 核心部分是由两个半加器组成的全加器；
- 2) 由 M 控制第二级半加器选择逻辑运算或算术运算；
- 3) 输入选择逻辑，4 个控制信号 S_0, S_1, S_2, S_3 可选择 16 种功能。

参数 S_0, S_1, S_2, S_3 分别控制输入 A_i 和 B_i ，产生 X_i 、 Y_i 函数。其中：

X_i 是受 S_3, S_2 控制的 A_i 和 B_i 组合函数。

Y_i 是受 S_1, S_0 控制的 A_i 和 B_i 的组合函数；



ALU 的一位逻辑表达式为：

$$X_i = \overline{S_3 A_i B_i + S_2 A_i \bar{B}_i}$$

$$Y_i = \overline{A_i + S_0 B_i + S_1 \bar{B}_i}$$

$$F_i = Y_i \oplus X_i \oplus C_{i-1}$$

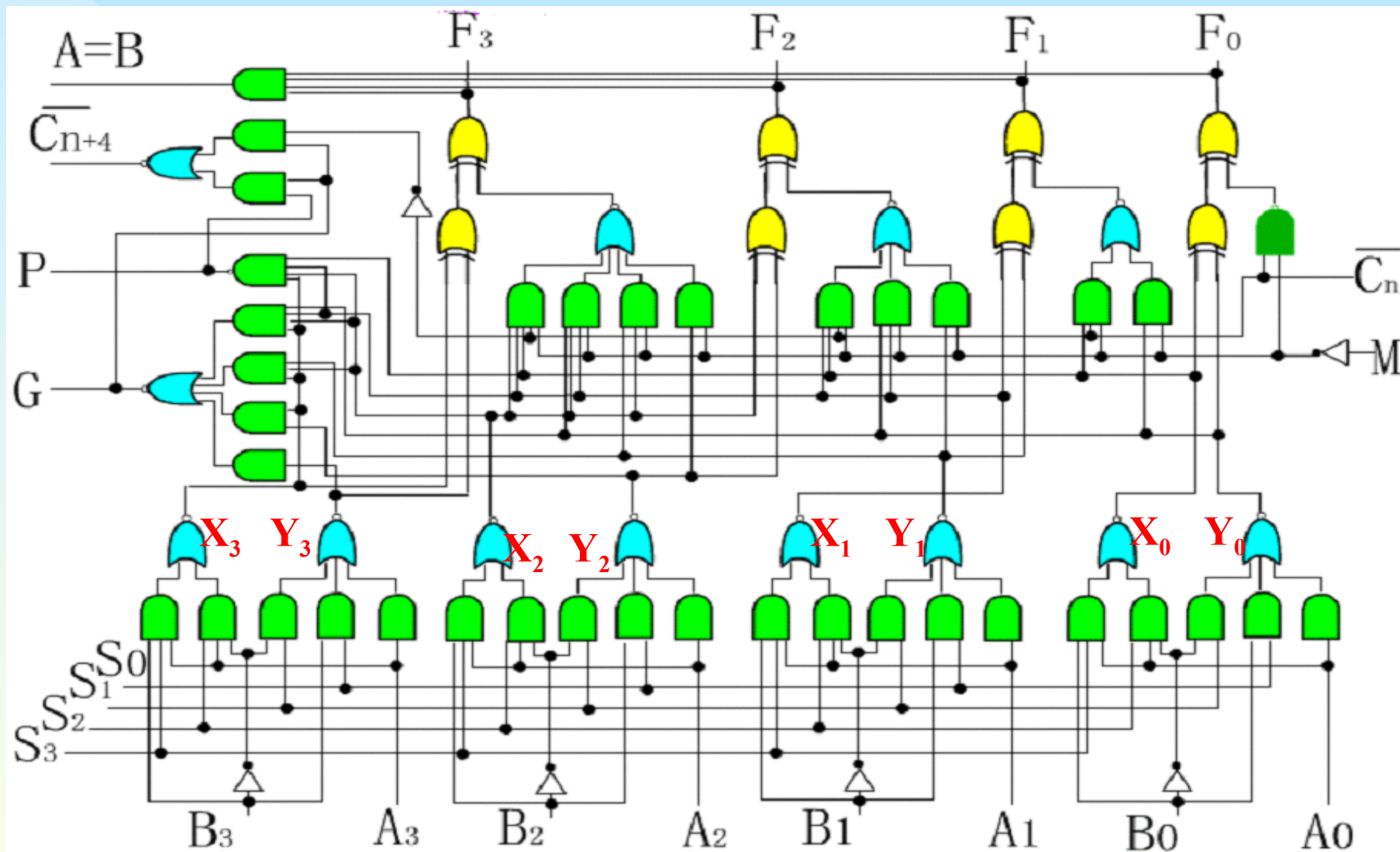
$$C_i = Y_i + X_i C_{i-1}$$

$$C_i = G_i + P_i C_{i-1}$$

4 位算术 / 逻辑运算单元 (74181)：

- 1) $4 \times$ **一位 ALU**；
- 2) **并行进位链。**

74181 逻辑图



P 和 G 的含义

第 4 位的进位输出 (即整个 4 位运算进位输出) 公式为 :

$$C_{n+4} = Y_3 + X_3 C_{n+3} = Y_3 + X_3 Y_2 + X_3 X_2 Y_1 + X_3 X_2 X_1 Y_0 + X_3 X_2 X_1 X_0 C_n$$

设 $G = Y_3 + X_3 Y_2 + X_3 X_2 Y_1 + X_3 X_2 X_1 Y_0$

$$P = X_3 X_2 X_1 X_0$$

则 $C_{n+4} = G + PC_n$

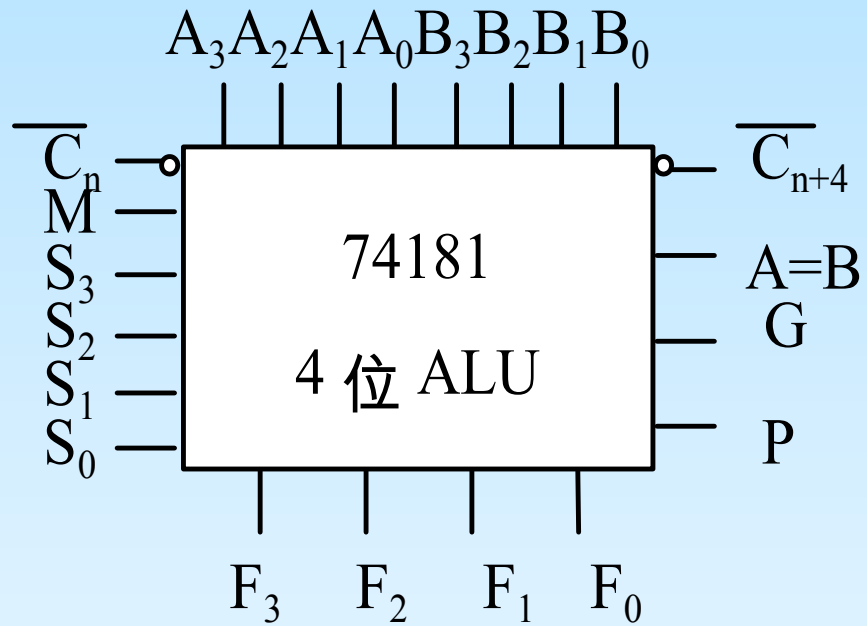
其中 **G** 称为片间进位产生函数 , **P** 称为片间进位传递函数。

电路中多加这两个进位输出的目的 :

为了便于实现多片 (组)ALU 之间的先行进位

。

74181ALU 的图形符号 (引脚图) :



- 1) C_n 是 ALU 的最低位进位输入，低电平有效，即 $C_n=L$ 表示有进位输入；
- 2) C_{n+4} 是 ALU 进位输出信号。

74181 功能表

S_3	S_2	S_1	S_0	M=H 逻辑运算	M=L 算术运算	
					$\overline{C}_n=1$	$\overline{C}_n=0$
L	L	L	L	\overline{A}	A	A+1
L	L	L	H	$\overline{A+B}$	A+B	(A+B)加 1
L	L	H	L	$\overline{A} \cdot B$	A+ \overline{B}	(A+ \overline{B})加 1
L	L	H	H	“0”	减 1	“0”
L	H	L	L	$\overline{A} \cdot \overline{B}$	A 加 ($\overline{A} \cdot \overline{B}$)	A 加 ($\overline{A} \cdot \overline{B}$) 加 1
L	H	L	H	\overline{B}	($\overline{A} \cdot \overline{B}$)加(A+B)	($\overline{A} \cdot \overline{B}$)加(A+B)加 1
L	H	H	L	$A \oplus B$	A 减 B 减 1	A 减 B
L	H	H	H	$A \cdot \overline{B}$	($\overline{A} \cdot \overline{B}$)减 1	$\overline{A} \cdot \overline{B}$
H	L	L	L	$\overline{A+B}$	A 加 ($\overline{A} \cdot B$)	A 加 ($\overline{A} \cdot B$) 加 1
H	L	L	H	$\overline{A} \oplus \overline{B}$	A 加 B	A 加 B 加 1
H	L	H	L	B	($\overline{A} \cdot B$)加(A+ \overline{B})	($\overline{A} \cdot B$)加(A+B) 加 1
H	L	H	H	$A \cdot B$	($\overline{A} \cdot B$)减 1	$\overline{A} \cdot B$
H	H	L	L	“1”	A 加 A	A 加 A 加 1
H	H	L	H	A+ \overline{B}	A 加(A+B)	A 加(A+B) 加 1
H	H	H	L	A+B	A 加(A+B)	A 加(A+B) 加 1
H	H	H	H	A	A 减 1	A

ALU 单元的运算功能：

1. 算术运算功能 (M=L 时)：

- **A 加 B**：当 $S_3S_2S_1S_0=HLLH$ 时，ALU 实现对 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 两个 4 位二进制代码在进位输入 C_n 参与下的加法运算；
- **A 减 B**、**A 加 1** 等；

2. 逻辑运算功能 (M=H 时)：

- AB 、 $A+B$ 、 \overline{A} ；
- 传送 A 、 B 等。

3. 表中有些功能没有实用价值。