

2021~2022 学年第二学期期末考试试卷

《数字逻辑与数字系统》

(考试时间：2022 年 9 月 1 日)

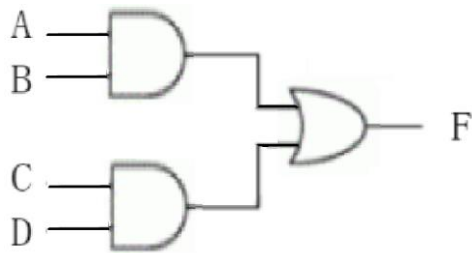
注意：在考试试卷的开头还给出了本张试卷上涉及到的 MIPS 指令的格式及其含义。

一、填空题

- 1. 同步时序逻辑电路中用来存储电路状态的是_____。
- 2. 数字电路逻辑函数中任意两个不同最大项之和为_____。
- 3. 有限状态机分为两类，分别是_____和_____。
- 4. 数字电路中信号传输最慢的路径是_____。
- 5. 一个非门由_____个 MOS 管组成。
- 6. 寄存器由共享时钟的多个_____组成。
- 7. 32 位 MIPS 指令集的常见指令格式包括 R 型、_____、_____。
- 8. $\bar{F} = AB + \bar{A}B + BC$ 的最小项表达式为 $\sum m^4$ (_____)。

二、选择题

- 1. 以下时序逻辑器件中采用边沿触发的是 ()。
A. D 锁存器 B. D 触发器 C. SR 锁存器 D. 双稳态电路
- 2. 8 输入电路的真值表有 () 行。
A. 8 B. 64 C. 256 D. 1024
- 3. 下图所示逻辑图输出为“1”时，输入变量组合“ABCD”为 ()。



- A. 0000 B. 0101 C. 1100 D. 1000

- 4. 以下同步时序逻辑电路的规则中错误的是 ()。
A. 每一个电路元件或者是寄存器或者是组合电路
B. 至少有一个电路元件是寄存器
C. 所有寄存器接受同一个时钟信号
D. 每个环路只能有一个寄存器
- 5. 具有“有 1 出 0、全 0 出 1”功能的逻辑门是 ()。
A. 与非门 B. 或非门 C. 异或门 D. 同或门
- 6. 有以下 MIPS 指令：
LOOP: slt \$s2, \$zero, \$t1
 beq \$t2, \$zero, DONE
 addi \$t1, \$t1, -1
 addi \$s2, \$s2, 2
 j LOOP

DONE:
已知 \$t1 寄存器的初始值为 10, \$s2 寄存器的初始值为 0, 则 \$s2 寄存器的终值为 ()。
A. 10 B. 20 C. 5 D. 0
- 7. 不会对时序逻辑电路的输出造成影响的是 ()。
A. 未来时刻输入 B. 当前时刻输入 C. 历史时刻输入 D. 当前电路状态
- 8. 以下对于三段式有限状态机的描述错误的是 ()。
A. 三段式可用于描述 Moore 型状态机和 Mealy 型状态机
B. 第一段必须使用非阻塞赋值
C. 第二段必须使用阻塞赋值
D. 第三段必须使用阻塞赋值
- 9. 在 SystemVerilog 语言中，将 24 位 a_in 的高 8 位与 16 位 b_in 的中间 8 位拼接起来赋值给 out 的低 16 位的语句是 ()。

```
A. assign out[15:0] = {a_in[23:16], b_in[11:4]};
B. assign out[16:1] = {a_in[23:16], b_in[11:4]};
C. assign out[15:0] = {a_in[24:17], b_in[11:4]};
D. assign out[15:0] = {a_in[23:16], b_in[10:3]};
```

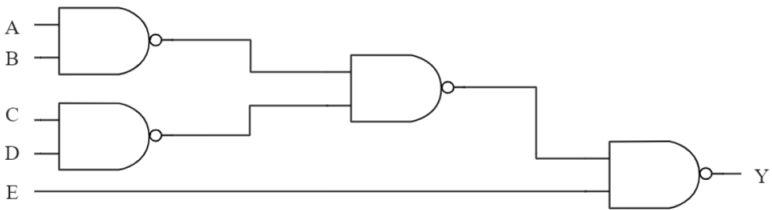
10. 对于 MIPS 指令 bne，其控制信号 RegWrite、AluSrc、Branch、Jump 的取值分别为（ ）。
- A. 0、1、1、0 B. 1、0、1、0 C. 0、0、1、0 D. 0、0、0、1

三、写出以下卡诺图对应的最简与或式。

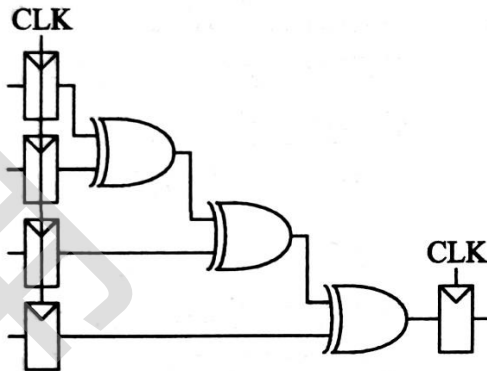
AB\CD	00	01	11	10
00	1	X		X
01	1	1	1	X
11	X	1		X
10	1	X	X	1

- 四、使用四选一多路选择器（可以是多个）设计一个 3 输入多数表决器（即有 2 个及以上的输入为 1 时输出 1，否则输出 0），画出电路图。
- 五、设计一个 Moore 型状态机，使得输入序列为“010”时状态机的输出为 1。要求画出状态机示意图，确定状态对应的二进制编码，画出状态转换表和输出表，并写出状态转换方程和输出方程。

六、1. 已知如下电路。与非门的传播延迟 $t_{NAND_{pd}} = 20ps$ ，最小延迟 $t_{NAND_{cd}} = 15ps$ 。求电路的传播延迟和最小延迟。



2. 已知如下计算 4 输入异或函数的电路。异或门的传播延迟为 $t_{XOR_{pd}} = 100ps$ ，最小延迟为 $t_{XOR_{cd}} = 35ps$ 。每一个触发器的建立时间为 $t_{setup} = 60ps$ ，保持时间为 $t_{hold} = 50ps$ ，时钟到 Q 的最大延迟为 $t_{pcq} = 70ps$ ，最小延迟为 $t_{ccq} = 20ps$ 。



- a. 求电路的最大运行频率。
- b. 该电路是否满足保持时间约束？

七、SystemVerilog 程序填空（代码省略，见头歌平台对应部分的代码）

1. 请完成下表所示的有限状态机的建模。该状态机有四个状态 A、B、C、D，一个输入 in，以及一个输出 out，采用同步低电平复位，复位状态为 A。

现态	次态		输出
	in = 0	in = 1	
A	A	B	0
B	C	B	0
C	A	D	0
D	C	B	1

2. 设计一个低电平有效的 2:4 译码器。
3. 设计一个时钟分频电路，对于输入的系统时钟进行 10 分频。

注意：在打印试卷时可以选择不打印此页！

关于使用本资料的须知：

1. 本资料为个人整理，不建议广泛传播。
2. 本资料使用了天津大学试卷的模板制作，但**并非正式考试试卷**，仅作为个人复习使用。
3. 本资料为往年考试真题回忆版，可能与实际真题有出入，也不一定反映了您使用该资料当年试题的题型、难度、知识点覆盖范围。
4. 资料中**标红处**为试题内容有关重要提醒，**标黄底处**为本资料与实际真题有出入的部分。
5. 绝大多数资料不提供相应的答案，请您**务必不要直接**拿这份资料向任课老师寻求题目解答等。

关于这门课程的**个人**提醒和建议：

1. 本课程为《数字逻辑与数字系统》，是 2020 级计算机科学与技术、软件工程、人工智能、网络空间安全专业第四学期的大类基础课。
2. 天大的智算学部偏“软”，因此硬件类课程难度都不会很大（包括 csapp），这门课也是一样。虽然也被称作“数电”，但与电类专业学的《数字逻辑电路》相比，内容量和难度都要小得多，不会涉及到大量电路元件的记忆和复杂电路的设计，考察的重点更偏向于怎么在逻辑上而不是物理上去实现数字电路。
3. 虽然内容量很少，但是如果平时不做积累，临到考试之前再去抱佛脚也很难掌握的。比如 FSM 的大题，涉及到很多的知识点，例如两种 FSM 的画法、从 FSM 到状态转换表等等，这些考前再去学可来不及。
4. 数电这门课的重难点两只手都能掰得过来（与计网形成鲜明对比）：逻辑门、卡诺图、编码器/译码器/多路选择器、两种延迟、FSM、建立和保持时间约束，最后再加上天天实验要写的 SV 语言。这些内容熟练掌握了能够应对几乎所有的大题和一半以上的小题。考试之前老师都会开复习课，有的老师甚至会划很细致的重点，所以完全不用担心，正常复习就可以了。
5. 最后祝大家考试顺利啦！