

#	Name	Material	Type	Weight	Thickness	Dk	Copper Orientat...
	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.01016mm	3.5	
1	L1		Signal	1/2oz	0.01801mm		Above
	Dielectric 2	PP-006	Prepreg		0.08999mm	4.1	
2	L2 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 1	Core-025	Core		0.2mm	4.6	
3	L3	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 3	PP-006	Prepreg		0.08999mm	4.1	
4	L4 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 4	Core-025	Core		0.2mm	4.6	
5	L5	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 5	PP-006	Prepreg		0.08999mm	4.1	
6	L6 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 6	Core-025	Core		0.2mm	4.6	
7	L7 (PWR)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 7	PP-006	Prepreg		0.08999mm	4.1	
8	L8 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 8	Core-025	Core		0.2mm	4.6	
9	L9 (PWR)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 9	PP-006	Prepreg		0.08999mm	4.1	
10	L10 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 10	Core-025	Core		0.2mm	4.6	
11	L11 (GND)	CF-003	Signal	1/2oz	0.01801mm		Above
	Dielectric 11	PP-006	Prepreg		0.08999mm	4.1	
12	L12	CF-003	Signal	1/2oz	0.01801mm		Below
	Dielectric 12	Core-025	Core		0.2mm	4.6	
13	L13 (GND)	CF-004	Signal	1/2oz	0.01801mm		Above
	Dielectric 13	PP-006	Prepreg		0.08999mm	4.1	
14	L14	CF-004	Signal	1/2oz	0.01801mm		Below
	Bottom Solder	Solder Resist	Solder Mask		0.01016mm	3.5	
	Bottom Overlay		Overlay				

## EXPLICATION DE LA STACKUP (PAR JULIEN GUAY GUAJ2506)

Si le FPGA était plein soit 26x26 pins 100% utilisé, on aurait besoin théoriquement de :  $(26 - 4 \text{ (les côtés)}) / 2 = 11$  couches pour router le FPGA. Cependant, puisqu'il est utilisé à environ 50% et que plusieurs pins peuvent de GND ou PWR peuvent théoriquement partager un même via. La difficulté est grandement diminuée. J'ai opté pour un 14 couches dont 5 couches de signaux, 2 de power et 7 de ground avec le ground qui réfère chacune des couches. Cela permet de passer des traces high speed sur toutes les couches à condition que la largeur minimale de la trace respecte les capacités du manufacturier Les horloges de la RAM pouvaient seulement être routés sur les couche extérieures pour cette raison.

Il aurait été fortement possible de descendre à 12 couches et router le PCB en entier puisque les pin de du FPGA sont entièrement reconfigurable et qu'il était facile de repositionner les signaux des banques selon les besoins. La RAM se route facilement sur 4 couches de signaux et est un peu plus challengeant sur 3 couches.

Le PCB est en FR4 d'une épaisseur 1.8mm avec du prepreg 1080 et un core de 0.175 ~ 0.2mm selon les capacité de PCBway. Le traces de cuivres sont de 0.5 Oz sur toutes les couches puisque selon le bilan de puissance, le circuit consomme au final 2.5A à 24V. On n'a donc pas besoin de beaucoup de puissance et les traces peuvent rester petites.

Les traces de 24V ont été dimensionné pour passer 24V 4A avec une augmentation de 10 °C max 140 mils single layer, 50 mils sur 2 layer avec via à 15mils de trou.