

**多功能电子钟系统设计**

**数字电路与逻辑设计**

**课程实验报告**

***2***

***0***

***2***

***1***

|  |  |
| --- | --- |
| 姓 名： | 胡沁心 |
| 学 号： | U202015360 |
| 班 级： | CS2003 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2021年12月10日 |

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用传统电路的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim2.7.1软件1套，微型计算机1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分“计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间后提醒10秒。

**使用Logisim软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下：**

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj；**
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj**=1时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间，递减的时候不需要循环，回到0即可，递增的时候可以循环；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421码；
7. 封装后做出测试电路，测试电路要外接16进制显示器，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或者二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或者二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端**CPU、**一个累减计数脉冲输入端**CPD、**清零输入信号**Clr、**一个计数值校准输入控制信号**Adj、**12小时计时或24小时计时控制信号**Set**；
2. 封装后的电路输出为输出八个计数器状态输出值**Q1D Q1C Q1B Q1A****Q0D Q0C Q0B Q0A**（测试电路中要接16进制数字显示器）**，**进位输出信号；
3. 当**Adj=1**时，可以通过**CPU**、**CPD**，对计数值进行加、减调整来设置当前时间；递减的时候不需要循环，回到0即可，递增的时候需要可以循环；
4. 当**Adj=0**，通过输入脉冲**CPU**计数器累加计数，每当累计满12或者24（根据计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，输出状态为12小时计时；当Set=1时，输出状态为24小时计时；
7. 计数器的输出为两位8421码；
8. 封装后做出测试电路，测试电路要接16进制显示器，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

** **

图 5.3 led点阵显示器

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号**AM/FM、**计时控制**TT**；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要用16进制数字显示器显示；注意，这里应该通过控制信号，使用**Adj0**和**Adj1**实现闹钟的设置，使用输出时间显示屏作为闹钟设置的时间显示。
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5-7所示，测试图如图 5.8所示。

1. 输入信号有“**Set**”、“**CPU**、**CPD**”、“**Adj0**、**Adj1**”、“**Clr**”、“**8hz**信号”；输出信号为“小时”、“分”、“秒”对应的6个8421码、“闹钟”和“整点”输出信号以及控制“上、下午”显示的信号；
2. “**Set**”为“小时计数器”输入信号，当**Set=1**时，计数器为二十四进制计数器，**Set=0**为低电平时为十二进制计数器；十二进制和二十四进制转换时时间需对应；
3. “**CPU、CPD**”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “**Adj0**”为计数器计数值进行校准的输入控制信号，**Adj0=0**，表示不调整时钟；**Adj0=1**，表示调整时钟，在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “**Adj1**”为计数器计数值进行校准的选择输入控制信号，A**dj1=0**，表示调整小时；**Adj1=1**，表示调整分钟；
6. “**Clr**”为计数器的清除信号，同时对小时、分、秒清零；
7. “**8hz**信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，需要增加相关的输入和输出端口，至少需要闹钟的开关控制（输入）和闹钟的输出，其它端口可以自行按照要求设计；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，**CPU、CPD**接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。



图 5.7电子钟的“输入、输出检查要求”



图 5.8电子钟的测试电路

6. 实验方案设计

1. **具有校准计数值的六十进制计数器电路**

在四位二进制可逆计数器的基础上将~LD置为反变为置9端，加入进位、借位端。输入置为1001即9。

将两个四位二进制可逆计数器连接。加法操作时，个位计数器满十进1并清零，借位端置为1，若adj=0，在十位计数器的CPU端产生一个脉冲，十位计数器加1。十位计数器十位满六进清零，若adj=0，输出进位脉冲；减法时若个位计数器输出为0，则产生借位，此时如果十位不为0，则十位计数器的CPD产生一个脉冲，十位减1，个位计数器置9。若十位计数器输出为0，则CPD无效。

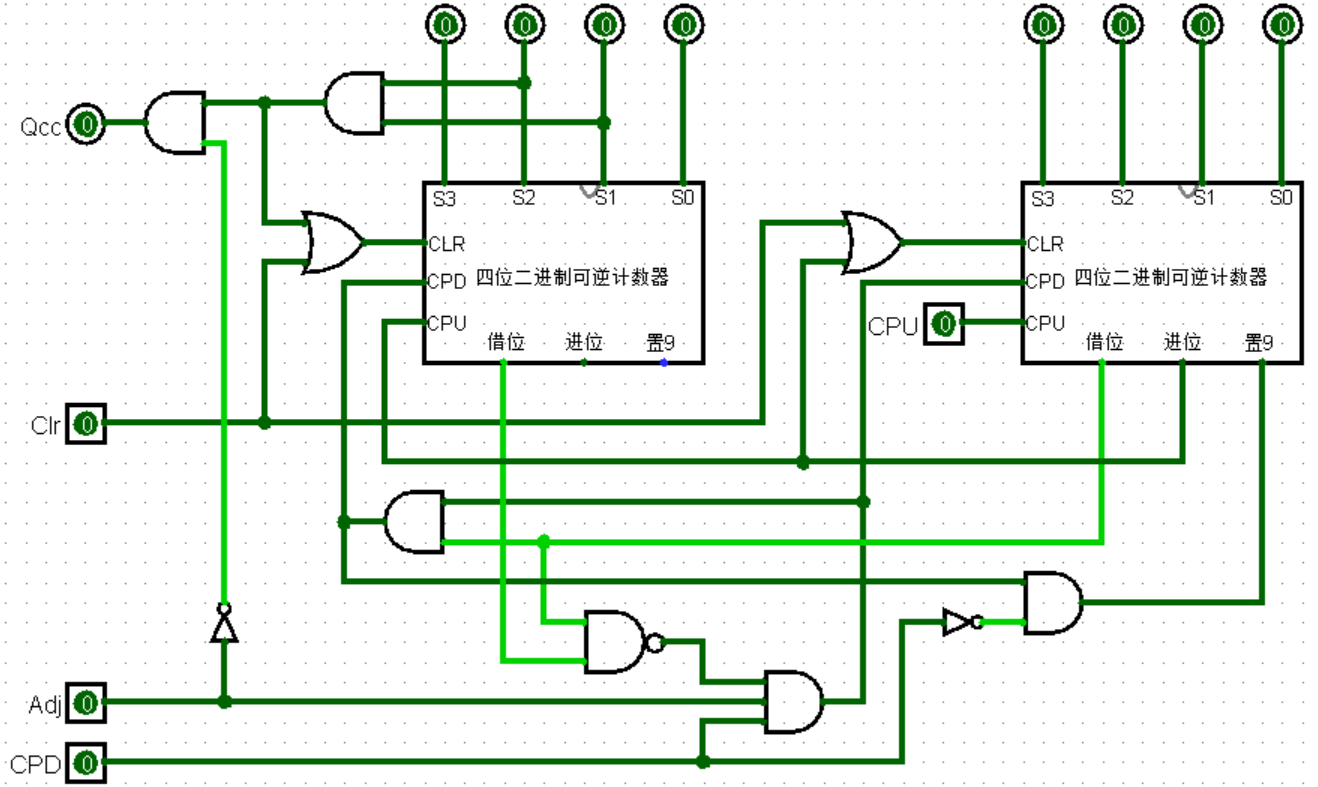


图5-9 具有校准计数值的六十进制计数器电路

1. **二十四进制的计数器电路**

对有校准计数值的六十进制计数器进行改造，当接受第24个脉冲时在Qcc端产生一个进位脉冲，同时清零。

当set=1时，切换到二十四小时制显示，输出原结果。

当set=0时，切换到十二小时制显示。用乘法器和加法器计算出原结果的十六进制值，将该值减0xc的结果记为差。通过8421码转二进制转换器将该结果数转化为八位二进制数。使用多路选择器：若减法器的borrow out端输出为1，表示差小于0，原结果小于12，输出原结果，AM/FM输出为0；若减法器的borrow out端输出为0，表示差大于等于0，原输出结果大于等于12，输出减0xc后的八位二进制码，AM/FM输出为1。最后使用两个比较器判断输出结果是否为00：使用多路选择器，当结果为0时，强制输出12，否则不变。

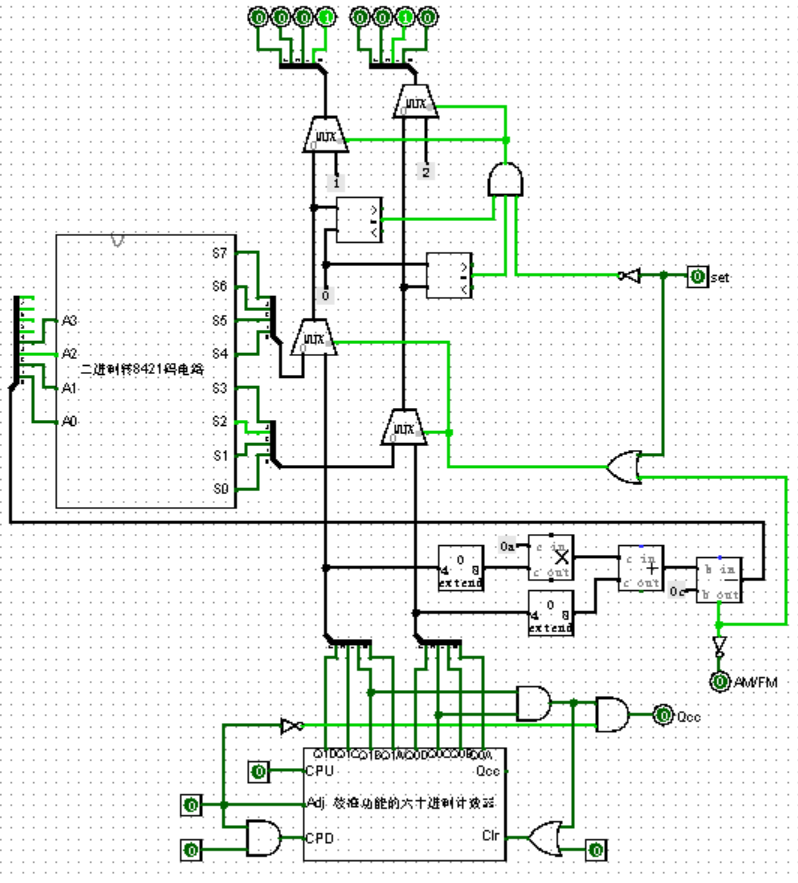


图5-10 十二进制或二十四进制计数器电路

1. **显示“上午”、“下午”的电路**

LED显示屏选择4\*5的大小。TT为0时，显示屏不显示，即编码为00000 00000 00000 00000，转化为十六进制为0x0；TT为1时，上下午显示电路可以显示。

AM/FM为0 时显示“上”，“上”的编码为00001 11111 00101 00001，转换为十六进制为0x0fca1; AM/FM为0 时显示“下”，“下”的编码为10000 11111 10100 10000，转换为十六进制为0x87e90。使用两个多路选择器来选择输出的编码，再用一个分路器将编码分为5个4位二进制数。

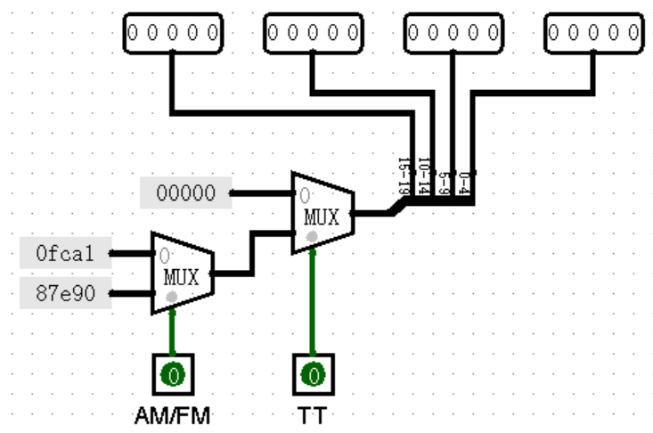


图5-11 显示“上午”、“下午”的电路

1. **电子钟整点报时电路**

将十二进制或二十四进制计数器和两个六十进制计数器的封装器件连接。在59分50秒时开始报时，整点时结束报时。即当秒的十位为5，且分的十位为5、个位为9时报时端输出1。若需要报时灯闪烁，将报时端与时钟端相或。

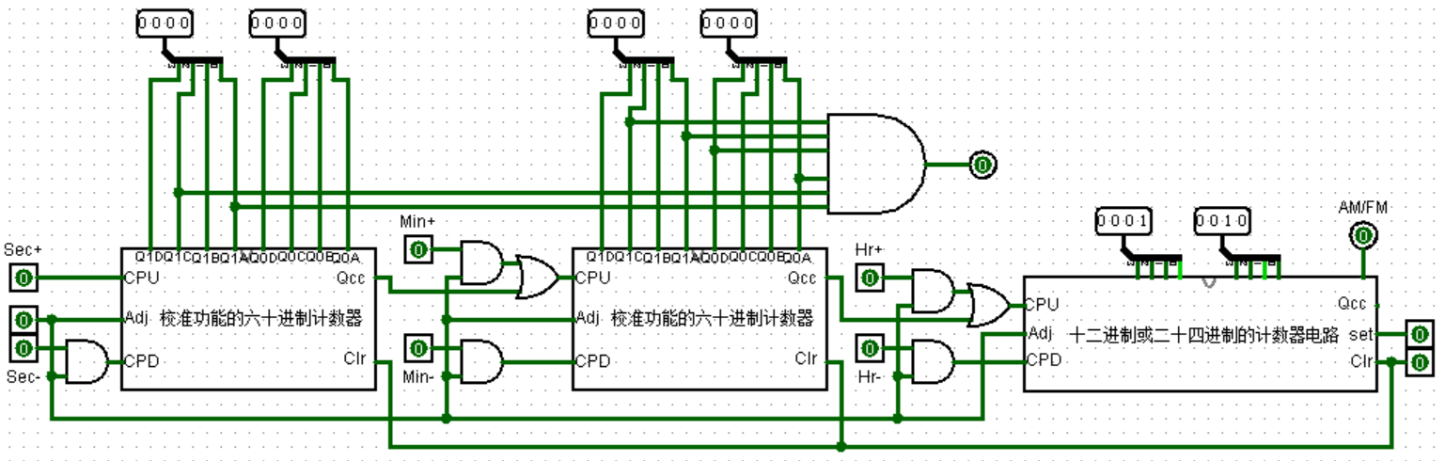


图5-12 电子钟整点报时电路

1. **秒计时脉冲产生电路**

将二进制可逆计数器改造成八进制计数器，当最高位S3为1时，输出进位脉冲信号并时清零。

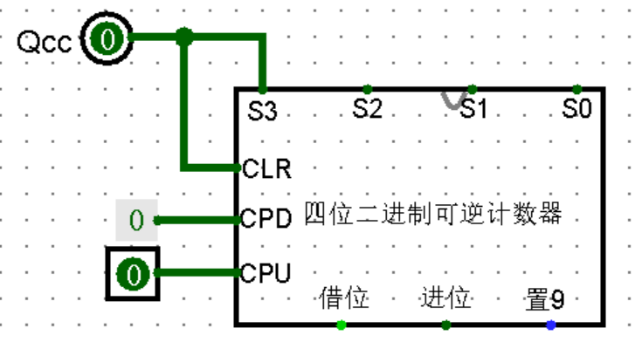


图5-13 秒计时脉冲产生电路

1. **闹钟（选做）**

Adj0为报时电路的设置开关，当Adj0为1时可以设置输出的时间，为0时不能。当Adj1为0时设置小时，为0时设置分钟：Adj1信号和CPU、CPD端相与，输出调节分钟的脉冲信号。~Adj1信号与CPD、CPY端相与，输出调节小时的脉冲信号。

显示屏实现切换：当时钟输出的数字大于十二时，封装电路的AM/FM端输出1，接入显示屏封装后使其显示“下”，小于十二时显示“上”。当set为1即二十四小时制时，TT输入0，即显示屏不显示。

使用多路选择器：当alarm为0时设置时钟，输出为时钟时间和时钟的上下午；为1时设置闹钟，输出为闹钟时间和闹钟的上下午。

当闹钟开关置1时，允许实现闹钟功能，开关信号即信号1输出为1。

当闹钟端和时钟端的时和分相同，即相与都为1时，闹钟信号即信号2输出为1。

当时钟的上下午与闹钟的上下午设定相同时，上下午信号即信号3输出为1。

要求十秒后停止，即当秒的十位不为0时停止，用分离器将秒的十位分为四个二进制数并将四位数相或反，若四个信号都为0，秒信号即信号4输出为1。

当信号1234都为1时，闹钟响。将信号1234和时钟端，一共5个信号相与，使闹钟可以随时钟端闪烁。

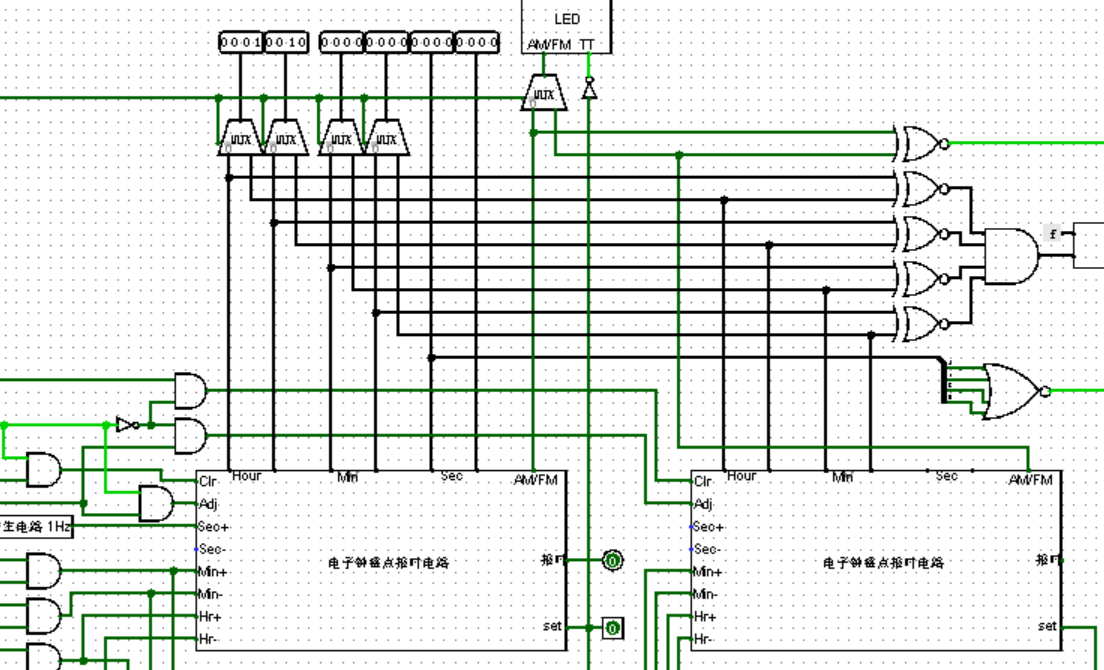


图5-14 闹钟电路

1. **多功能数字钟**

在闹钟的基础上将报时端与时钟端相与，使报时信号能够随时钟端闪烁。

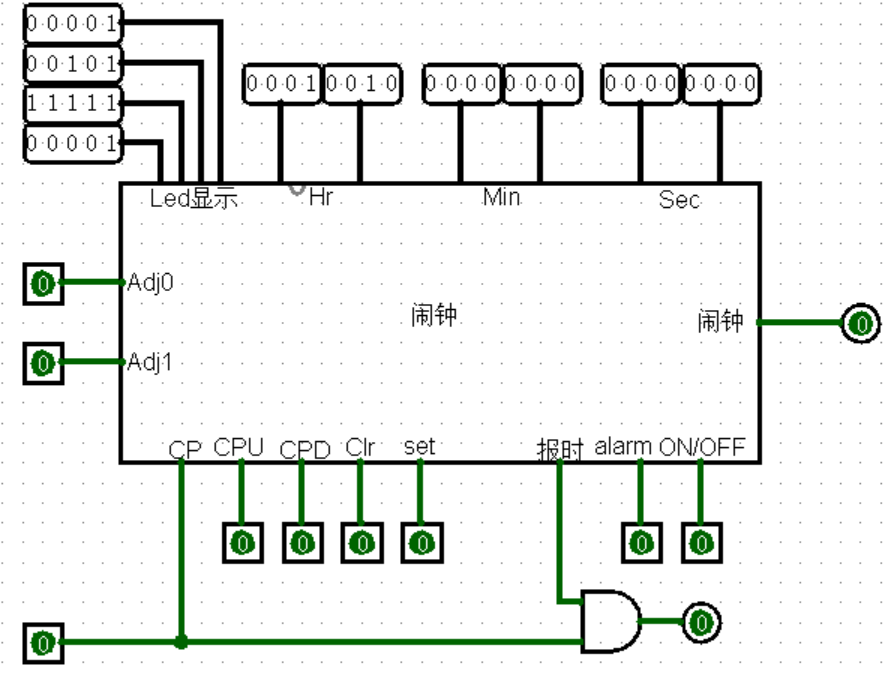


图5-15 数字钟电路

7.实验结果记录

1. **具有校准计数值的六十进制计数器电路测试**

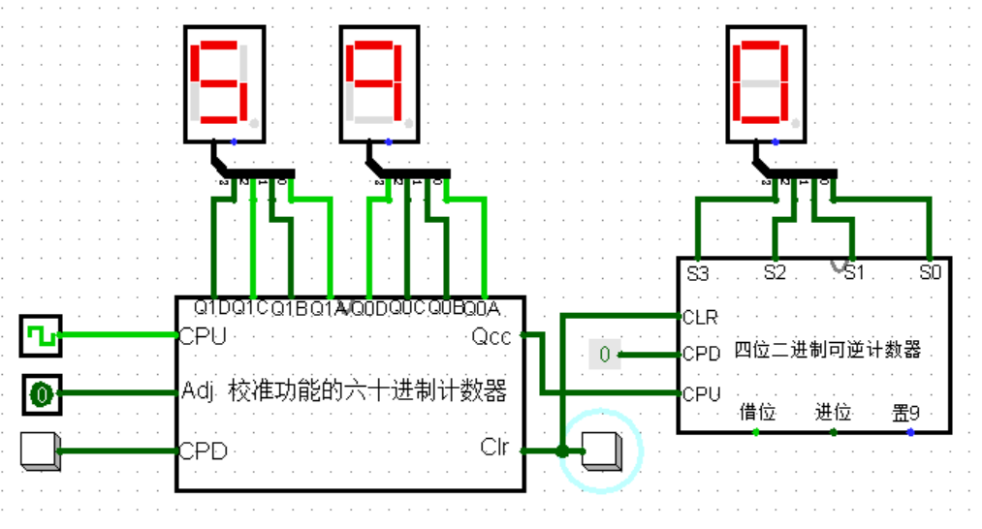


图5-16 59即将进位

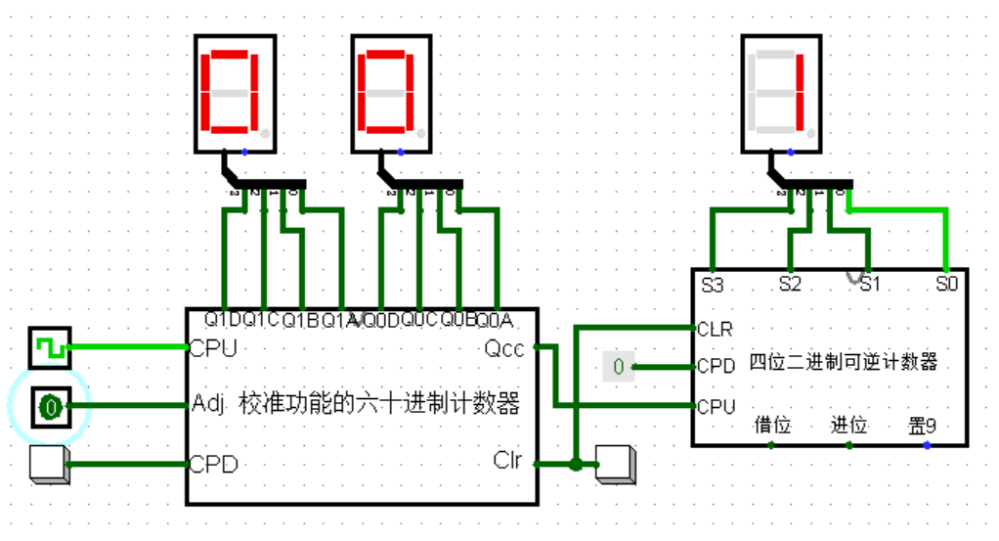


图5-17 满60进位清零

1. **十二进制计数器或二十四进制的计数器电路测试**

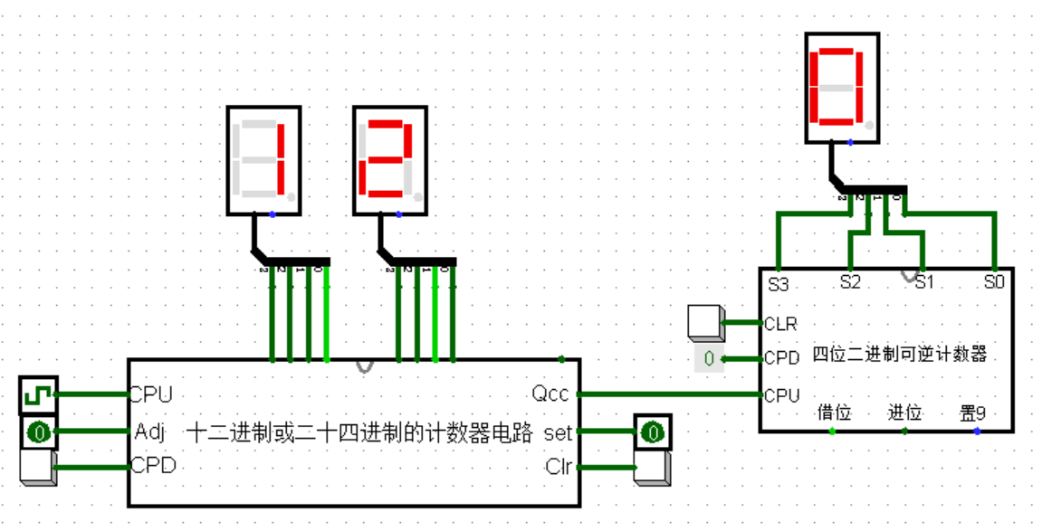


图5-18 十二进制下00显示为12

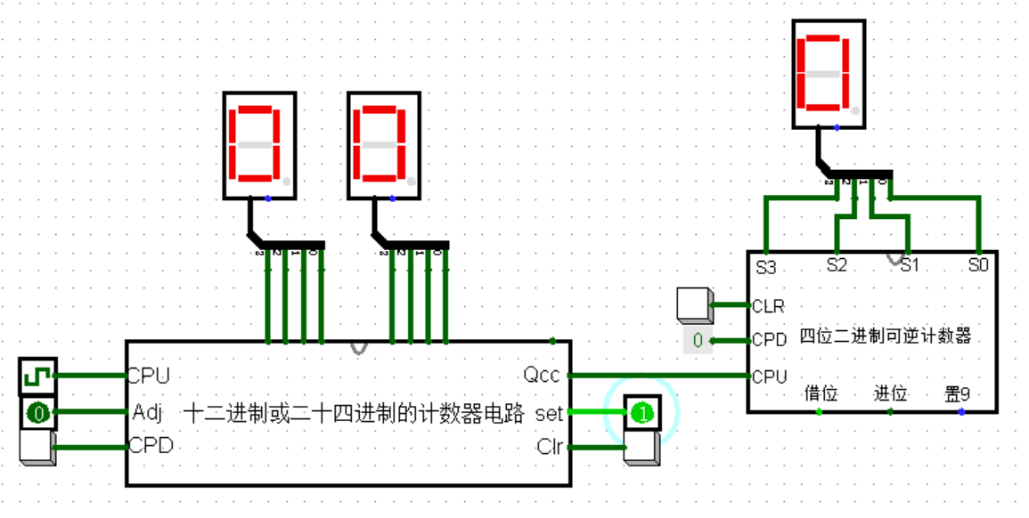


图5-19 二十四进制下00显示为00

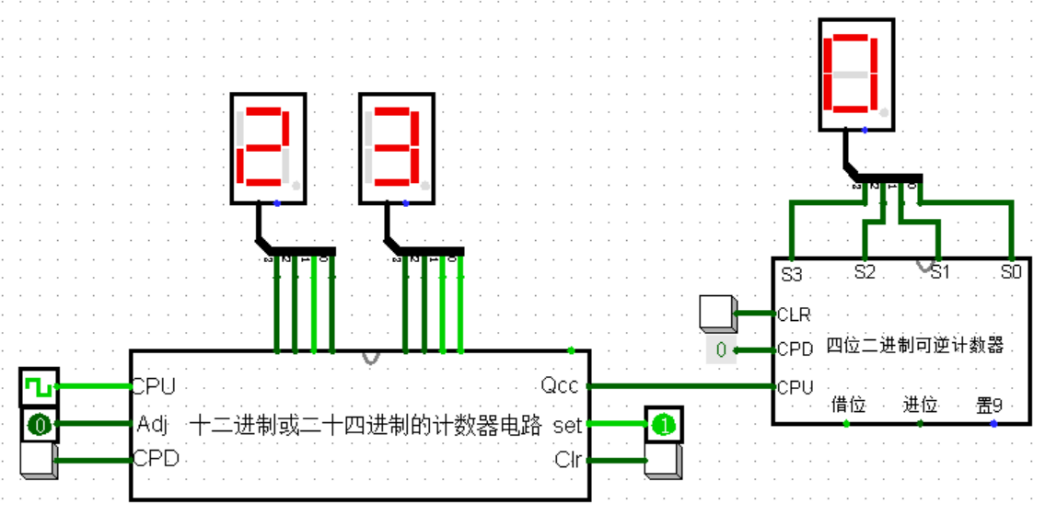


图5-20 二十四进制下即将进位

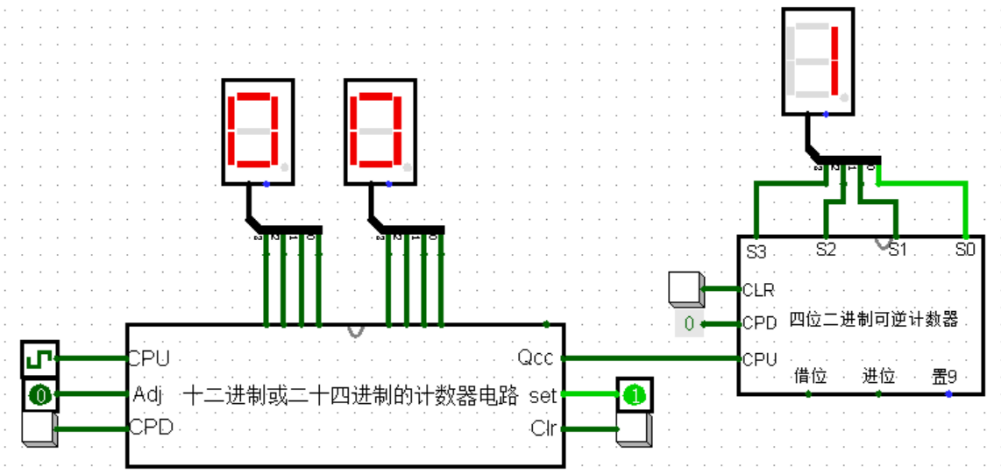


图5-21 二十四进制下满24进位清零

1. **显示“上午”、“下午”的电路测试**

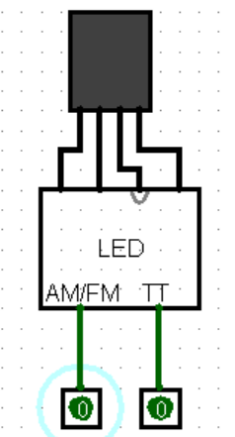


图5-22 不显示

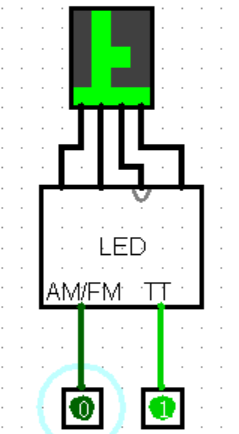


图5-23 显示“上”

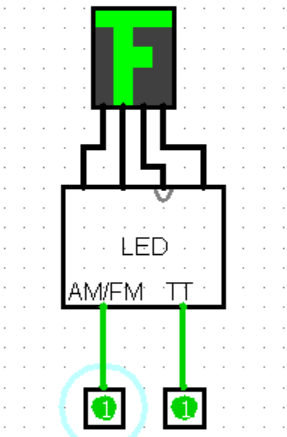


图5-24 显示“下”

1. **电子钟整点报时电路测试**

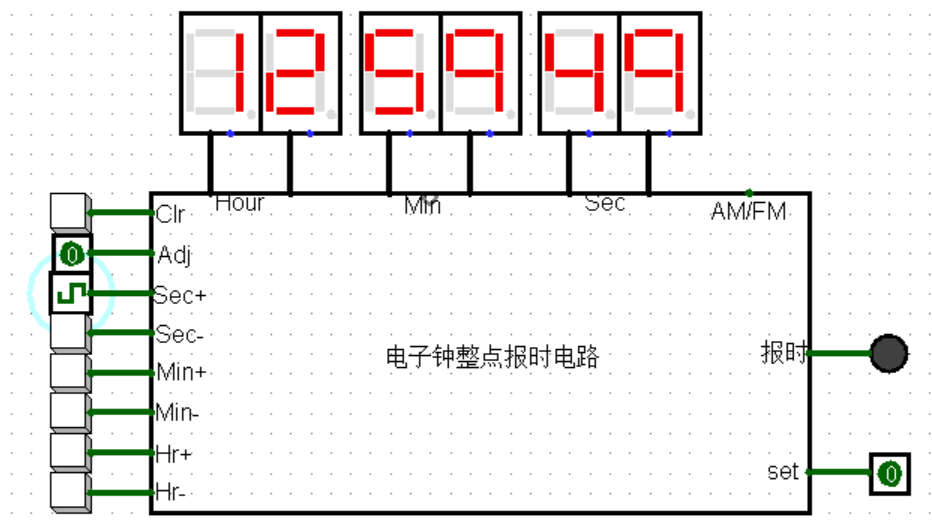


图5-25 59分49秒即将报时

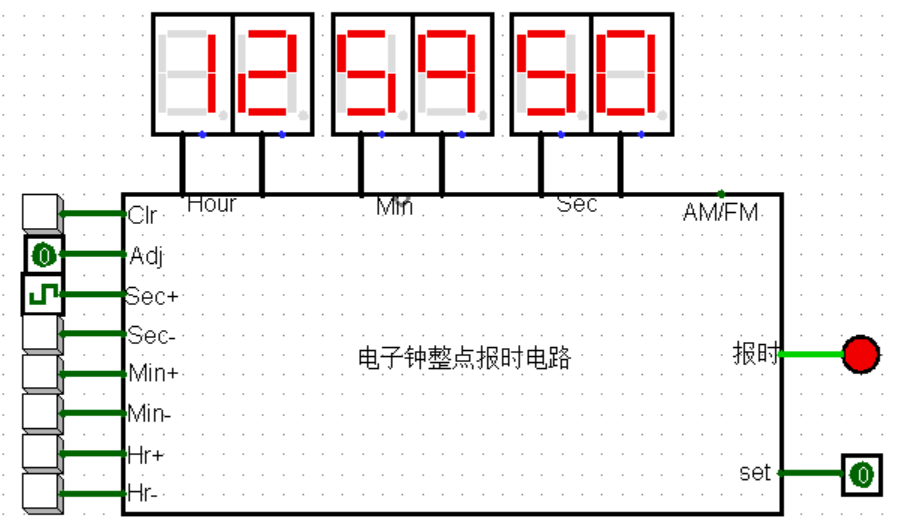


图5-26 59分50秒开始报时

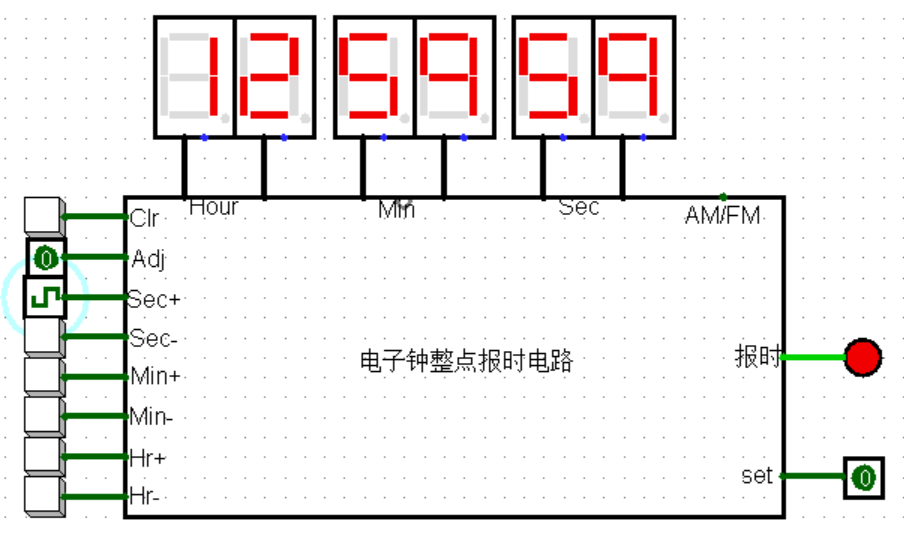


图5-27 报时持续十秒

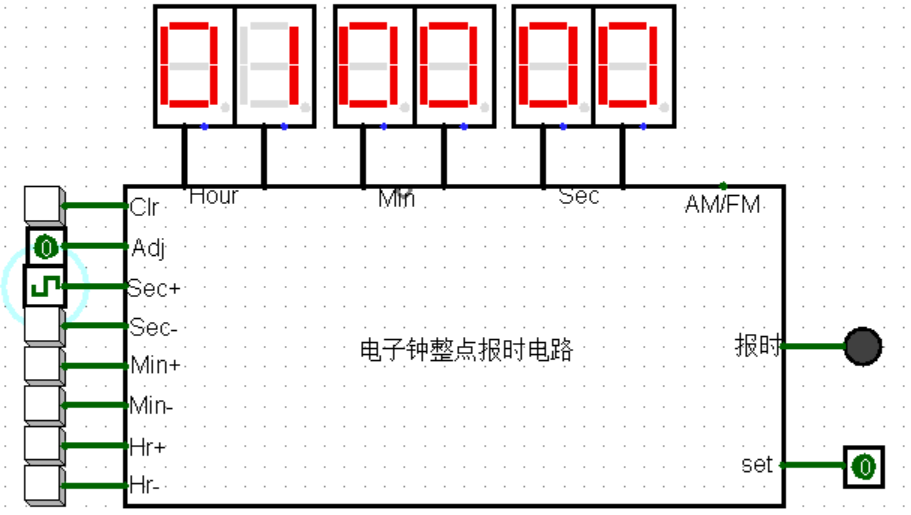


图5-28 整点时停止

1. **闹钟（选做）测试**

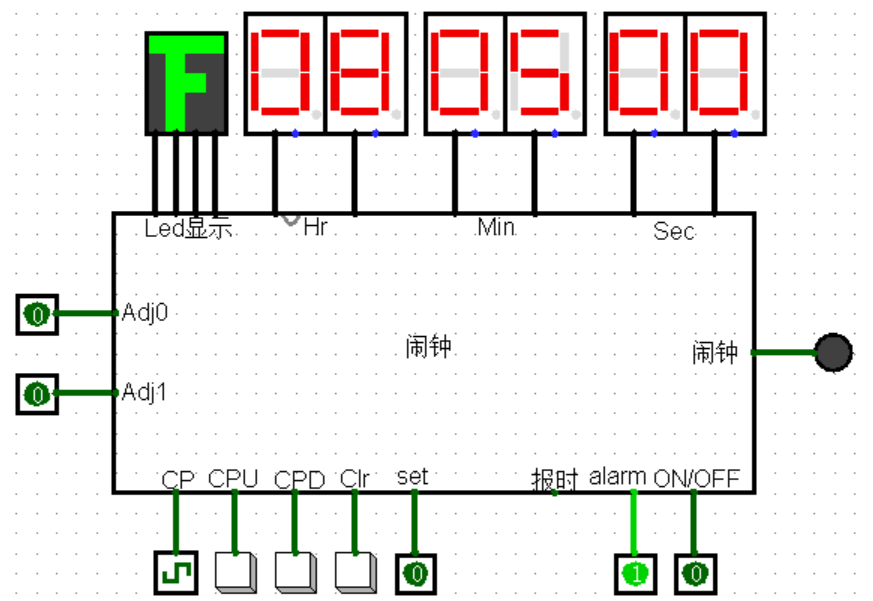


图5-29 设置闹钟为下午8：05

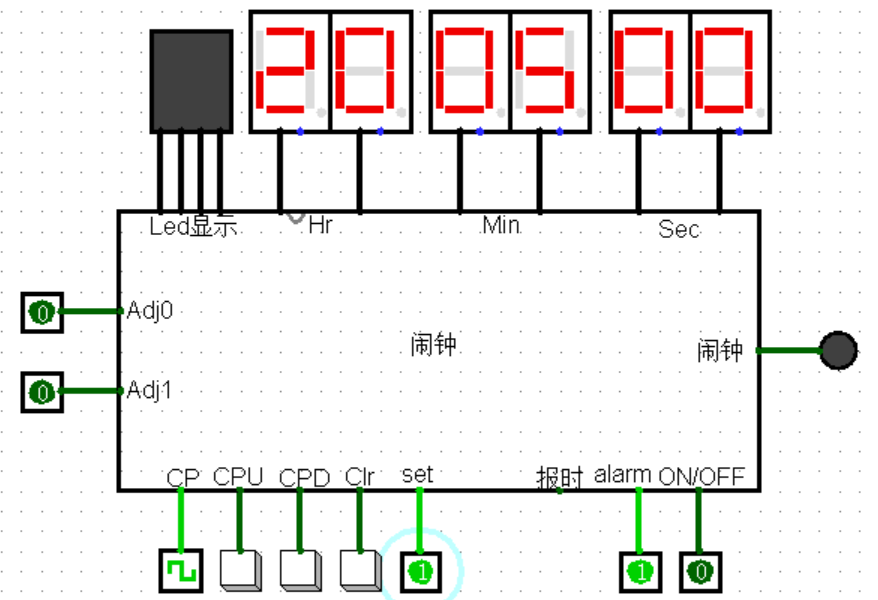


图5-30 闹钟可以进行二十四和十二小时切换

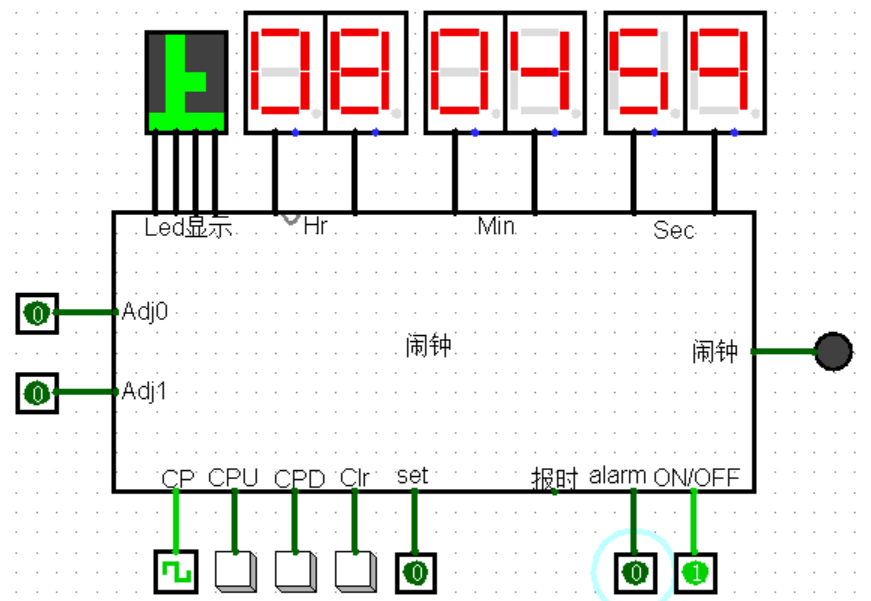


图5-31 即将响铃

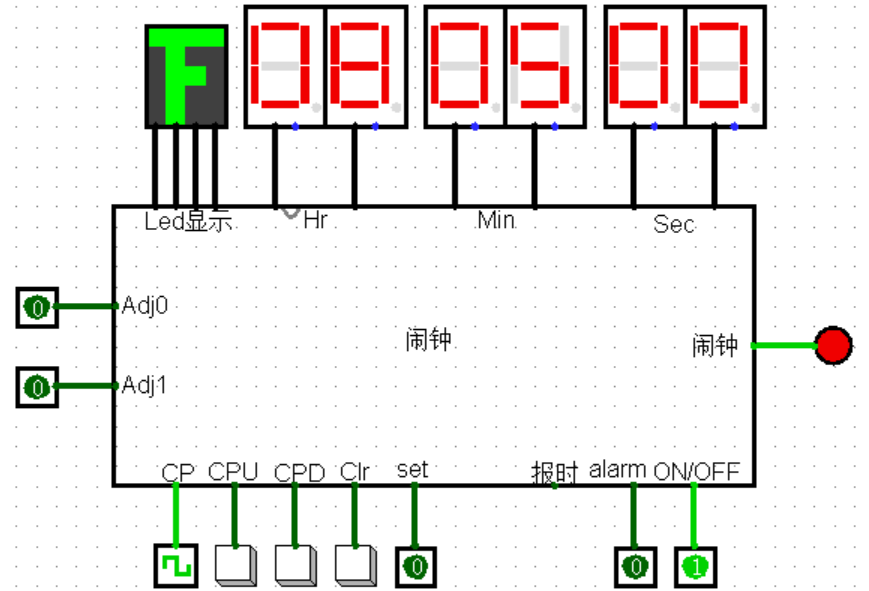


图5-32 到点开始响铃

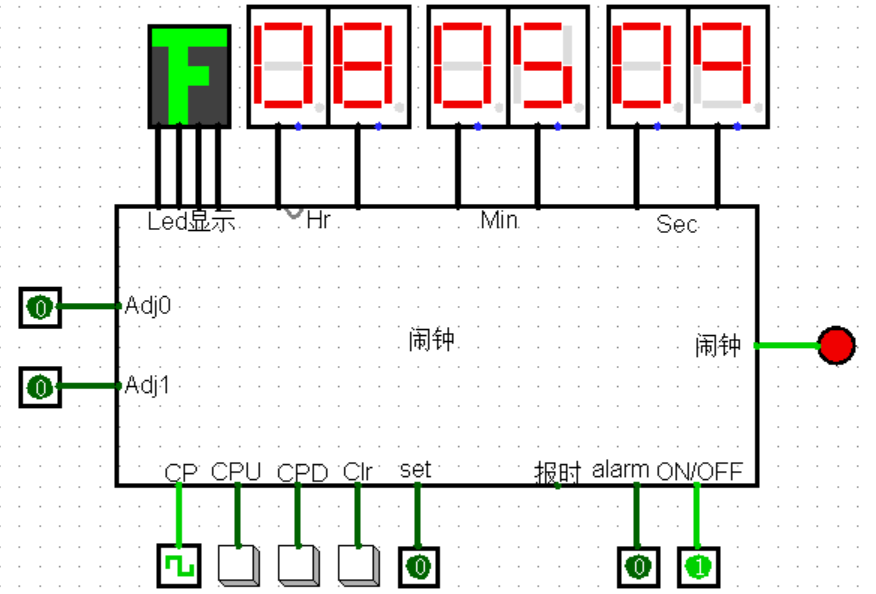


图5-33 响铃持续十秒

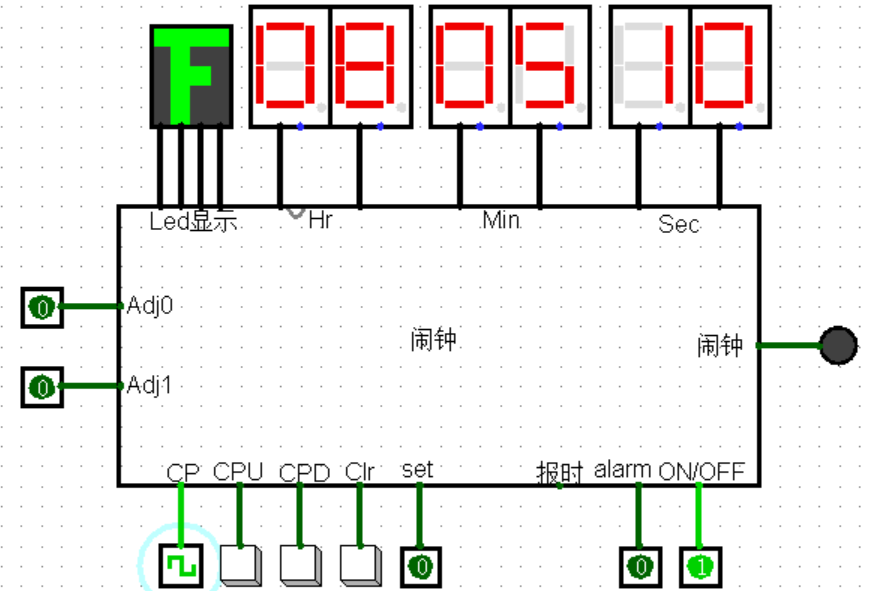


图5-34 十秒后停止

1. **多功能数字钟电路测试**

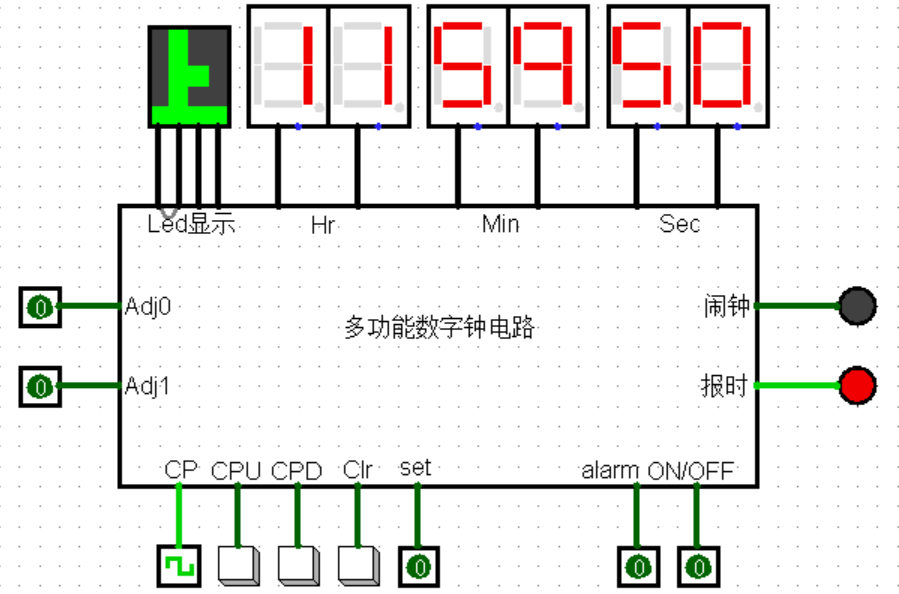


图5-35 11:49:50开始整点报时

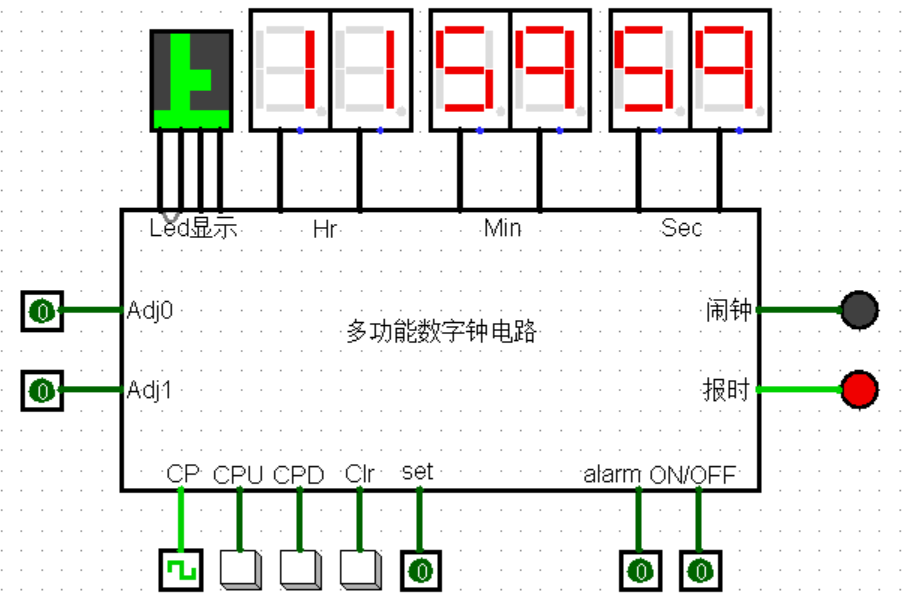


图5-36 持续响铃十秒

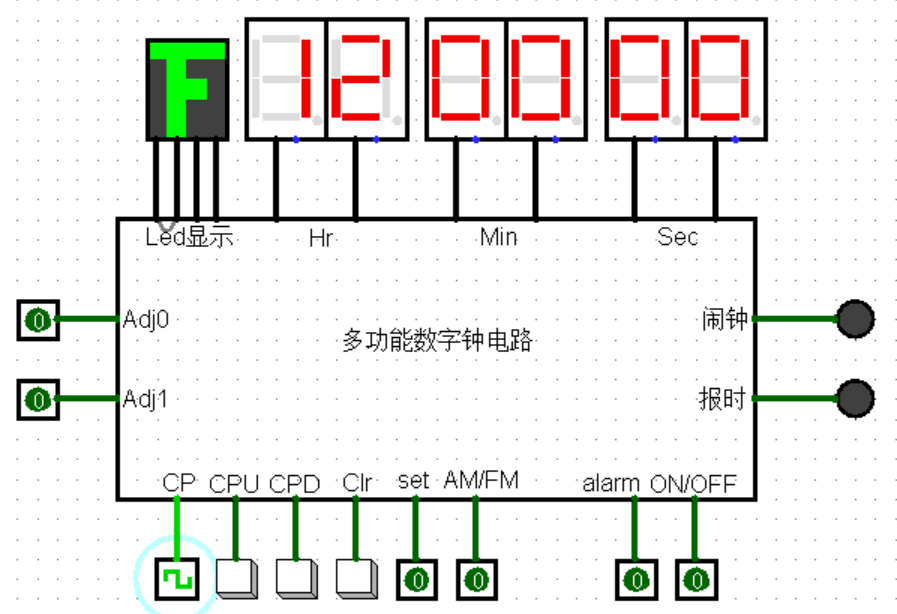


图5-37 持续到十二点报时停止，LED显示“下”

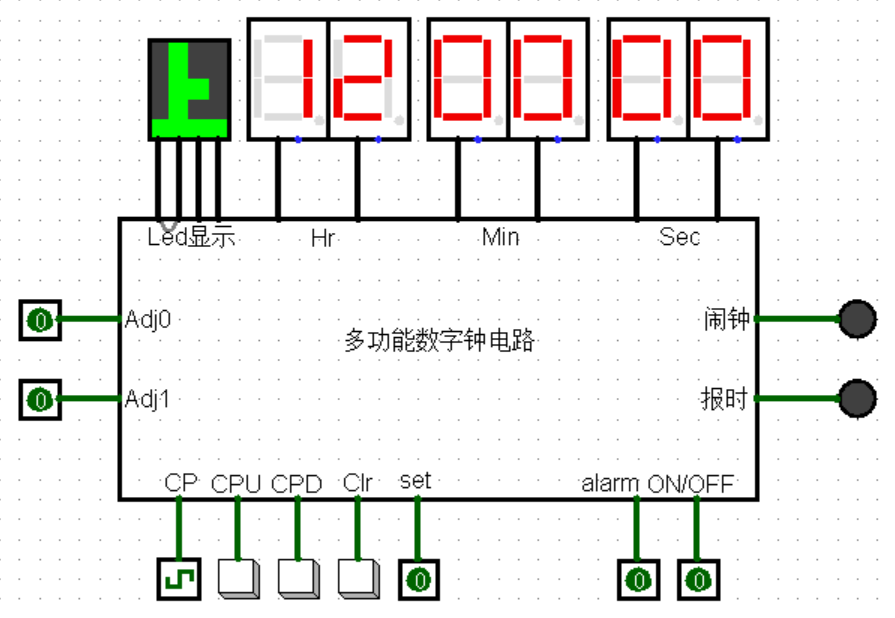


图5-38 十二小时制上午0点的测试电路

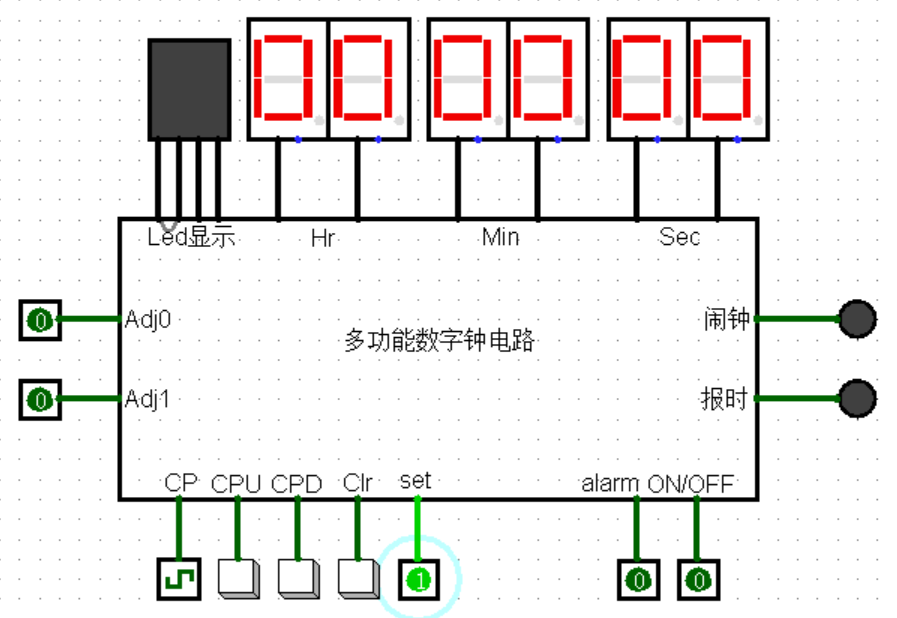


图5-39 二十四小时制上午0点的测试电路

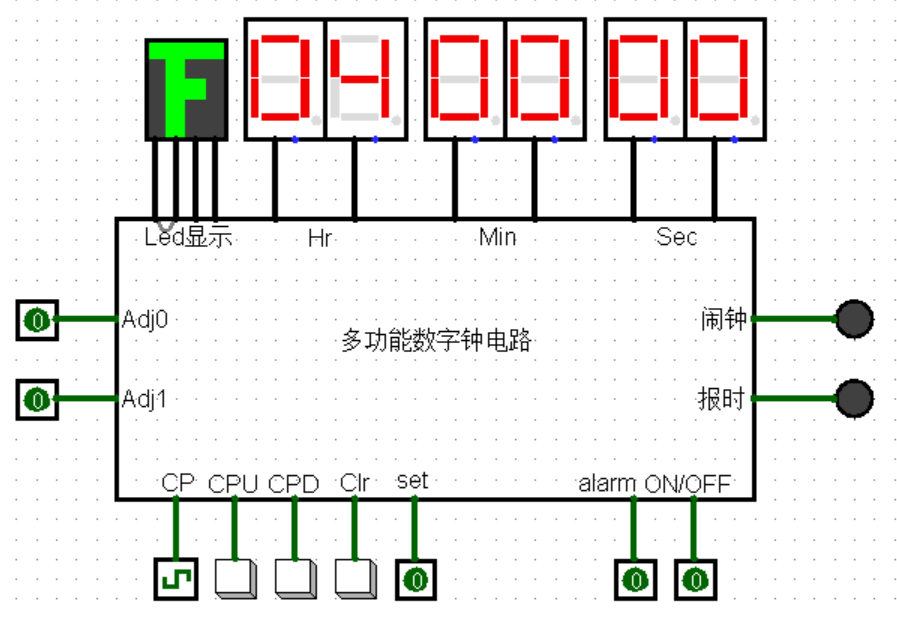


图5-40 十二进制下午四点的测试电路

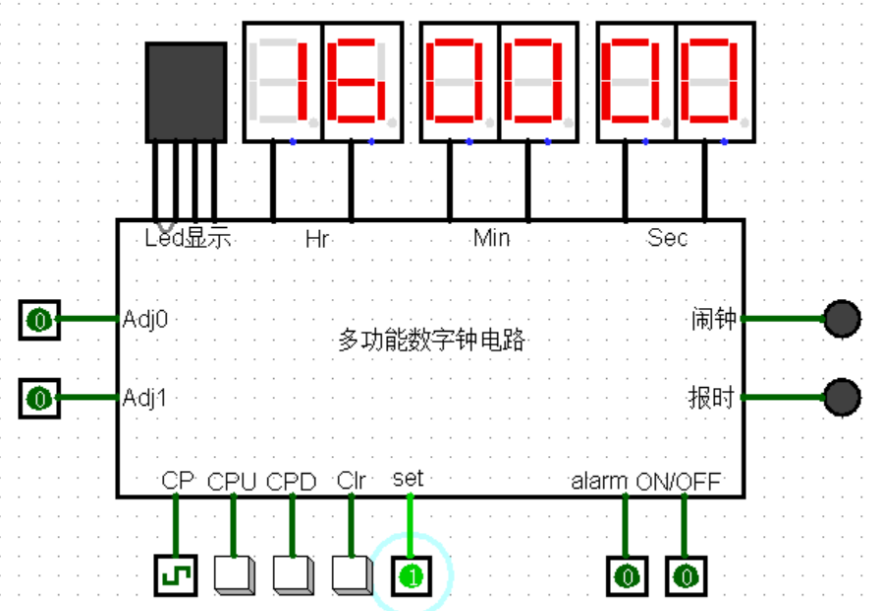


图5-41 二十四进制下午四点的测试电路

8. 实验后的思考

（1）实验的难点在哪些方面？

一、十二进制或二十四进制计数器。

1. 二十四进制计数器和十二进制转化的时候容易出错。
2. 十二进制时只有一到十二点，没有零点。
3. 闹铃和多功能电子钟
4. 闹钟在二十四进制时显示屏不能显示
5. 十二进制的闹钟不仅需要时间的数字相同，上下午也需要相同
6. 闹钟和报时要能闪烁
7. Adj1不同时调节不同的时间单位
8. 十二进制时的时钟和闹钟在小时数从十一点到十二点变化时显示屏要变化

（2）如何解决这些难点？

1. 先要计算出当前小时数的8421码转化为二进制码，再求和12的的差，再将差转换为8421码。当差大于等于0时输出差的8421码
2. 十二进制且当输出为00时用多路选择器强行转化为12
3. 十二进制和二十四进制的切换端需要接在LED显示的TT端，使其子在二十四进制时不显示字
4. 当判断闹铃响的条件时，上下午的信号也需要考虑，时钟和闹钟的AM/FM端输出相同时才能响铃
5. 将闹钟端和报时端和时钟端相与，就能实现闪烁
6. Adj1信号和CPU、CPD端相与，输出调节分钟的脉冲信号。~Adj1信号与CPD、CPY端相与，输出调节小时的脉冲信号
7. 当时钟输出的数字大于十二时，与减法器的borrow out为0时，1接入显示屏的AM/FM端，使其显示“下”，否则接入0