

МИНОБРНАУКИ РОССИИ
Федеральное государственное бюджетное образовательное учреждение
высшего образования
**«САРАТОВСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИМЕНИ Н. Г. ЧЕРНЫШЕВСКОГО»**

ТРИГГЕРЫ

ОТЧЕТ

студента 3 курса 331 группы
направления 10.05.01 — Компьютерная безопасность
факультета КНиИТ
Бородина Артёма Горовича

Проверил
аспирант

А. А. Мартышкин

СОДЕРЖАНИЕ

ВВЕДЕНИЕ	3
Задание 1	4
Задание 2	7
Задание 3	8
Тестовые задания.....	11
ЗАКЛЮЧЕНИЕ	13

ВВЕДЕНИЕ

Целью данной работы служит ознакомление с основными характеристиками интегральных триггеров RS , D , T , JK и их испытание.

Задание 1.

Запустить лабораторный комплекс Labworks и среду MS10. Открыть файл **32.5.ms10**, размещенный в папке **Circuit Design Suite 10.0** среды MS10, или собрать на рабочем поле среды MS10 схему для испытания *асинхронного RS-триггера* и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему на страницу отчета.

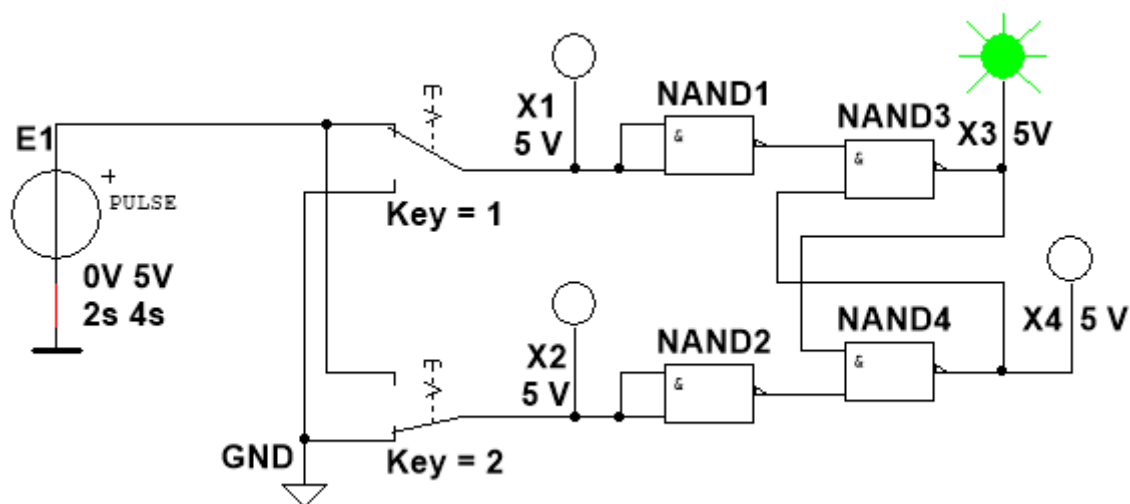


Рисунок 1 – Схема асинхронного RS-триггера.

Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности *RS*-триггера. Убедитесь, что при запрещенном коде 11 входных сигналов на выходе *RS*-триггера могут засветиться оба пробника, или оба не светятся.

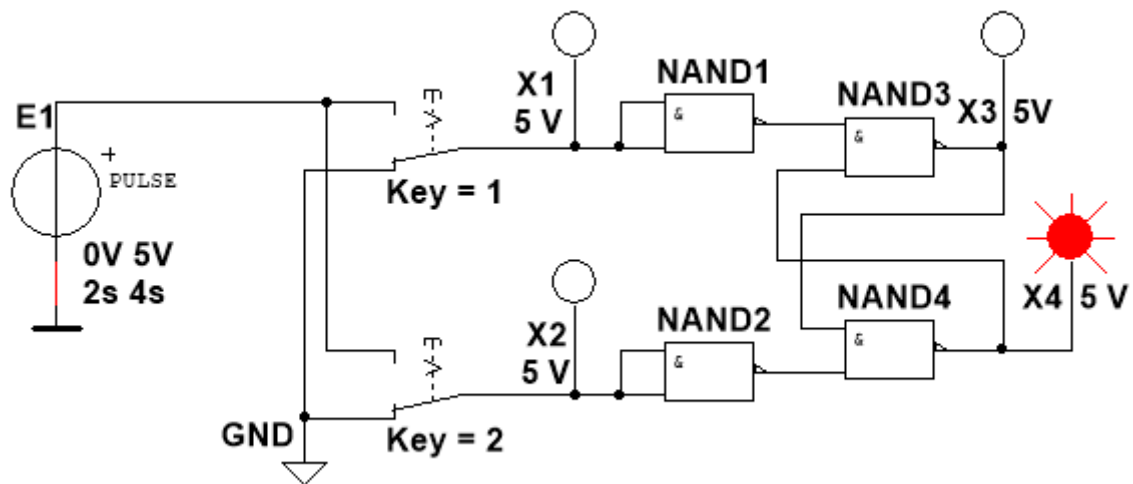


Рисунок 2 – Задание кода 00 состояния ключей.

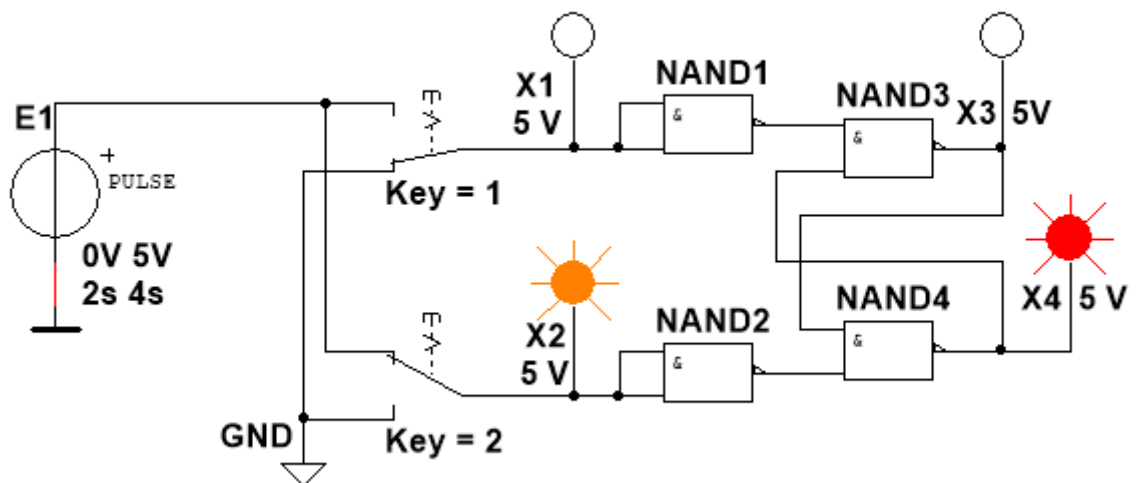


Рисунок 3 – Задание кода 01 состояния ключей.

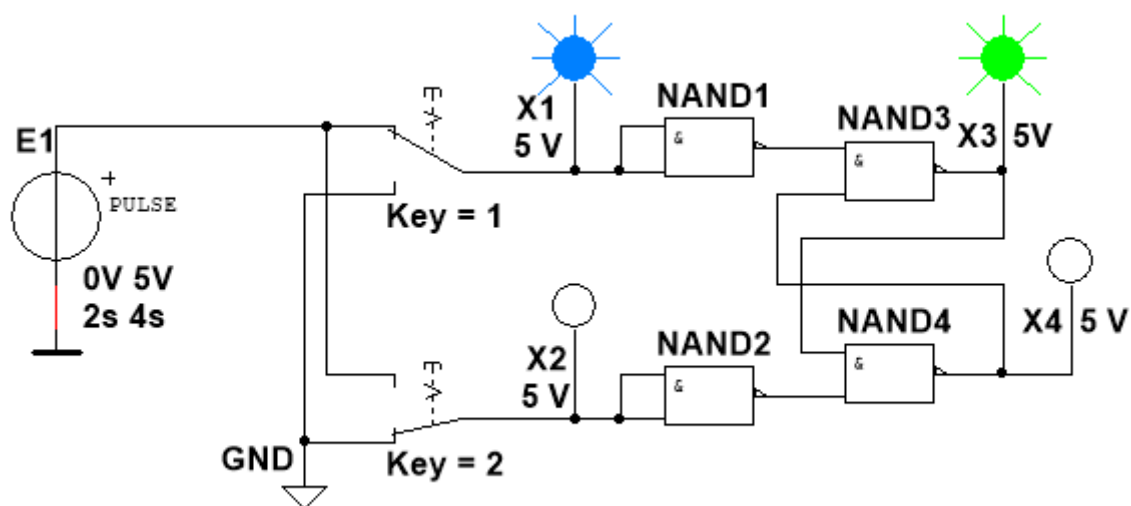


Рисунок 4 – Задание кода 10 состояния ключей.

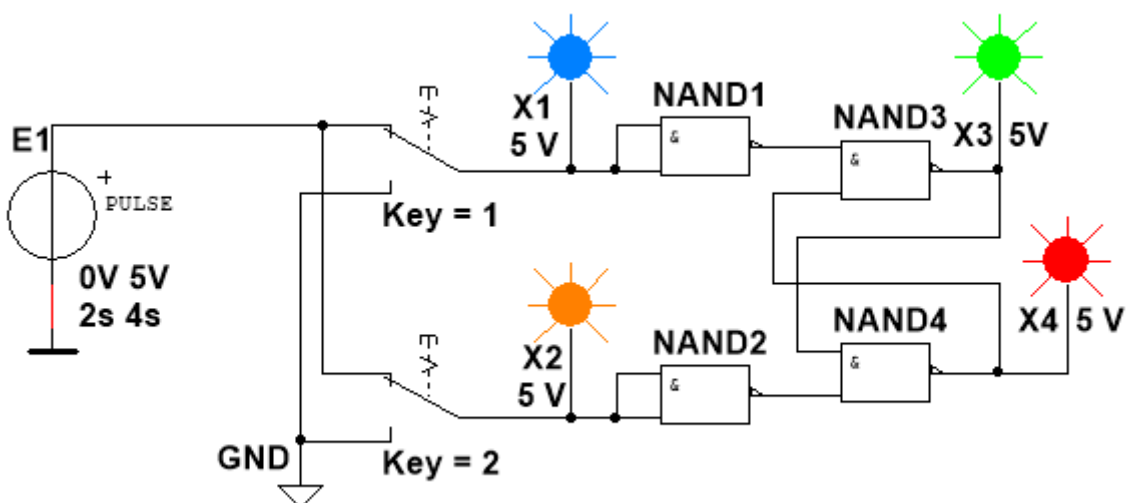


Рисунок 5 – Задание кода 11 состояния ключей.

Составим таблицу истинности RS -триггера.

S	R	Q	\overline{Q}
0	0	1	0
0	1	0	1
1	0	1	0
1	1	1	1

Таблица 1 – Таблица истинности RS -триггера.

Задание 2.

Подключить к входам триггера логический генератор (генератор слова) **XWG1**, запрограммировав его первые три ячейки кодами 00, 10 и 01 и соединив входы и выходы триггера с входами логического анализатора **XLA2**.

В диалоговом окне генератора слова **XWG1** задать частоту $f_T = 10$ кГц и два цикла моделирования сигналов (в режиме **Burst**), а в окне анализатора **XLA2** – частоту $f_a = 0,1$ МГц таймера, уровень высокого напряжения $U_m = 5$ В, число импульсов **Clocks/div** = 8 таймера, приходящихся на одно деление.

Получить на экране анализатора **XLA2** временную диаграмму состояний *RS*-триггера. Скопировать схему испытания и временную диаграмму состояния *RS*-триггера на страницу отчета.

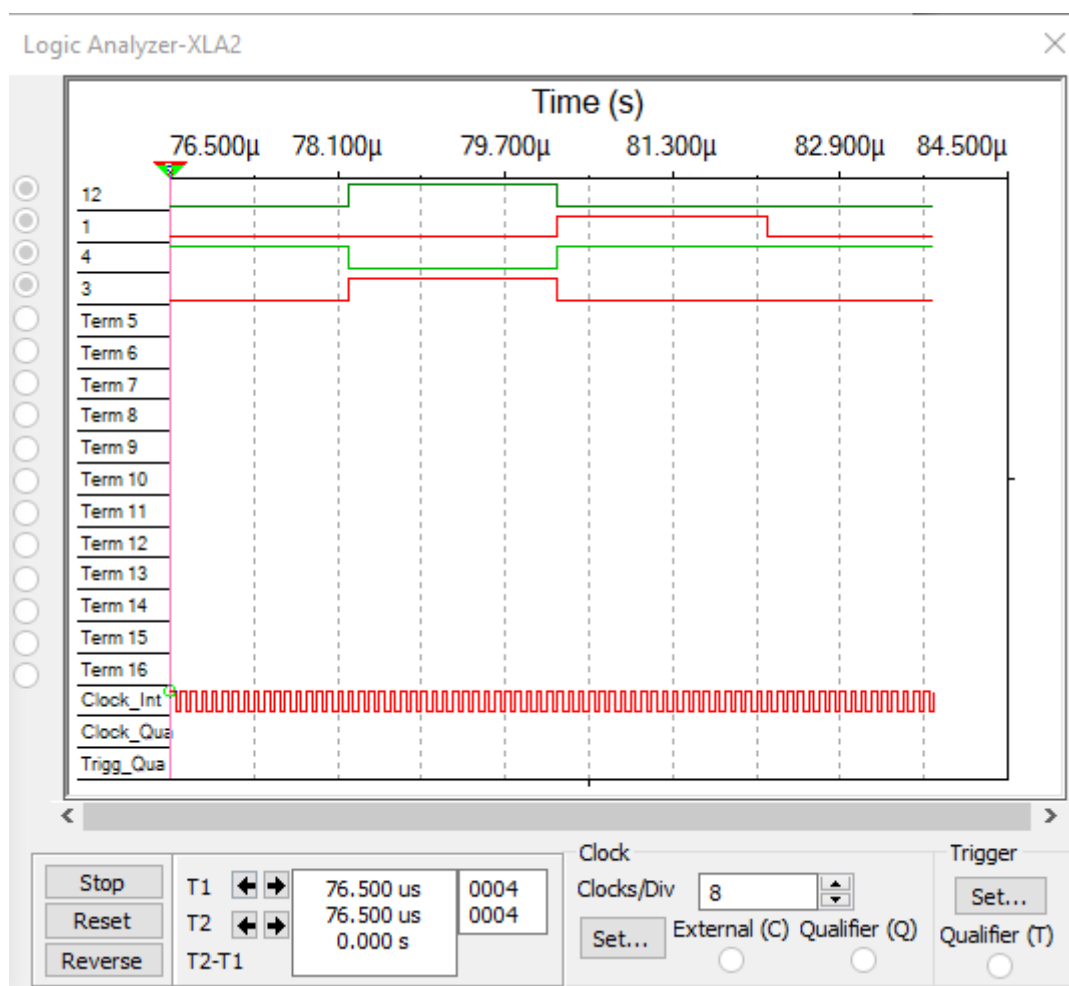


Рисунок 6 – Интерфейс анализатора **XLA2**.

Задание 3.

Открыть файл **32.7.ms10**, размещенный в папке **Circuit Design Suite 10.0** среды MS10, или собрать на рабочем поле среды MS10 схему для испытания триггеров *JK*, *T* и *D* и установить в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему на страницу отчета.

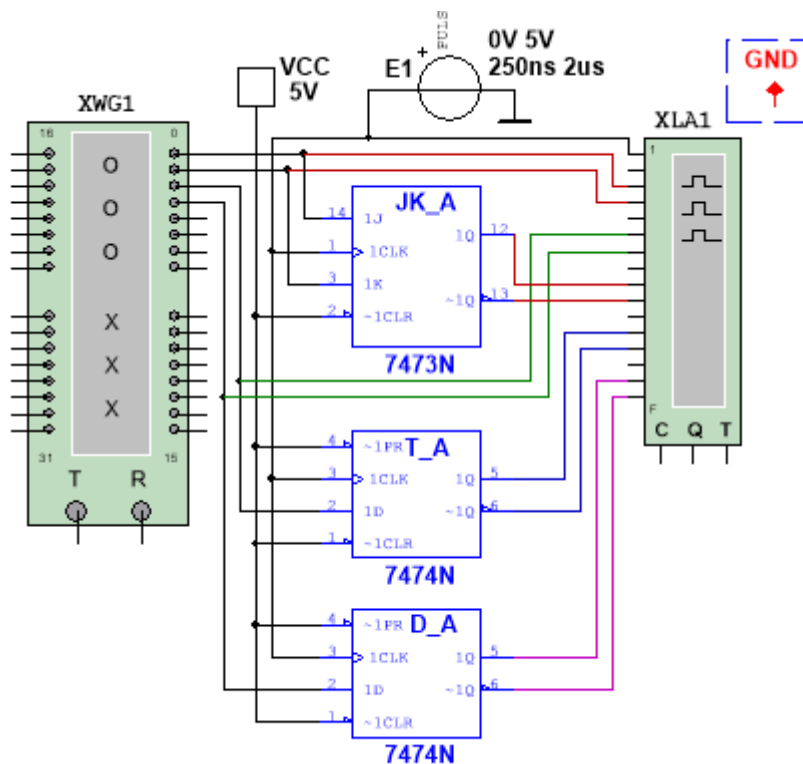


Рисунок 7 – Схема для испытания триггеров *JK*, *T* и *D*.

Провести моделирование работы триггеров в режимах **Step** или **Burst** генератора **XWG1**, скопировать в отчет временные диаграммы, составить и заполнить таблицы истинности работы триггеров **JK**, **T** и **D**.

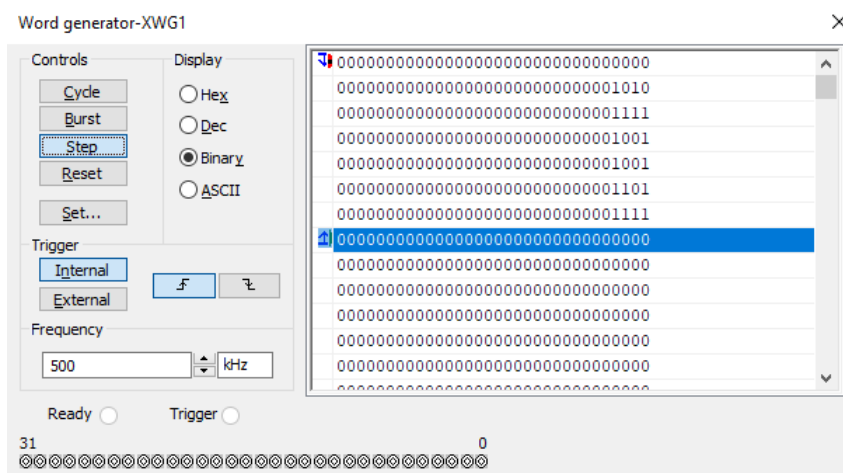


Рисунок 8 – Набор кодовых комбинаций, соответствующих варианту 1.

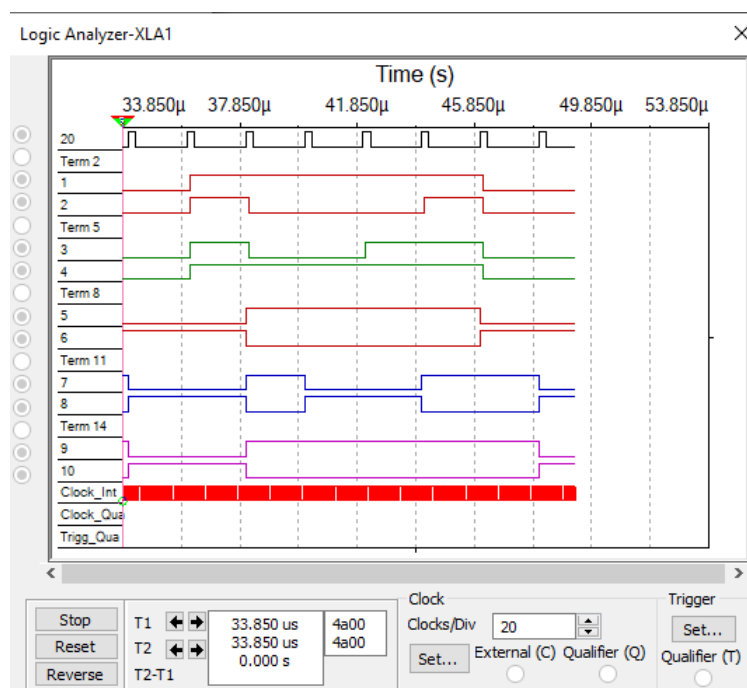


Рисунок 9 – Результат моделирования работы триггеров.

Заполним таблицы истинности работы триггеров **JK**, **T** и **D**:

SEQ_i	Q_{JK}	\overline{Q}_{JK}	Q_T	\overline{Q}_T	Q_D	\overline{Q}_D
0000	0	1	0	1	0	1
1010	0	1	0	1	0	1
1111	1	0	1	0	1	0
1001	1	0	0	1	1	0
1001	1	0	0	1	1	0
1101	1	0	1	0	1	0
1100	0	1	1	0	1	0
0000	0	1	0	1	0	1

Таблица 2 – Таблица истинности работы триггеров JK , T , D при заданных входных комбинациях.

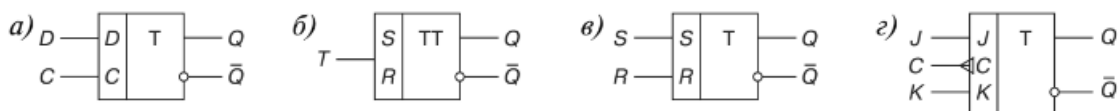
Тестовые задания.

1. Укажите, какая **комбинация** логических сигналов является запрещенной для асинхронного RS-триггера: **11**.

2. Укажите **условное графическое обозначение**:

а) *JK*-триггера – **г**);

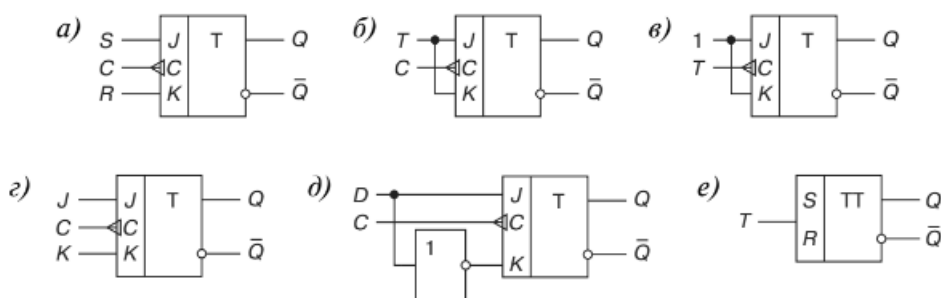
б) *RS*-триггера – **в**);



3. Укажите **условное графическое обозначение**:

а) *T*-триггера, выполненного на основе *JK*-триггера – **б**) (синхронный) и **д**) (асинхронный);

б) *D*-триггера, выполненного на основе *JK*-триггера – **в**);



4. Укажите, нашли ли широкое применение **асинхронные** *D*-триггеры: триггер задержки (**D-триггер**) может быть только синхронным, так как имеет один информационный *D*-вход – нет;

5. Укажите, как **функционирует** *JK*-триггер при комбинации $J = 1, K = 1$ на входе: одновременное присутствие логических единиц на информационных входах не является для *JK*-триггера запрещенной комбинацией; при $J = 1$ и $K = 1$ **триггер работает в счетном режиме**, то есть переключается каждым тактовым импульсом на входе *C*;

6. Укажите **время запаздывания** выходного сигнала по отношению к моменту подачи на *C*-вход *D*-триггера синхроимпульса при тактовой частоте $f = 10$ кГц ($D^t = 1, Q^t = 0$): 0,1 мс;

7. Укажите значение **сигнала на выходе** *JK*-триггера при комбинации $J = 1, K = 0$ на входе и $Q = 1$ после окончания действия синхроимпульса: **1.**;

8. Укажите **аналитическое выражение**, описывающее работу:

а) RS -триггера: $Q^{t+1} = S + Q^t \bar{R}$;

б) JK -триггера: $Q^{t+1} = \bar{K}^t Q^t + J^t \bar{Q}^t$;

в) T -триггера: $Q^{t+1} = Q^t \bar{T} + \bar{Q}^t T$;

г) D -триггера: $Q^{t+1} = \bar{C}^t Q^t + C^t Q^t$;

9. Укажите, чем отличается **динамическое управление** триггерами от статического управления: у триггеров с динамическим управлением сигналы на информационных входах должны оставаться неизменными на всем интервале действия активного логического сигнала синхронизации ($C = 1$);

10. Укажите **уровни напряжения** интегральных микросхем триггеров серии ТТЛ, принимаемые за логическую 1 и логический 0 при напряжении питания $U_n = 5 \text{ В}$: $2,4 \text{ В} < U^1 < 5 \text{ В}$; $0 < U^0 < 0,4 \text{ В}$;

11. Укажите, к какому **типу** триггеров относят T -триггеры: к **синхронным**.

ЗАКЛЮЧЕНИЕ

В ходе лабораторной работы мы ознакомились с основными характеристиками интегральных триггеров RS , D , T и JK и испытали их на практике.