

**本科实验报告**

课程名称： 计算机组成原理实验

课程编号： 08060038

学生姓名： 邝庆璇

学号： 2016051598

学院： 信息科学与技术学院

系： 计算机系

专业： 计算机科学与技术

指导教师： 王传胜 梁倬骞

教师单位： 暨南大学计算机系

开课时间：2019~ 2020学年度 第1期

**暨南大学教务处**

**2019年12月05日**

数字逻辑实验 **课程实验项目目录**

学生姓名：邝庆璇 学号：2016051598

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 序号 | 实验项目编号 | 实验项目名称 | \*实验项目类型 | 成绩 | 指导教师 |
| 1 | **0806003801** | **验证逻辑门** | **验证** |  | **王传胜 梁倬骞** |
| 2 | **0806003802** | **基本逻辑门电路之间的转换** | **验证** |  | **王传胜 梁倬骞** |
| 3 | **0806003803** | **超前进位全加器** | **验证** |  | **王传胜 梁倬骞** |
| 4 | **0806003804** | **译码器** | **验证** |  | **王传胜 梁倬骞** |
| 5 | **0806003805** | **数字比较器** | **验证** |  | **王传胜 梁倬骞** |
| 6 | **0806003806** | **七段数码管** | **验证** |  | **王传胜 梁倬骞** |
| 7 | **0712000807** | **触发器** | **验证** | **90** | **王传胜 梁倬骞** |
| 8 | **0712000808** | **计数器** | **验证** | **90** | **王传胜 梁倬骞** |
| 9 | **0712000809** | **寄存器** | **验证** | **87** | **王传胜 梁倬骞** |
| 10 | **0712000810** | **时序逻辑电路综合设计** | **验证** | **90** | **王传胜 梁倬骞** |
| 11 | **0712000811** | **VGA控制器** |  |  | **王传胜 梁倬骞** |
| 12 |  |  |  |  |  |
| 13 |  |  |  |  |  |
| 14 |  |  |  |  |  |
| 15 |  |  |  |  |  |
| 16 |  |  |  |  |  |
| 17 |  |  |  |  |  |
| 18 |  |  |  |  |  |

\*实验项目类型：演示性、验证性、验证性、设计性实验。

\*此表由学生按顺序填写。

**暨南大学本科实验报告专用纸**

课程名称 数字逻辑实验 成绩评定

实验项目名称 Verilog门级建模 指导教师 王传胜 梁倬骞

实验项目编号 0806003801 实验项目类型 验证 实验地点 N126

学生姓名 邝庆璇 学号 2016051598

学院 信息科学技术 系 计算机科学 专业 计算机科学与技术

实验时间 2019 年 10 月 14 日 上 午

一、实验目的

1、学会使用Verilog HDL进行门级建模；

2、初步学会怎么用Verilog HDL编写仿真程序；

3、初步学会怎么使用Vivado软件；

4、初步学会验证基本逻辑门的逻辑功能的方法；

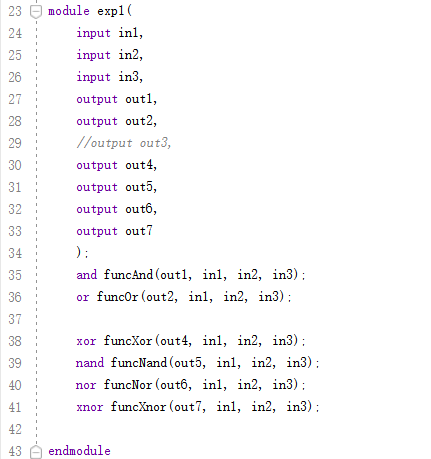
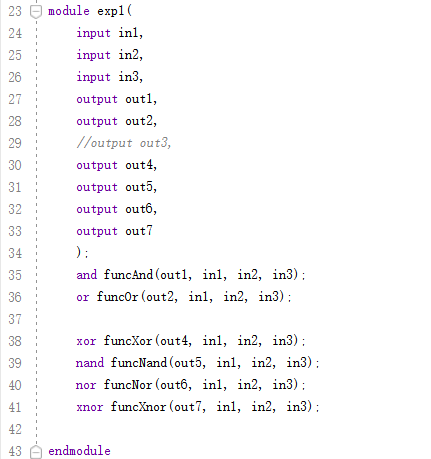
5、初步学会验证怎么使用EG0-1实验板。

二、实验内容

编写Verilog程序，验证3输入的与门、与非门、或门、或非门、异或门、同或门

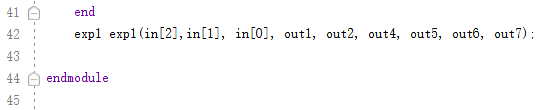
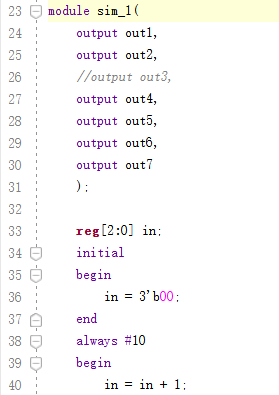
三、实验程序

exp1.v



四、仿真程序

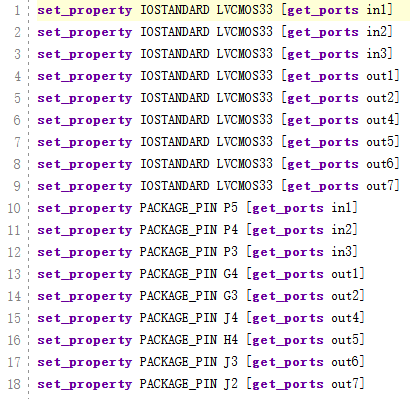
sim\_1.v



五、仿真结果

六、系统网表

七、系统约束



八、实验结果

九、实验体会