

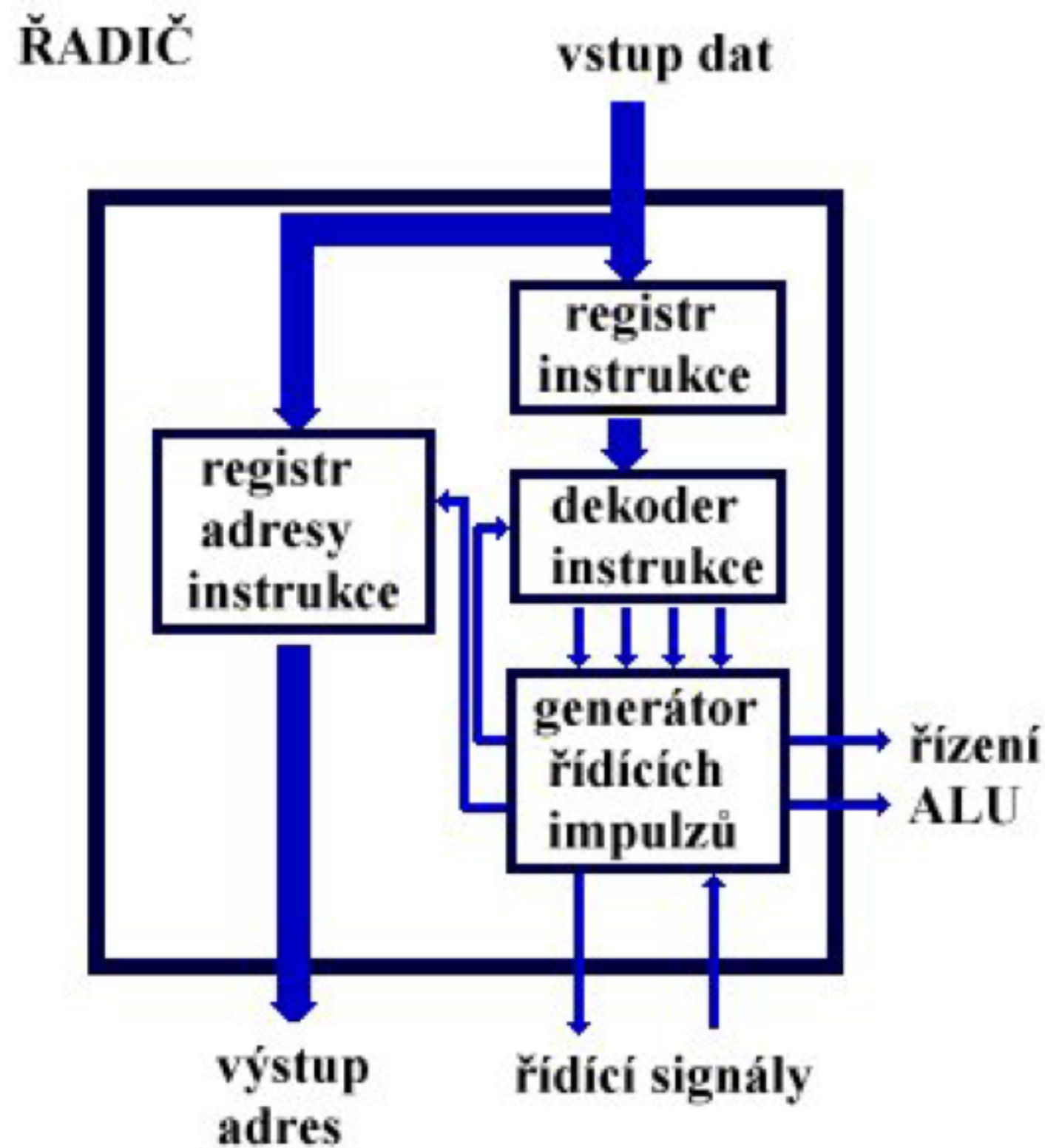
Procesory

Mgr. Rostislav Fojtík, PhD.
Katedra informatiky a počítačů
Přírodovědecká fakulta
Ostravská univerzita v Ostravě

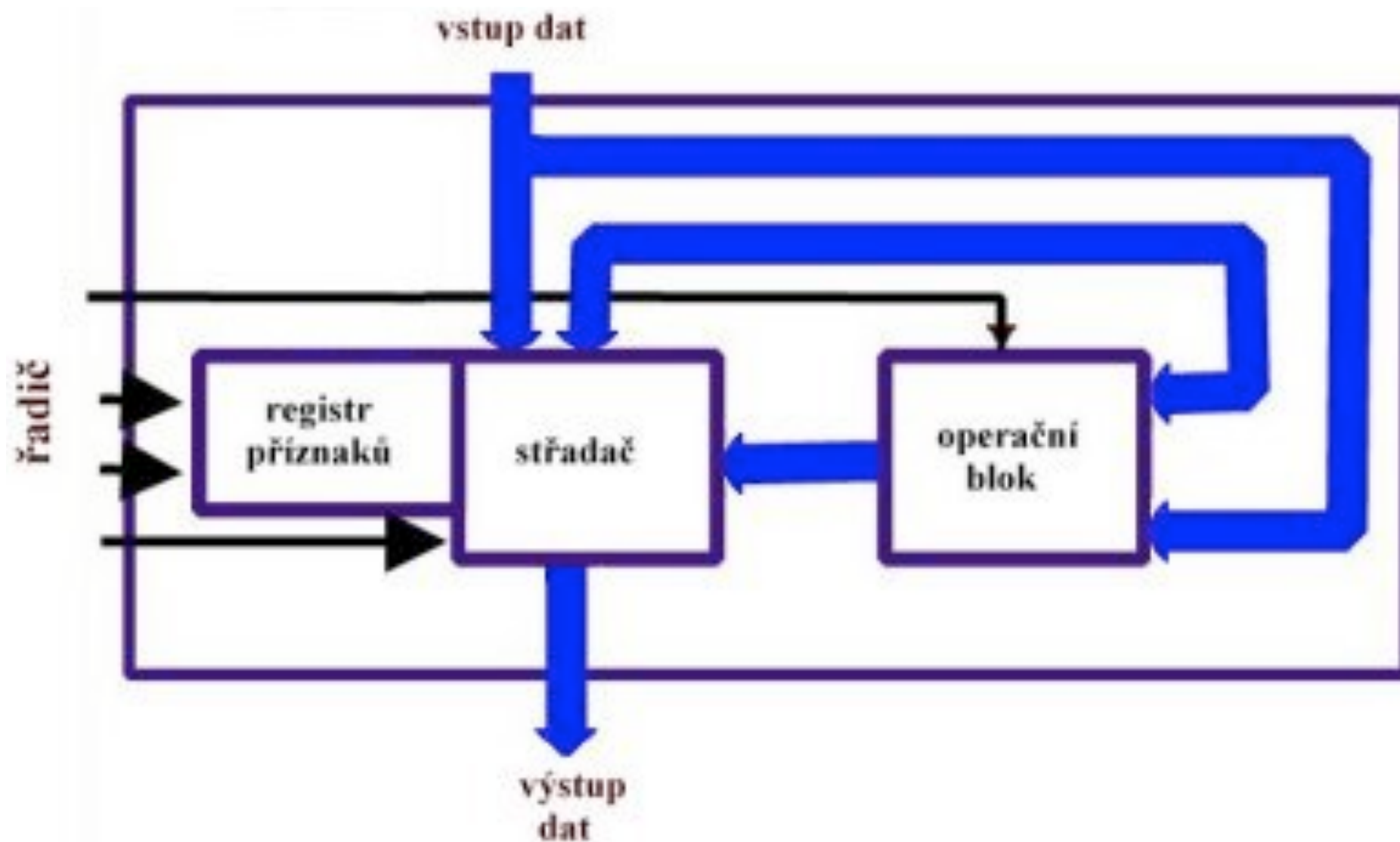
Řadič

- určuje pořadí, ve kterém jsou prováděny instrukce
- dekoduje instrukce a případně je modifikuje
- vysílá do ostatních částí počítače řídicí signály potřebné pro provádění instrukcí

Řadič



Aritmeticko-logická jednotka



Typy procesorů

- MCU (Micro Controller Unit)
- CPU (Central Processor Unit)
- DSP (Digital Signal Processor)

Typy procesorů

- CISC (*Complete Instruction Set Computing*)
 - plná instrukční sada
 - mikrokód
- RISC (*Reduced Instruction Set Computing*)
 - redukováná instrukční sada
 - instrukce řešeny obvodově

Historie mikroprocesorů

- i4004 - Intel 1971, 4 bitový
- i8080 - 8 bitový, adresace 64 KB paměti
- i8086 - 16 bitový, 29 000 tranzistorů

i8086

- Pracoval ve dvou režimech:
 - minimální (jako i8080)
 - maximální - adresace 1 MB paměti
- Bus Interface Unit, Execution Unit
- 14 registrů (16b)
 - AX, BX, CX, DX
 - SP, BP, SI, DI
 - CS, DS, SS, ES
 - IP, F

i80386

- 32 bitový režim
- adresace paměti $2^{32} \Rightarrow 4 \cdot 10^9 \text{ B} = 4 \text{ GB}$
- real mode
- protected mode

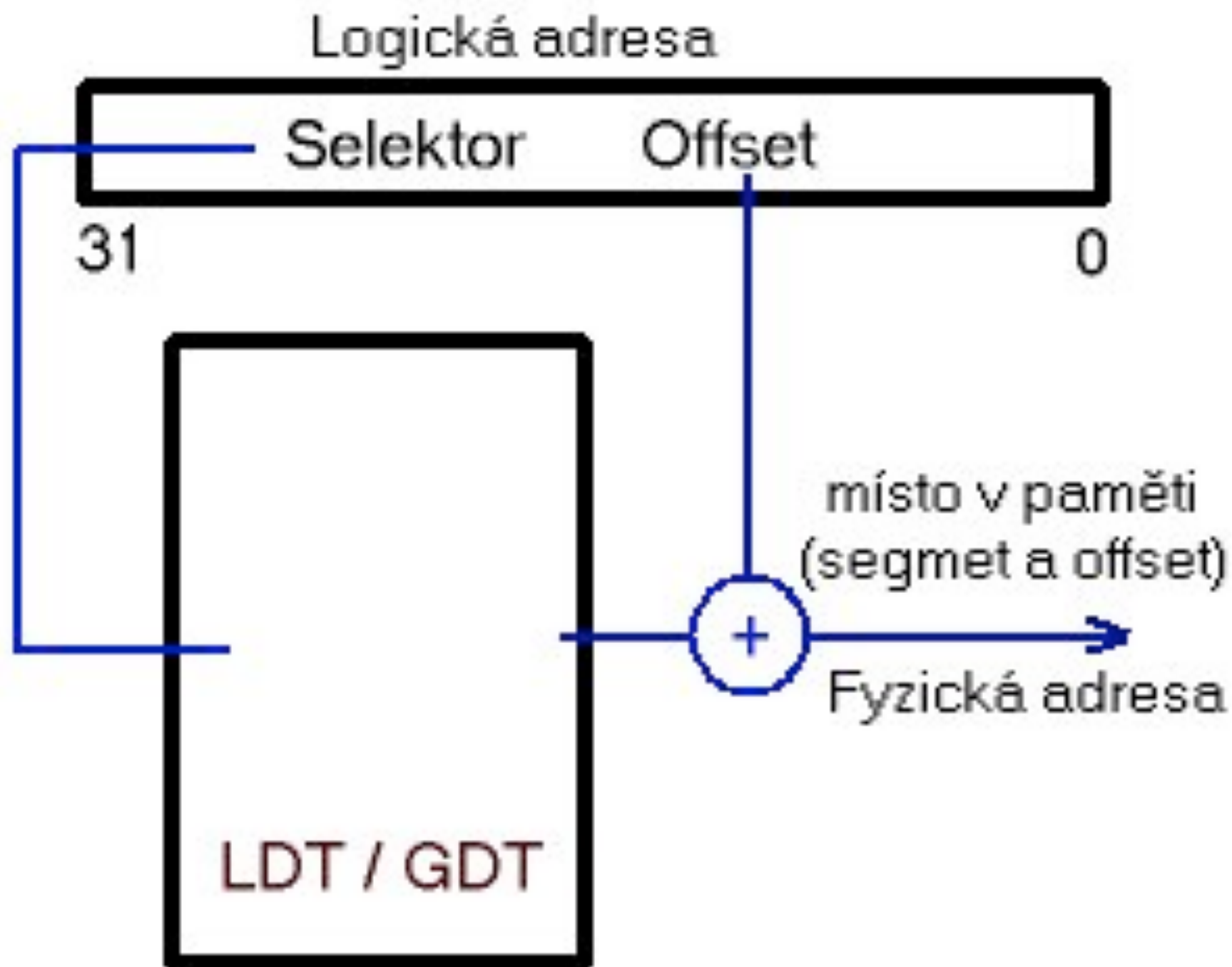
Real mode i80386

- Využívá jen 20 adresovacích vodičů $\rightarrow 2^{20}$
 \Rightarrow 1 MB paměti
- fyzická adresa = (segmentová adresa * 16)
+ (offsetová adresa)

Protected mode i80386

- Využívá jen 32 adresovacích vodičů $\rightarrow 2^{32}$
 \Rightarrow 4 GB paměti
- GDT - globální tabulka deskriptorů
- LDT - lokální tabulka deskriptorů
- IDT - tabulka deskriptorů přerušení
- multitasking
- swapping

Protected mode i80386



FPU

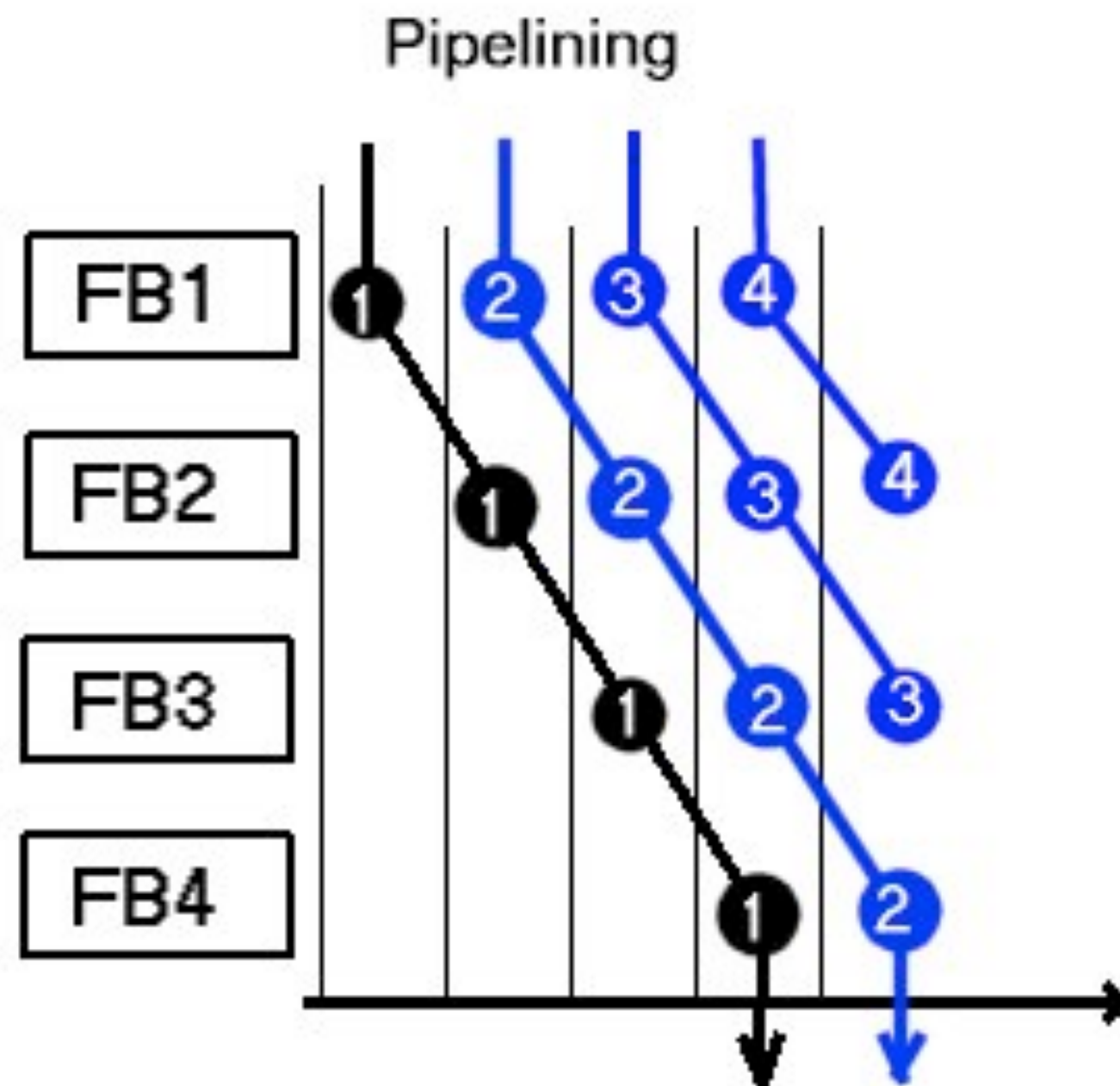
- Jednotka pro výpočty s čísly s pohyblivou řadovou čárkou
- i80 486

Kombinace RISC a CISC

- Jádru procesoru RISC
- Vůči okolnímu systému se tváří procesor jako CISC
- Dekodér - dekóduje CISC instrukce na RISC mikroinstrukce jádra

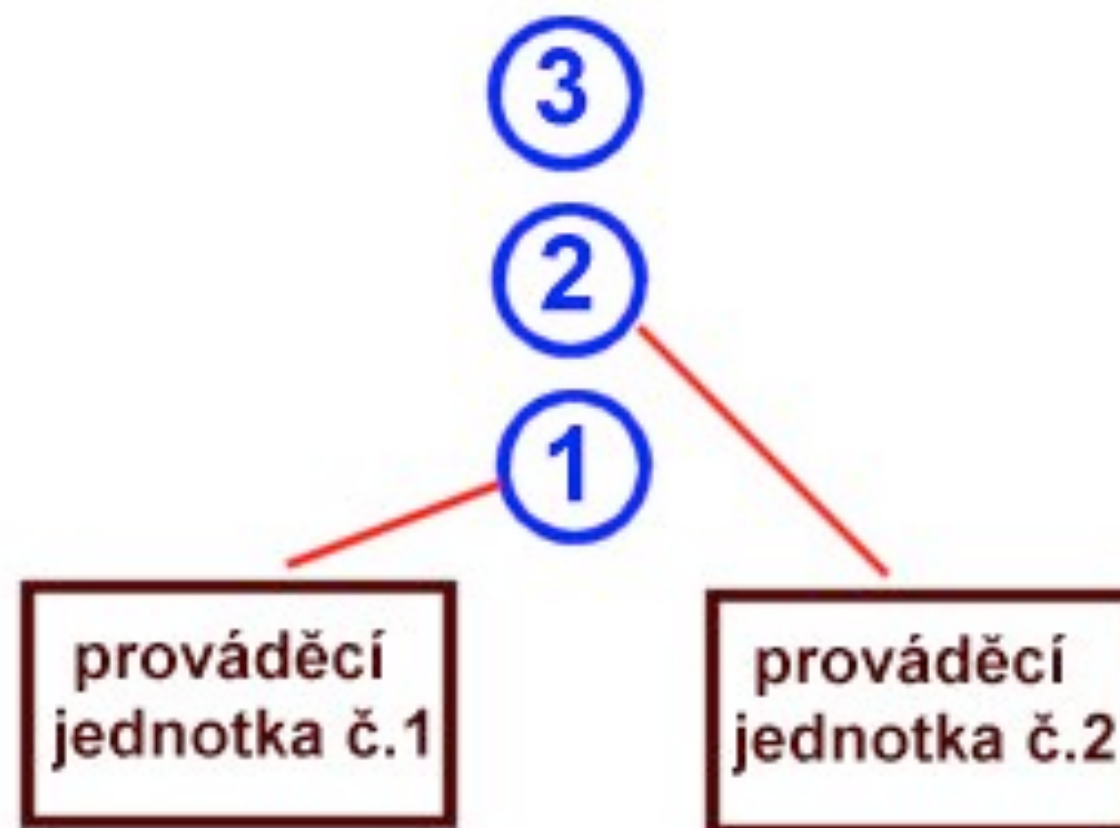
Pipelining

- Zřetěžené zpracování instrukcí



Superskalární architektura

- Více prováděcích jednotek - více instrukcí najednou



Out - of - order

- Provádění instrukcí v jiném pořadí než je v instrukční frontě

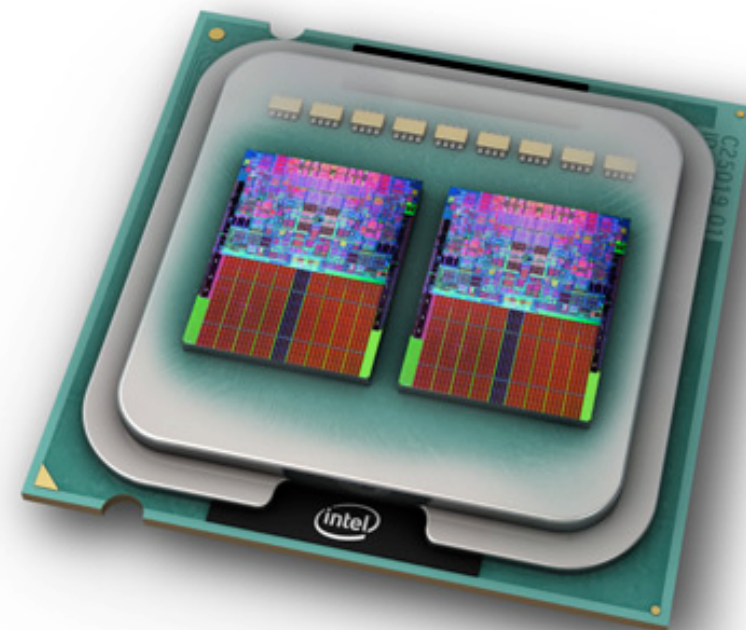
Speculative execution

- spekulativní provádění instrukcí - např.
odhad vyhodnocení podmínky

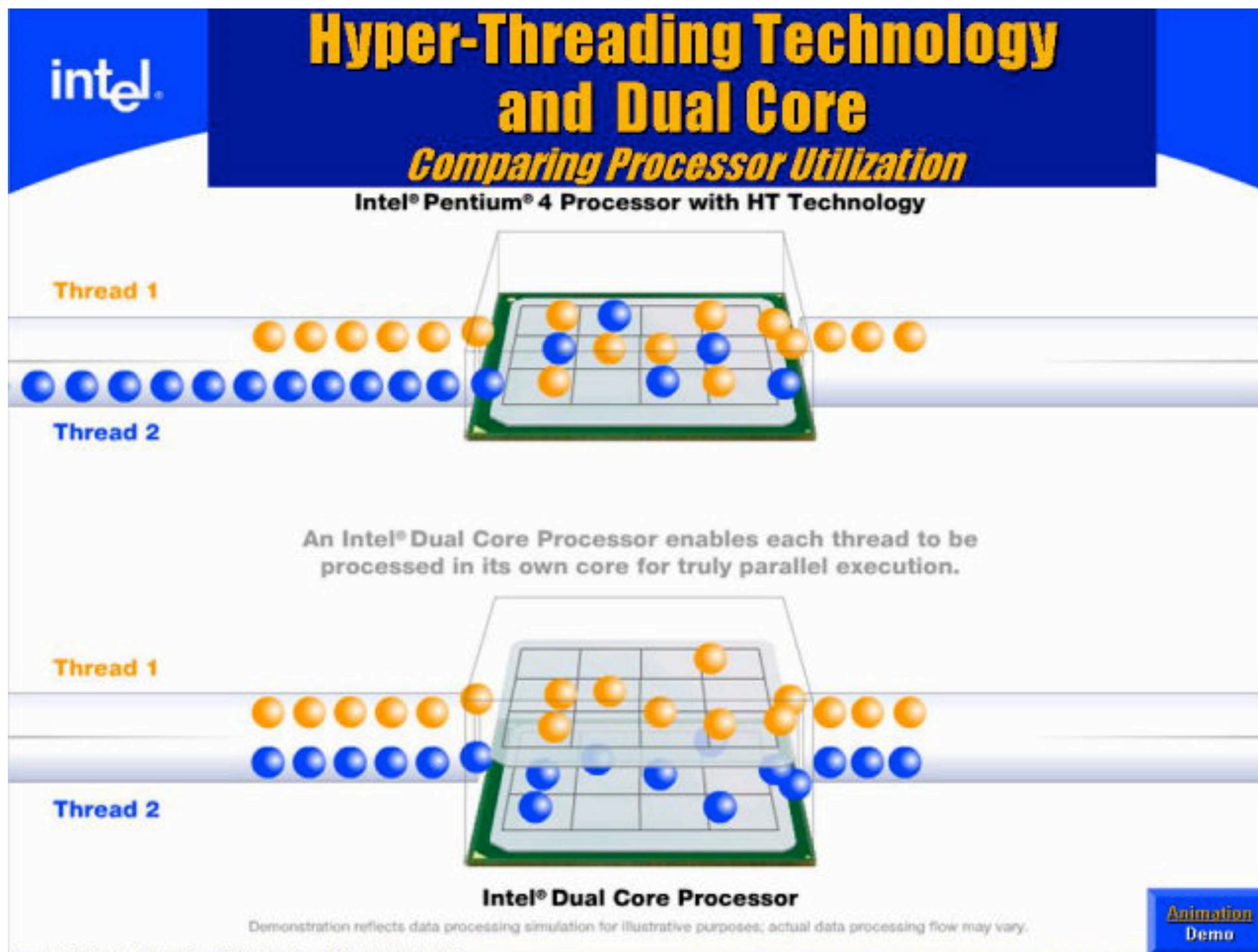
- Hyperthreading
- Speed Step

Procesory s více jádry

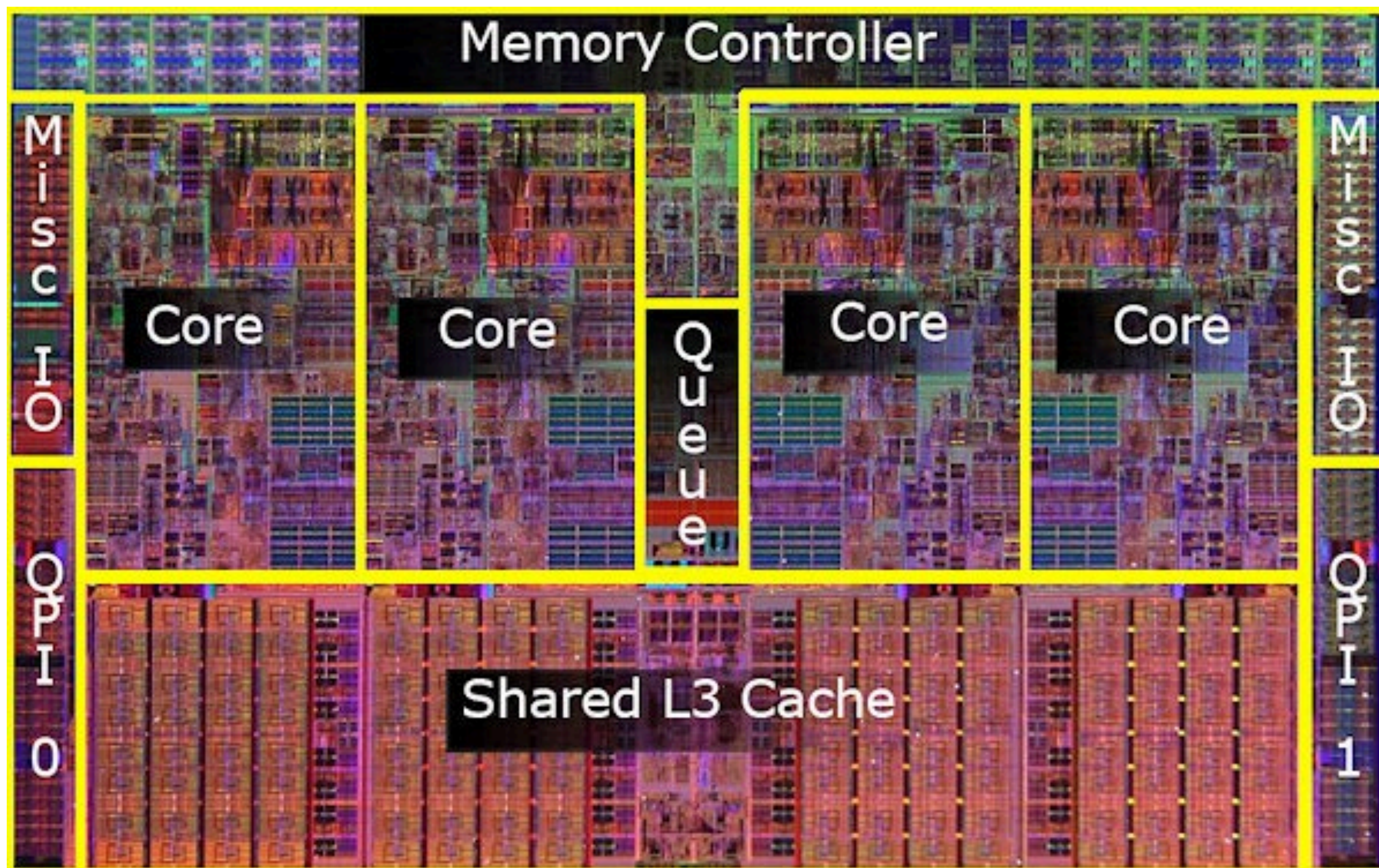
- Podpora multithreadingu a multitaskingu



Procesory s více jádry



Intel Core i7



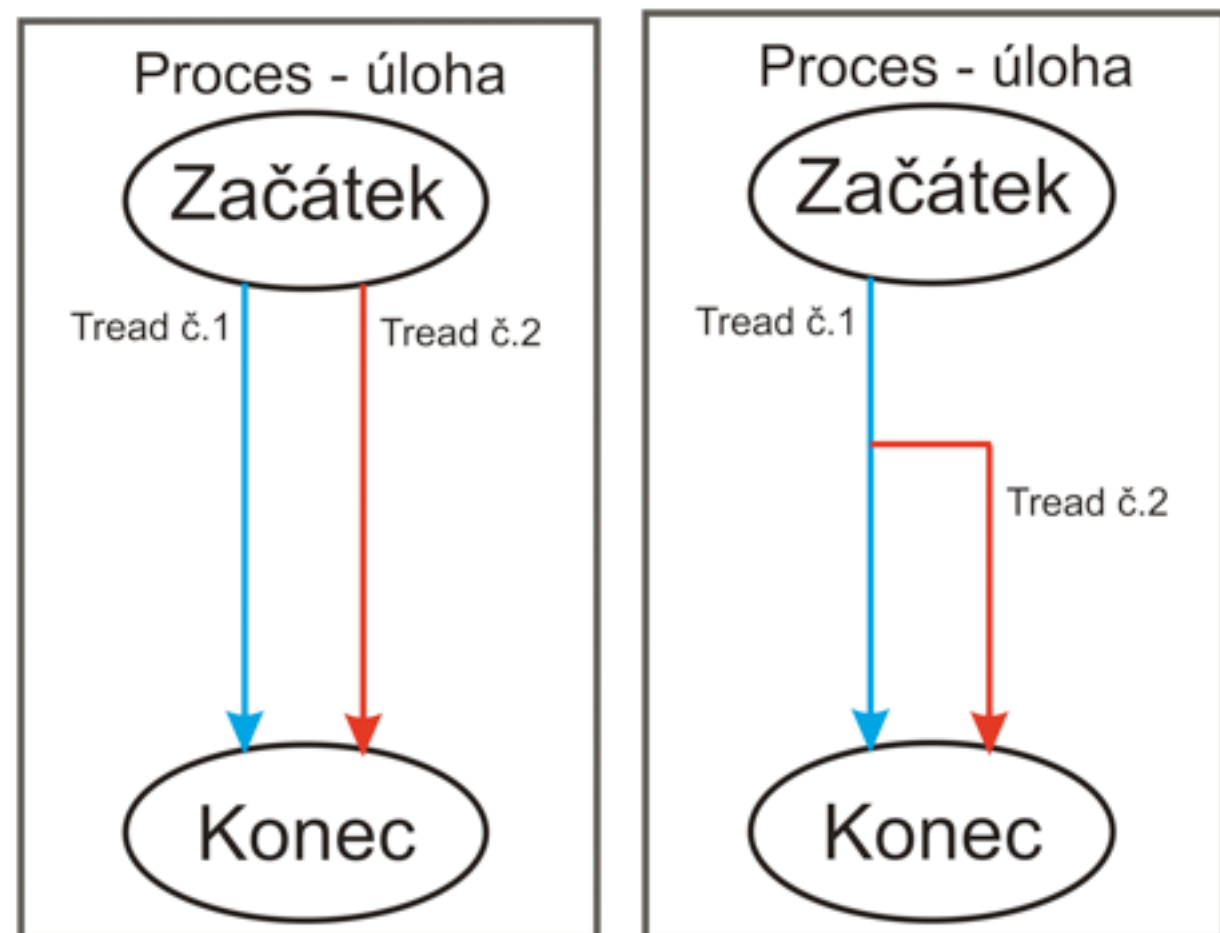
Intel Core i7



- 730 miliónů tranzistorů
- 45 nm, 263 mm²
- hyperthreading (4 jádra, 8 vláken)
- instrukční sada 64 bit
- max paměť 32 GB
- cache 6 MB
- speed step

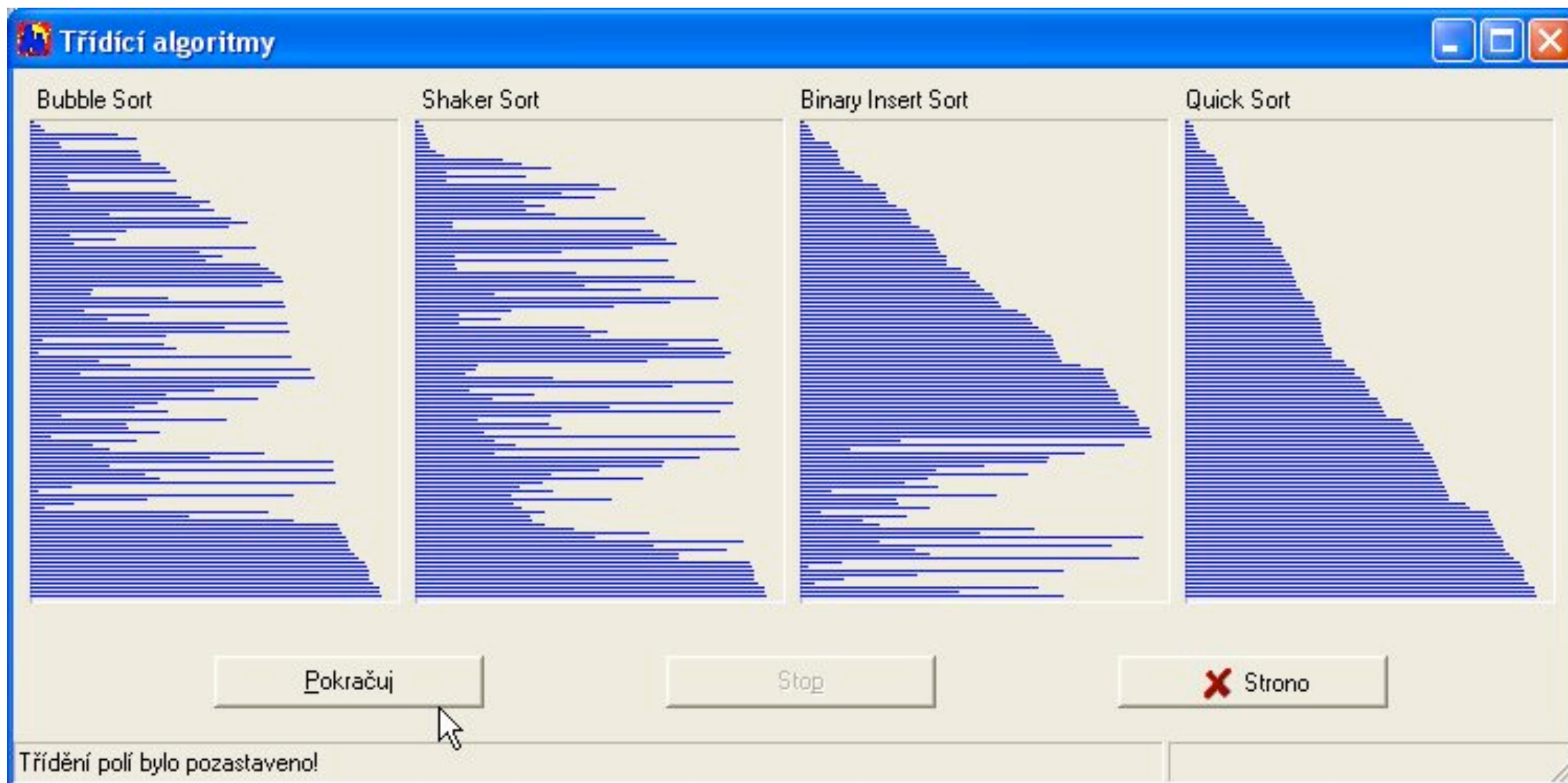
Multithreading

- Proces (task) se může skládat z více relativně samostatných vláken (threads)



Multithreading

- Příklad aplikace s více vlákny



RISC

- ARM - pro mobilní zařízení

Komunikace procesu s okolím

- pomocí sběrnice
- pomocí systému přerušení (IRQ)
- přes kanály přímého přístupu do paměti (DMA)

Komunikace procesoru s okolím

- procesor v pravidelných časových intervalech prochází všechna zařízení
- systém přerušení
 - každá operace má číslo přerušení

Mechanismus přerušení

- 1. Zařízení, které potřebuje obsluhu vyvolá přerušení. To může být hardwarové nebo softwarové. Procesor dokončí probíhající instrukci a uloží si dosažené hodnoty a číslo následující instrukce do paměti.
- 2. Vektor přerušení spustí na příslušné adrese v paměti program pro obsluhu přerušení. Pro zpracování přerušení je určen speciální obvod - interrupt controller (řadič přerušení).
- 3. Po obsluze zařízení, které vyvolalo přerušení, se z paměti se vezmou dočasné hodnoty a následující instrukce přerušeného programu a pokračuje se v jeho provádění.

...děkuji za pozornost

Mgr. Rostislav Fojtík, PhD.
Katedra informatiky a počítačů
Přírodovědecká fakulta
Ostravská univerzita v Ostravě