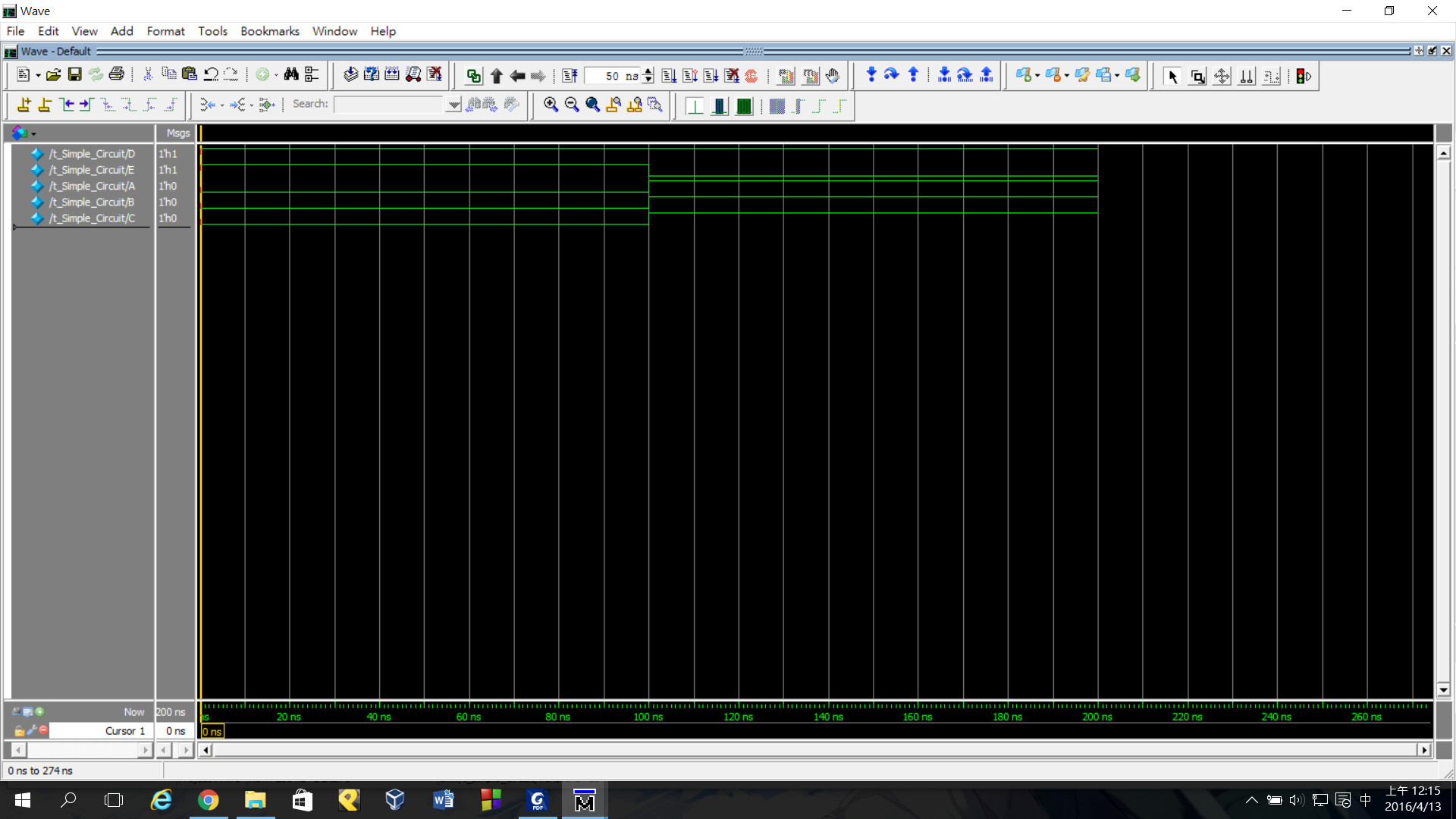
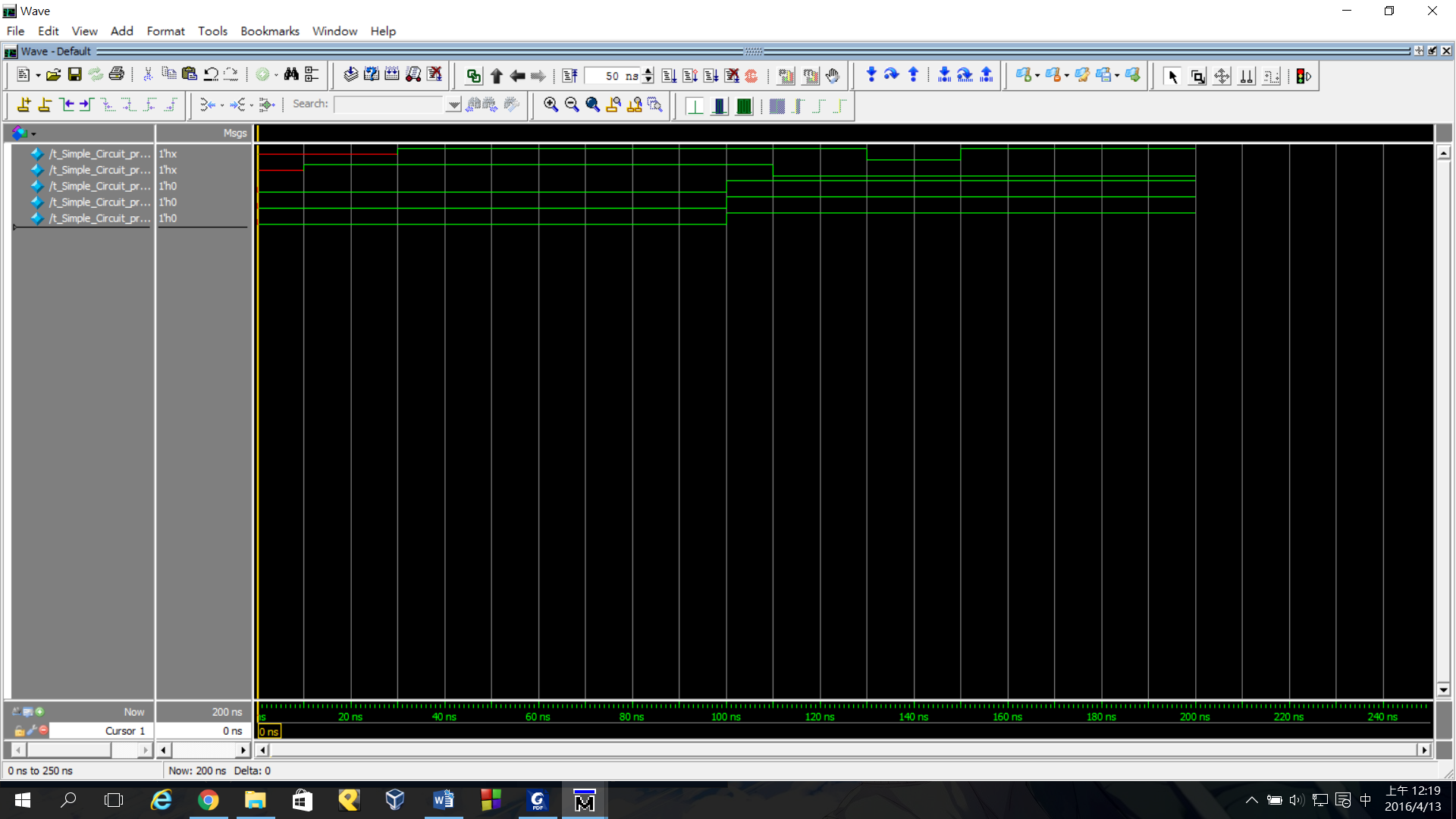
1. 2A(a)

t\_Simple\_Circuit



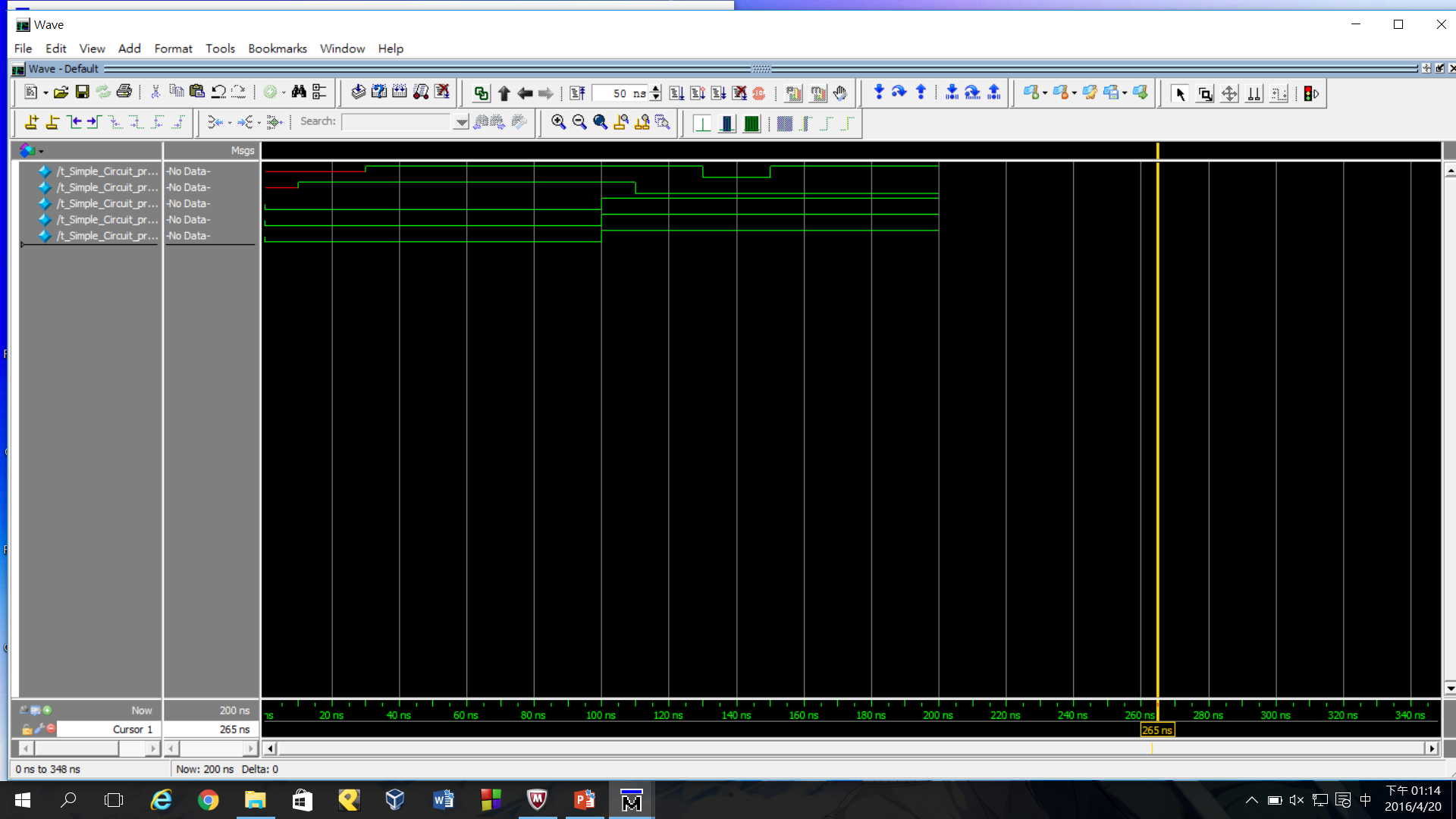
t\_Simple\_Circiut\_prop\_delay



因t\_Simple\_Circiut\_prop\_delay有設定時間的延遲，故他的輸出(E和D)會比t\_Simple\_Circiut還要慢一點：not延遲10ns所以E晚10ns出來，or延遲20ns、and延遲30ns所以D比E晚20ns(比一開始晚30ns)出來。當A、B、C改變初始值後也是一樣，E晚10ns出來，D晚30ns(比E晚20ns)出來。

2. 2A(b)

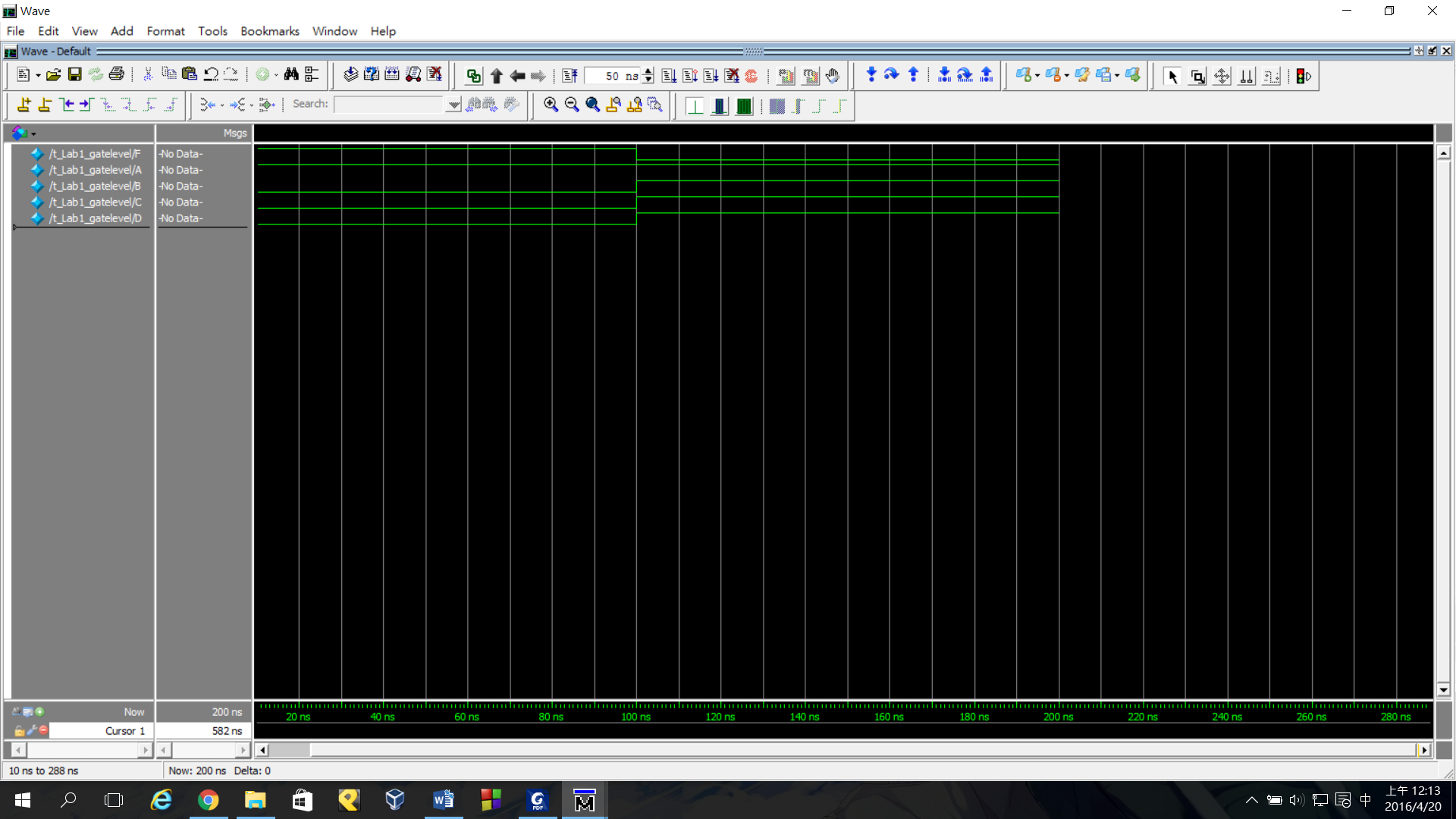
After change



因只是not與or對調，proporgation delay並沒有改變，故圖形與改變前相同。

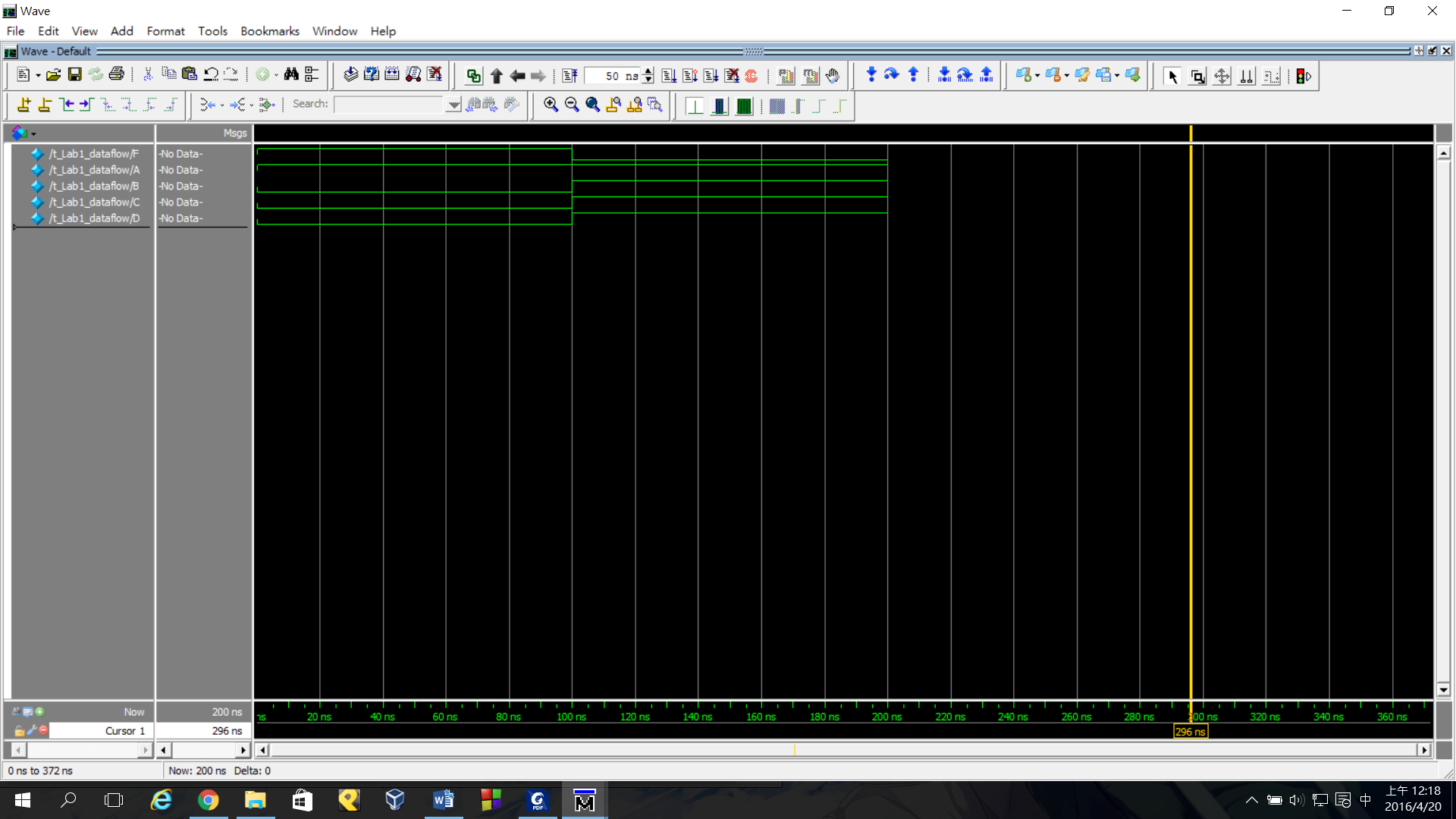
3. 2B(a)

t\_Lab1\_gatelevel



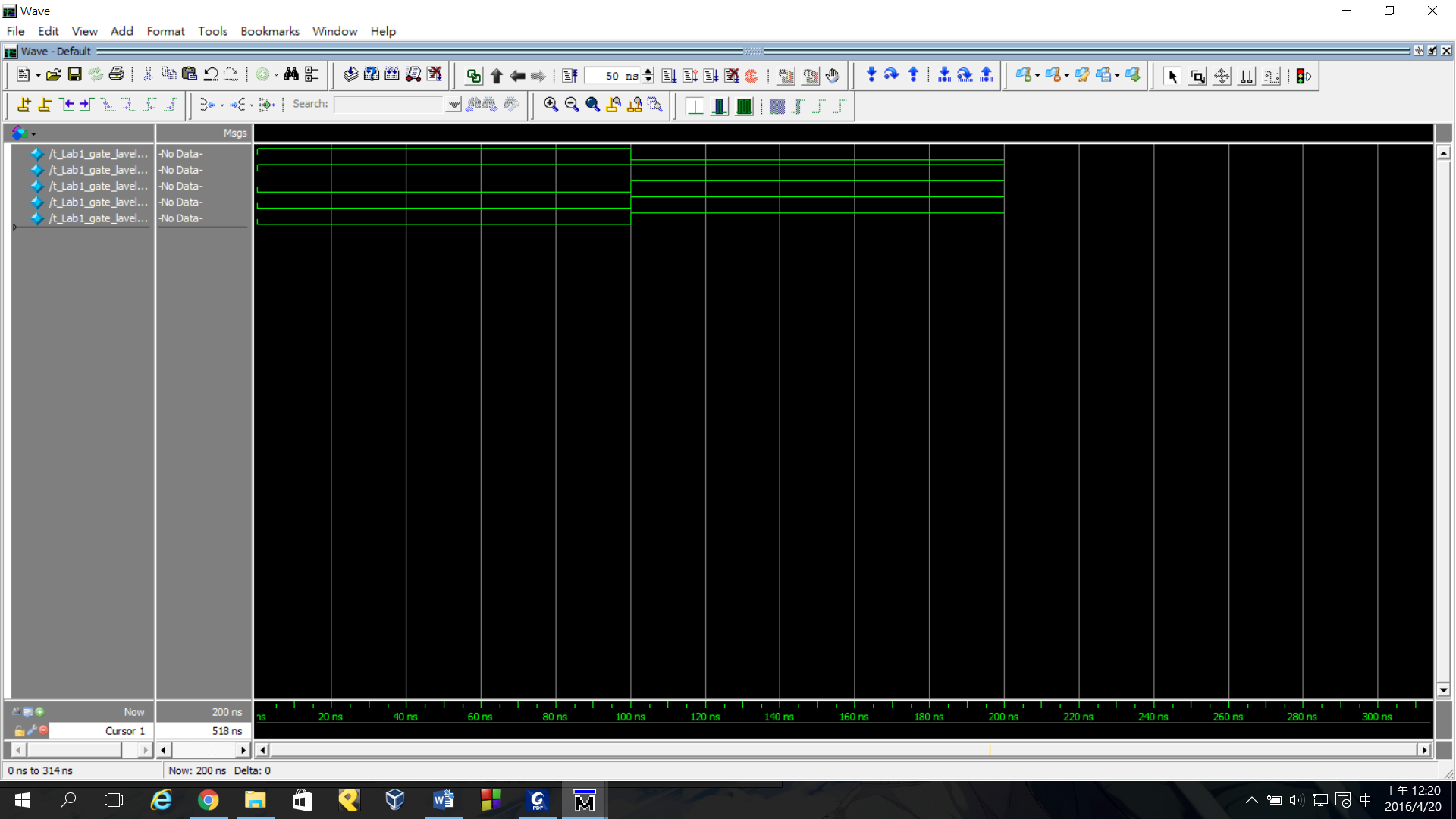
我所設的初始變數為A=1，B=0，C=0，D=0，此時輸出F=1。在100ns時的初始值改為A=1，B=1，C=1，D=1，此時輸出F=0。答案皆與波形圖符合，故正確。

4. 2B(b)

t\_Lab1\_dataflow

我所設的初始變數為A=1，B=0，C=0，D=0，此時輸出F=1。在100ns時的初始值改為A=1，B=1，C=1，D=1，此時輸出F=0。答案皆與波形圖符合，故正確。

5. 2B(c)

t\_Lab1\_gate\_level\_UDP

我所設的初始變數為A=1，B=0，C=0，D=0，此時輸出F=1。在100ns時的初始值改為A=1，B=1，C=1，D=1，此時輸出F=0。答案皆與波形圖符合，故正確。

6. 心得與感想

Verilog是我新學習的語言，所以這份作業花了不少時間上網查相關資料。不過打完後才發現有些我上網查的資料其實老師都講過了(上課太不專心了……)。接下來上課我會努力更專心一點讓自己在做下一份作業或是準備小考時比較輕鬆一點，要不然在網路上大海撈針太花時間了……。

再寫的途中遭遇到的問題主要是不熟悉它的語法、格式或限制以至於compile出現error的時候會看不懂程式錯在哪，常常都是自己上網找這個error的解法，如果找不到解法就只能靠自己亂槍打鳥看能不能猜中甚麼東西。在寫這份作業的過程中也花了不少時間理解error的部分，不過自己查解答的好處是當查到解答時自己對這個語法會更熟悉一點。

Verilog在硬體中應該是很基礎的語言吧?我很慶幸我在大一就可以先接觸它了，聽說大二的dlab也是要寫這個但難度會大大提升，所以先學習然後熟悉這個語言對我來說是好的。很高興可以在大一先學習基本的語法，希望以後我能越寫越順。