## Министерство образования Республики Беларусь

## Учреждение образования

## БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Факультет	КСиС	Кафедра	ПОИТ		
Специальность	1-40 01 01	Специализация	03		
		VTDEDWE AIO			
		УТВЕРЖДАЮ			
			Н.В. Лапицкая		
		«»	2016 г.		
	3.	АДАНИЕ			
	по дипломному п	роекту (работе) студента			
	<b>Дементьевой</b> А	лисы Александровны			
	(фамили	я, имя, отчество)			
1. Тема проекта (раб	оты): Программное средс	тво верификации алгоритмов т	гестирования оперативных		
запоминающих устр		ibo bepinginiadini asii opiiniob			
<u>sarrommano mano yerp</u>	<u> </u>				
утверждена приказо	м по университету от «_(	09_» _ февраля _ 2016 г. № _ 20	65-c_		
2. G		( 5 )	2016		
2. Срок сдачи студен	нтом законченного проект	га (работы): 1 июн	ня 2016 года		
3. Исходные данные	к проекту (работе): Тип	операционной системы – Win	dows; Языки програм-		
мирования – С++, По	еречень выполняемых фун	нкций: а) симуляция работы ди	инамического оперативного		
		елей неисправностей в памяти			
при помощи адапти	вного сигнатурного анал	изатора; г) запуск неразруша	ющих маршевых тестов		
для обнаружения не	еисправностей. Назначен	ие разработки: создание прог	граммного средства для		
верификации алгори	тмов тестирования опера	тивных запоминающих устро	йств		
		_			
-	•	ень подлежащих разработке в	· ———		
		я оперативных запоминающи	их устройств и моделей		
функциональных не	исправностей				
2 Используемые тех	нологии				
3 Проектирование а	рхитектуры программного	о средства			
4 Тестирование прог	граммного средства				
5 Методика использ	ования разработанного пр	ограммного средства			
6 Технико-экономич	еское обоснование эффен	стивности разработки и испол	ьзования программного		
средства					
Заключение					
Список использован	ных источников				
Приложение А Исхо	одный код программного с	средства			

5. Перечень графического материала (с точным	указанием об	бязательных чертежей	й): <u>Динамика</u>
развития оперативной памяти. Плакат - формат А1	, лист 1.		
Диаграмма компонентов симулятора памяти. Плака	ат - формат А	1, лист 1.	
Нотация маршевых тестов и функциональные мод	цели неиспра	вностей ОЗУ. Плакат	- формат А1,
лист 1.	•		
	ими маршевы	ими тестами. Плакат	- формат A1.
лист 1.			<u> </u>
Программное средство верификации алгоритмов	тестипорациа	ОЗУ Суема програм	тмы - формат
А1, лист 1.	тестирования	OSS. CACMA TIPOT PAM	тиы - формат
	1		
Регенерация памяти. Схема алгоритма - формат А1			
Симуляция неисправностей ОЗУ. Схема алгоритма	- формат А1,	лист 1.	
( C			
6. Содержание задания по технико-экономическому			
Расчет экономической эффективности от разработки	и программно	ого средства верифика	ции алгоритмо
тестирования оперативных запоминающих устройс	СТВ		
Задание выдал:/ К. Р. Литвинович /			
КАЛЕНДАРН	ЫЙ ПЛАН		
Наименование этапов дипломного проекта	Объем	Срок выполнения	Примеча-
(работы)	этапа, %	этапов	ние
Анализ предметной области,			
разработка технического задания	15-20%	01.02-14.02	
Разработка функциональных требований,			
проектирование архитектуры программы	15-20%	15.02-06.03	
Разработка схемы программы, алгоритмов,			
схемы данных	15-20%	07.03–27.03	
Разработка программного средства	15-20%	28.03-24.04	
Тестирование и отладка	10%	25.04-08.05	
Оформление пояснительной записки			
и графического материала	20%	09.05-31.05	

Дата выдачи задания <u>1 февраля 2016</u> Руководитель / А. А. Иванюк /

Задание принял к исполнению \_\_\_\_\_\_/ А. А. Дементьева /