

4.12.

本习题讨论流水线对处理器时钟周期的影响。表中给出了数据通路中不同阶段延迟的两种情况，试根据这两种情况分别回答下列问题。

	IF	ID	EX	MEM	WB
<i>a.</i>	300 ps	400 ps	350 ps	500 ps	100 ps
<i>b.</i>	200 ps	150 ps	120 ps	190 ps	140 ps

- 4.12.1 [5] < 4.5 > 流水线处理器与非流水线处理器的时钟周期分别是多少？
- 4.12.2 [10] < 4.5 > lw 指令在流水线处理器和非流水线处理器中的总延迟分别是多少？。
- 4.12.3 [10] < 4.5 > 如果可以将原流水线数据通路的一级划分为两级，每级的延迟是原级的一半，那么你会选择哪一级进行划分？划分后处理器的时钟周期为多少？
- 假设处理器执行的指令比例如下表两种情况所示，试根据每种情况分别回答下列问题。

	ALU	beq	lw	sw
<i>a.</i>	50%	25%	15%	10%
<i>b.</i>	30%	25%	30%	15%

- 4.12.4 [10] < 4.5 > 假设没有阻塞和冒险，数据存储器的利用率是多少（占总周期数的百分比）？
- 4.12.5 [10] < 4.5 > 假设没有阻塞和冒险，寄存器堆的写寄存器端口的利用率是多少？
- 4.12.6 [30] < 4.5 > 假设一种多周期的处理器设计，其中每条指令需要多个时钟周期完成，但上一条指令完成前不取下一条指令。在这种设计中，指令仅经过其所需的阶段（例如，存储指令仅需 4 个时钟周期，因为其不需要 WB 阶段）。比较单周期设计、多周期设计和流水线设计三者的时钟周期和总执行时间。

解：(1) 流水线处理器的时钟周期取决于最长流水级的耗时，而非流水线处理器的时钟周期和总时长一致。

- ① 对于*a.*情况：流水线处理器周期 500 ps，非流水线处理器时钟周期 1650 ps
- ② 对于*b.*情况：流水线处理器周期 200 ps，非流水线处理器时钟周期 800 ps

(2) 一条 lw 指令在流水线处理器内经历五个周期完成，而非流水线处理器内需要一个周期完成：

- ① 对于*a.*情况：流水线处理器耗时 2500 ps，非流水线处理器时钟周期 1650 ps
- ② 对于*b.*情况：流水线处理器周期 1000 ps，非流水线处理器时钟周期 800 ps

(3) 对流水线细分流水级，显然分当前耗时最长的流水级，周期就一定会缩短。

- ① 对于*a.*情况：划分 MEM 段，划分后流水线处理器周期 400 ps，划分后取决于ID段耗时。
- ② 对于*b.*情况：划分 IF 段，划分后流水线处理器周期 190 ps，划分后取决于MEM段耗时。

(4) 上述指令只有lw和sw两种指令需要用到数据存储器。因此：

- ① 对于*a.*情况：数据存储器利用率= 15% + 10% = 25%
- ② 对于*b.*情况：数据存储器利用率= 30% + 15% = 45%

(5) 上述指令只有ALU和lw两种指令将要写寄存器组。因此：

- ① 对于*a.*情况：寄存器写端口利用率= 50% + 15% = 65%
- ② 对于*b.*情况：寄存器写端口利用率= 30% + 30% = 60%

(6) 单周期和流水线设计的 CPU 的时钟周期和任一条指令总执行时间已在前两问给出；

以下讨论题中描述的改版多周期设计处理器：

题中所给的四种指令中，仅lw需要完整的五个周期，ALU不需要MEM段，sw, beq不需要WB段：计算执行指令的平均需要周期数：再根据指令需要的阶段计算平均执行时间。

- ① 对于*a.*情况： $\bar{n}_a = 15\% * 5 + 85\% * 4 = 4.15$   
 $\bar{t}_a = 15\% * 1650 + 50\% * (1650 - 500) + (25\% + 10\%) * (1650 - 100) = 1365 \text{ ps}$
- ② 对于*b.*情况： $\bar{n}_b = 30\% * 5 + 70\% * 4 = 4.30$   
 $\bar{t}_b = 30\% * 800 + 30\% * (800 - 190) + (25\% + 15\%) * (800 - 140) = 687 \text{ ps}$

4.13.

本习题讨论数据相关如何影响 4.5 节中基本五级流水线的运行。试根据下表的两种指令序列情况分别回答下列问题。

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$6) add \$6, \$2, \$2 sw \$6, 50(\$1)	<i>b.</i>	lw \$5,−16(\$5) sw \$5,−16(\$5) add \$5, \$5, \$5

4.13.1 [10] <4.5> 指出指令序列中存在的相关及其类型。

4.13.2 [10] <4.5> 假设该流水线处理器没有转发，指出指令序列中存在的冒险并加入nop指令以消除冒险。

4.13.3 [10] <4.5> 假设该流水线处理器中有充分的转发。指出指令序列中存在的冒险并加入nop指令以消除冒险。

-----  
根据下表的两种时钟周期情况，分别回答下列问题。

	无转发	充分的转发	仅 ALU 至 ALU 的转发
<i>a.</i>	300 ps	400 ps	360 ps
<i>b.</i>	200 ps	250 ps	220 ps

4.13.4 [10] <4.5> 该指令序列在无转发和有充分的转发时总执行时间分别是多少？后者相对于前者的加速比是多少？

4.13.5 [10] <4.5> 如果仅有 ALU 至 ALU 的转发（没有从 MEM 到 EX 的转发），如何加入nop指令以消除可能的冒险？

4.13.6 [10] <4.5> 该指令序列在仅有 ALU 至 ALU 的转发时总执行时间分别是多少？与无转发的情况相比，加速比是多少？

解：(1) 记从上至下三条指令分别为  $I_1, I_2, I_3$ ：

① 对于*a.*情况：在多条指令中同时出现的寄存器有\$1,\$6，考虑他们之间的相关：

对于寄存器\$1， $I_1, I_3$ 之间存在RAW相关；

对于寄存器\$6， $I_1, I_2$ 之间存在WAR相关； $I_1, I_3$ 之间存在WAR相关； $I_2, I_3$ 之间存在RAW相关；

② 对于*b.*情况：在多条指令中同时出现的寄存器有\$5，考虑他们之间的相关

对于寄存器\$5， $I_1, I_2$ 之间存在RAW相关； $I_1, I_3$ 之间存在RAW, WAR, WAW相关； $I_2, I_3$ 之间存在WAR相关

(2) MIPS 五级流水线中，WAR和WAW不会产生冒险；RAW是真相关，产生冒险且无法通过重命名避免。插入空指令后，新的指令系列如下所示：

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$6) add \$6, \$2, \$2 nop sw \$6, 50(\$1)	<i>b.</i>	lw \$5,−16(\$5) nop nop sw \$5,−16(\$5) add \$5, \$5, \$5

(3) 当存在旁路时，*a.*中的冒险可以通过MEM－EX旁路来解决，而*b.*中的一个RAW仍无法解决可以加一个nop等待一个周期。更改后指令系列如下：

<i>b.</i>	lw \$5,−16(\$5) nop sw \$5,−16(\$5) add \$5, \$5, \$5
-----------	--

(4) 两种情况分别列出：

① 对于*a.*情况：无旁路时总执行时间=  $8 * 300 = 2400$  ps

有旁路时总执行时间=  $7 * 400 = 2800$  ps

加速比=  $\frac{2400}{2800} = 0.86$

② 对于*b.*情况：无旁路时总执行时间=  $9 * 200 = 1800$  ps

有旁路时总执行时间=  $8 * 250 = 2000$  ps

加速比=  $\frac{1800}{2000} = 0.9$

事实上都变得更慢了。

(5) 上面也已经讨论过，此时两种情况的冒险都无法消除。因此插入nop，答案与第二问一样。

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$6) add \$6, \$2, \$2 nop sw \$6, 50(\$1)	<i>b.</i>	lw \$5,−16(\$5) nop nop sw \$5,−16(\$5) add \$5, \$5, \$5

(6) 仅有 ALU 至 ALU 的转发时：

① 对于*a.*情况：总执行时间=  $8 * 360 = 2880$  ps，加速比=  $\frac{2400}{2880} = 0.83$

② 对于*b.*情况：无旁路时总执行时间=  $9 * 220 = 1980$  ps，加速比=  $\frac{1800}{1980} = 0.91$

事实上都变得更慢了。

4.16.

试根据表中的两条 MIPS 指令分别回答下列问题。

	指令
<i>a.</i>	lw \$1,40(\$6)
<i>b.</i>	add \$5,\$5,\$5

4.16.1 [5] <4.6> 指令执行时，两级流水线之间的寄存器中的内容是什么？

4.16.2 [5] <4.6> 哪些寄存器是需要读的？实际上读了哪些寄存器？

4.16.3 [5] <4.6> 这条指令在 EX 级和 MEM 级分别做了什么？

根据下表的两个循环分别回答下列问题。假设分支被完美地预测（没有因控制冒险导致的阻塞），没有延迟时间槽，而且流水线有完全的转发支持，并且循环在退出前运行了很多次。

	循环		循环
<i>a.</i>	loop: lw \$1,40(\$6) add \$5,\$5,\$8 add \$6,\$6,\$8 sw \$1,20(\$5) beq \$1,\$0,loop	<i>b.</i>	loop: add \$1,\$2,\$3 sw \$0,0(\$1) sw \$0,4(\$1) add \$2,\$2,\$4 beq \$2,\$0,loop

4.16.4 [10] <4.6> 画出循环第三次执行的流水线图，从取出循环的首条指令开始至取出下次循环的首条指令结束。给出这段时间内流水线中的所有指令。

4.16.5 [10] <4.6> 在这段时间内有百分之多少五级流水线都在做有用的工作？

4.16.6 [10] <4.6> 在第三次循环的首条指令被取指时，IF/ID寄存器中的内容是什么？

解：(1) 对于两种情况，分别列出段间寄存器的内容：

① 对于*a.*情况：lw \$1,40(\$6)

IF/ID：存放PC + 4与指令字本身

ID/EX：存放PC + 4、16 位立即数40<sub>(10)</sub>、两个寄存器号\$1,\$6、控制信号WB,M,EX

EX/MEM：存放目标寄存器\$1、最终要寻址的地址(\$6 + 40)、控制信号WB,M

MEM/WB：存放目标寄存器\$1、从上述地址中读取到的内容、控制信号WB

② 对于*b.*情况：add \$5,\$5,\$5

IF/ID：存放PC + 4与指令字本身

ID/EX：存放PC + 4、寄存器号\$5、控制信号WB,M,EX

EX/MEM：存放目标寄存器\$5、ALU 的相加结果、控制信号WB,M

MEM/WB：存放目标寄存器\$5、ALU 的相加结果、控制信号WB

(2) 对于两种情况，分别列出需要读和实际读取的寄存器：

① 对于*a.*情况：\$6寄存器需要读取，实际上读取了\$6和\$1

② 对于*b.*情况：\$5寄存器需要读取，实际上读取了\$5和\$5（两次读取）

(3) 对于两种情况，分别列出指令在 EX 级和 MEM 级的操作：

① 对于*a.*情况：EX：ALU 计算\$6 + 40      MEM：按算得的地址从数据存储器内取值

② 对于*b.*情况：EX：ALU 计算\$5 + \$5      MEM：无操作

(4) 流水线中的情况如下表：蓝色字体为不执行阶段

① 对于*a.*情况：

循环次数与指令	1	2	3	4	5	6
2: add \$5,\$5,\$8	WB					
2: add \$6,\$6,\$8	MEM	WB				
2: sw \$1,20(\$5)	EX	MEM	WB			
2: beq \$1,\$0,loop	ID	EX	MEM	WB		
3: lw \$1,40(\$6)	IF	ID	EX	MEM	WB	
3: add \$5,\$5,\$8		IF	ID	EX	MEM	WB
3: add \$6,\$6,\$8			IF	ID	EX	MEM
3: sw \$1,20(\$5)				IF	ID	EX
3: beq \$1,\$0,loop					IF	ID
4: lw \$1,40(\$6)						IF

② 对于*b.*情况：

循环次数与指令	1	2	3	4	5	6
2: sw \$0,0(\$1)	WB					
2: sw \$0,4(\$1)	MEM	WB				
2: add \$2,\$2,\$4	EX	MEM	WB			
2: beq \$2,\$0,loop	ID	EX	MEM	WB		
3: add \$1,\$2,\$3	IF	ID	EX	MEM	WB	
3: sw \$0,0(\$1)		IF	ID	EX	MEM	WB
3: sw \$0,4(\$1)			IF	ID	EX	MEM
3: add \$2,\$2,\$4				IF	ID	EX
3: beq \$2,\$0,loop					IF	ID
4: add \$1,\$2,\$3						IF

(5) 按题目的描述，这一段时间应是完整的一次循环。从上表中可以看出来，一次循环五个流水周期，对于*a.*情况只有一个周期是五级流水都在工作，而对于*b.*情况有两个周期是五级流水都在工作：

① 对于*a.*情况：20%

② 对于*b.*情况：40%

(6) IF/ID寄存器中的内容是第三次循环第一条指令的地址、上一次循环beq指令的指令字

## 4.18.

下表给出了流水线（参见图 4-51）中执行的指令、时钟周期、ALU 延迟和 Mux 延迟的两种情况。试根据表中两种情况分别回答下列问题。

	指令	时钟周期	ALU 延迟	多路器延迟
a.	add \$1,\$2,\$3	100 ps	80 ps	10 ps
b.	slt \$2,\$1,\$3	80 ps	50 ps	20 ps

4.18.1 [5] < 4.6> 每个流水级的控制信号值是多少？

4.18.2 [5] < 4.6 4.7> 控制单元需要在多长时间内产生控制信号ALUSrc？与单周期实现进行比较。

4.18.3 [5] 对这条指令而言，PCSrc控制信号的值应是多少？

这个信号在 MEM 级中产生（仅使用了一个与门），为什么不在 EX 级才产生这个信号？

下表给出两个信号的两种情况，试根据每种情况分别回答下列问题。

	信号 1	信号 2
a.	RegDst	RegWrite
b.	MemRead	RegWrite

4.18.4 [5] < 4.6> 这两个控制信号分别是在哪个流水级生成，又在哪个流水级使用的？

4.18.5 [5] < 4.6> 对哪些 MIPS 指令，这两个信号都设置为 1？

4.18.6 [10] < 4.6> 这两个信号中哪一个沿流水线反向传输？这是一个时间旅行悖论吗？为什么？

解：（1）各控制信号的值列成下表： IF, ID段没有控制信号。

	EX	MEM	WB
a.	ALUSrc = 0 ALUOp = 10 RegDst = 1	Branch = 0 MemRead = 0 MemWrite = 0	MemtoReg = 1 RegWrite = 1
b.	ALUSrc = 0 ALUOp = 10 RegDst = 1	Branch = 0 MemRead = 0 MemWrite = 0	MemtoReg = 1 RegWrite = 1

（2）ALUSrc仅需一个时钟周期就可以产生。

（3）对a. b.两种情况来说，均有PCSrc = 0

这个信号不在EX段就产生是因为需要等待 ALU 的计算结果才可以判断PCSrc的值（ALU 计算其零输出）。如果可以提前判断 Zero 是否有效就可以提前生成控制信号PCSrc

（4）分别写出这两个控制信号的生成时间和使用时间：

① 对于a.情况：RegDst产生于ID段，用于EX段；RegWrite产生于ID段，用于WB段

② 对于b.情况：MemRead产生于ID段，用于MEM段；RegWrite产生于ID段，用于WB段

（5）

① 对于a.情况：RegDst = RegWrite = 1, 当指令是R - TYPE时都成立

② 对于b.情况：MemRead = RegWrite = 1,当指令是lw时成立。

（6）RegWrite沿流水线反向传播。这不是时间旅行悖论，它只影响这一条指令的执行而对后面的指令没有影响。

4.20.

试根据下表的两个指令序列分别回答下列问题。

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$2) add \$2,\$3,\$3 add \$1,\$1,\$2 sw \$1,20(\$2)	<i>b.</i>	add \$1,\$2,\$3 sw \$2,0(\$1) lw \$1,4(\$2) add \$2,\$2,\$1

4.20.1 [5] < 4.7> 找出指令序列中的数据相关。

4.20.2 [5] < 4.7> 分别对有转发和无转发的五级流水线找出指令序列中的冒险。

解：(1) 记从上至下四条指令分别为  $I_1, I_2, I_3, I_4$ ：

① 对于*a.*情况：在多条指令中同时出现的寄存器有\$1,\$2，考虑他们之间的相关：

对于寄存器\$1， $I_1, I_3$ 之间存在RAW，WAW相关； $I_1, I_3$ 之间存在RAW，WAW相关；

对于寄存器\$2， $I_1, I_2$ 之间存在WAR相关； $I_2, I_3$ 、 $I_2, I_4$ 之间存在RAW相关

② 对于*b.*情况：在多条指令中同时出现的寄存器有\$1,\$2，考虑他们之间的相关：

对于寄存器\$1， $I_1, I_2$ 之间存在RAW相关； $I_1, I_3$ 之间存在WAW相关； $I_1, I_4$ 之间存在RAW相关；

$I_2, I_3$ 之间存在WAW相关； $I_3, I_4$ 之间存在RAW相关；

对于寄存器\$2， $I_1, I_2$ 之间存在WAR相关； $I_1, I_4$ 之间存在WAR相关； $I_1, I_3$ 之间存在WAR相关；

$I_2, I_4$ 之间存在WAR相关； $I_3, I_4$ 之间存在WAR相关；

(2) 当存在旁路时，*a.*情况无冒险，*b.*情况在 $I_4$ 读取\$1时存在冒险。

当不存在旁路时，*a.*情况在 $I_3$ 读取\$1,\$2时 和  $I_4$ 读取\$1时 和  $I_3, I_4$ 读取\$2时存在冒险；

*b.*情况在 $I_1, I_2$ 同时写\$1时与 $I_3, I_4$ 读取\$1时存在冒险

4.21.

本习题讨论转发、冒险检测和指令集设计之间的关系。分别根据下表的两个指令序列回答下列问题。  
假设其在一个五级流水线上执行。

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$6) add \$2,\$3,\$1 add \$1,\$6,\$4 sw \$2,20(\$4) add \$1,\$1,\$4	<i>b.</i>	add \$1,\$5,\$3 sw \$1,0(\$2) lw \$1,4(\$2) add \$5,\$5,\$1 sw \$1,0(\$2)

4. 21. 1 [ 5 ] < 4.7> 如果没有转发或冒险检测电路，请插入 nop 指令以保证正确执行。

解：插入后指令系列如下：

	指令系列		指令系列
<i>a.</i>	lw \$1,40(\$6) nop nop add \$2,\$3,\$1 add \$1,\$6,\$4 nop sw \$2,20(\$4) add \$1,\$1,\$4	<i>b.</i>	add \$1,\$5,\$3 nop nop sw \$1,0(\$2) nop lw \$1,4(\$2) nop nop add \$5,\$5,\$1 sw \$1,0(\$2)