

计算机组成原理 实验报告

姓名：龚小航 学号：PB18151866 实验日期：2020-4-22

一、实验题目：

Lab01 运算器与排序

二、实验目的：

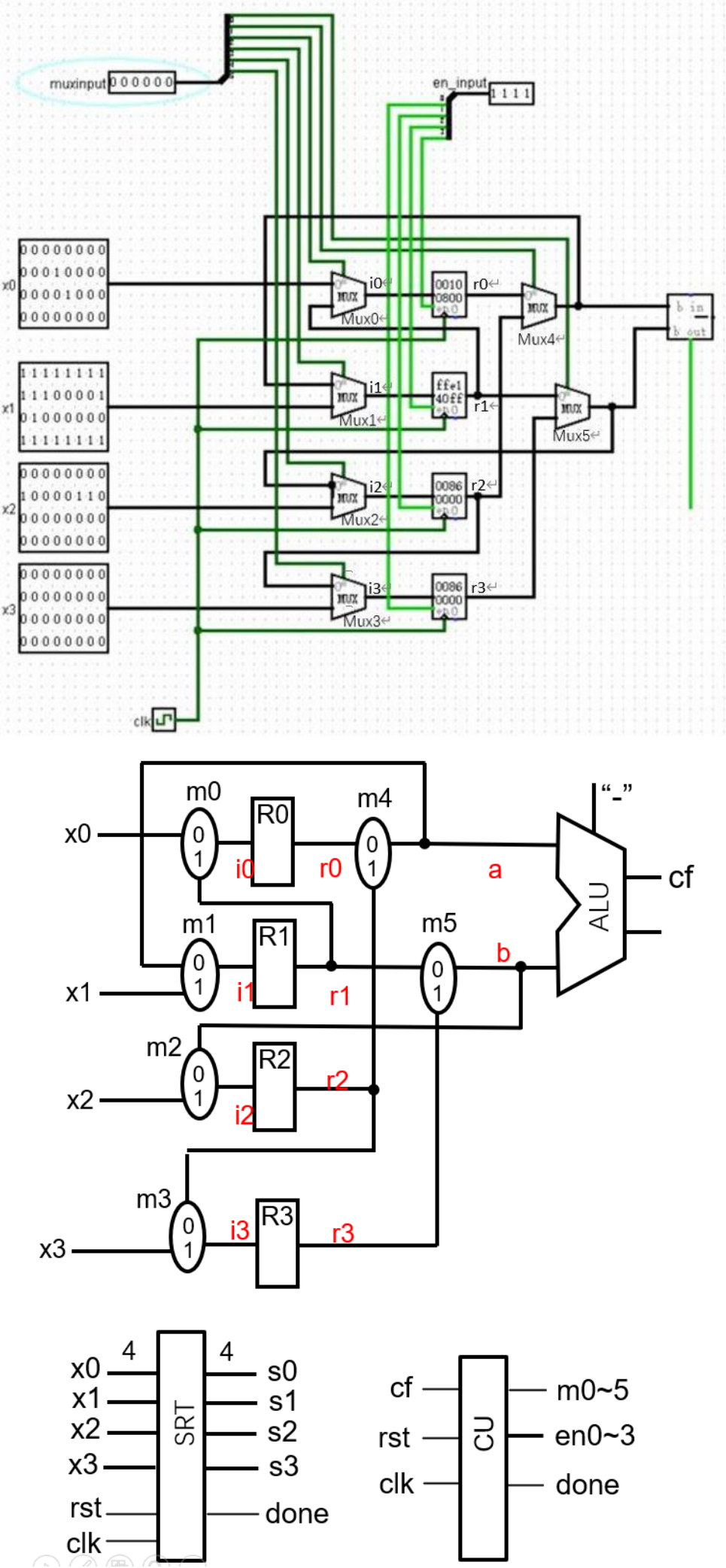
掌握算术逻辑单元（ALU）的功能，加/减运算时溢出、进位/借位、零标志的形成及其应用；掌握数据通路和控制器的设计和描述方法。

三、实验平台：

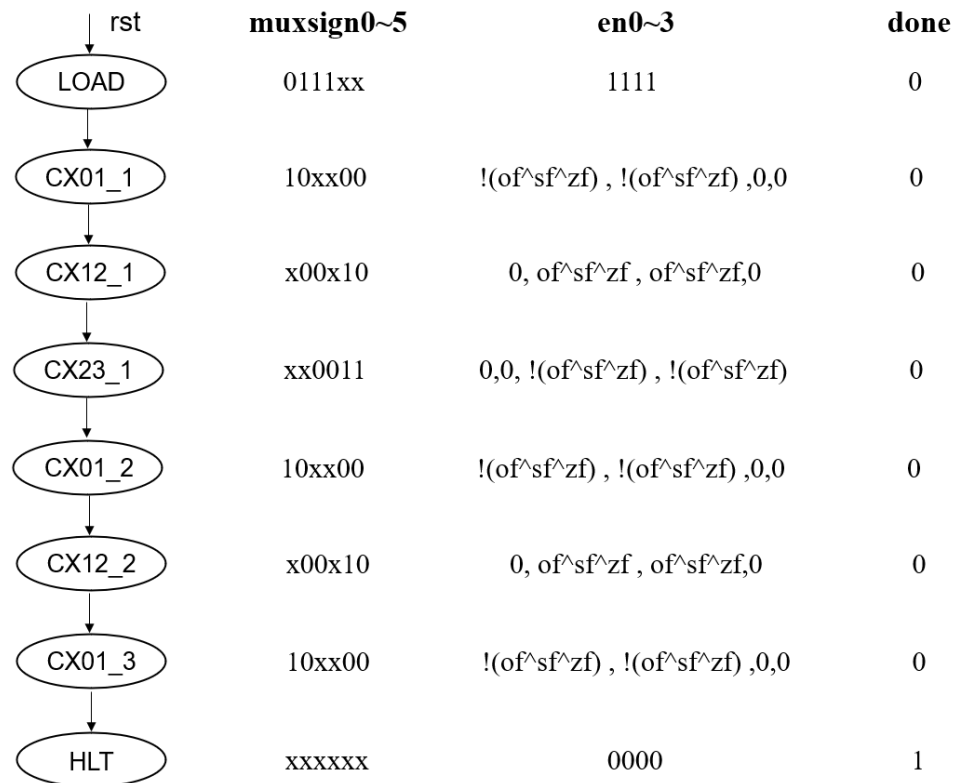
Vivado

四、实验过程：

采用行为方式描述参数化的 ALU 模块，并进行功能仿真；  
设计排序电路的数据通路和控制器，采用结构化方式描述数据通路，利用 FSM 描述控制器，并进行功能仿真；  
排序电路的数据通路设计如下：  
各个信号量也在图中标出，利用冒泡排序法，实现了四个输入数据的升序排序。



对于有符号数的排序，控制信号的值与状态转换图列于下：



有符号数比较

X与Y 关系	X-Y后标志 OF SF ZF		
X=Y	0	0	1
X>Y	0	0	0
	1	1	0
X<Y	0	1	0
	1	0	0

其中，排序电路利用了寄存器模块和多选器模块。总的模块调用如下所示：

sf 是最高位符号标志。

```

wire [N-1:0] r0,r1,r2,r3,i0,i1,i2,i3,a,b;//a,b送入ALU相减
wire zf,of,sf;
wire [3:0] en;
wire [5:0] muxsign;
REGISTER #(N) R0(i0,en[0],clk,rst,r0);
REGISTER #(N) R1(i1,en[1],clk,rst,r1);
REGISTER #(N) R2(i2,en[2],clk,rst,r2);
REGISTER #(N) R3(i3,en[3],clk,rst,r3);

MUX_2 #(N) MUX4(r0,r2,muxsign[4],a);
MUX_2 #(N) MUX5(r1,r3,muxsign[5],b);
MUX_2 #(N) MUX0(x0,r1,muxsign[0],i0);
MUX_2 #(N) MUX1(a,x1,muxsign[1],i1);
MUX_2 #(N) MUX2(b,x2,muxsign[2],i2);
MUX_2 #(N) MUX3(r2,x3,muxsign[3],i3);

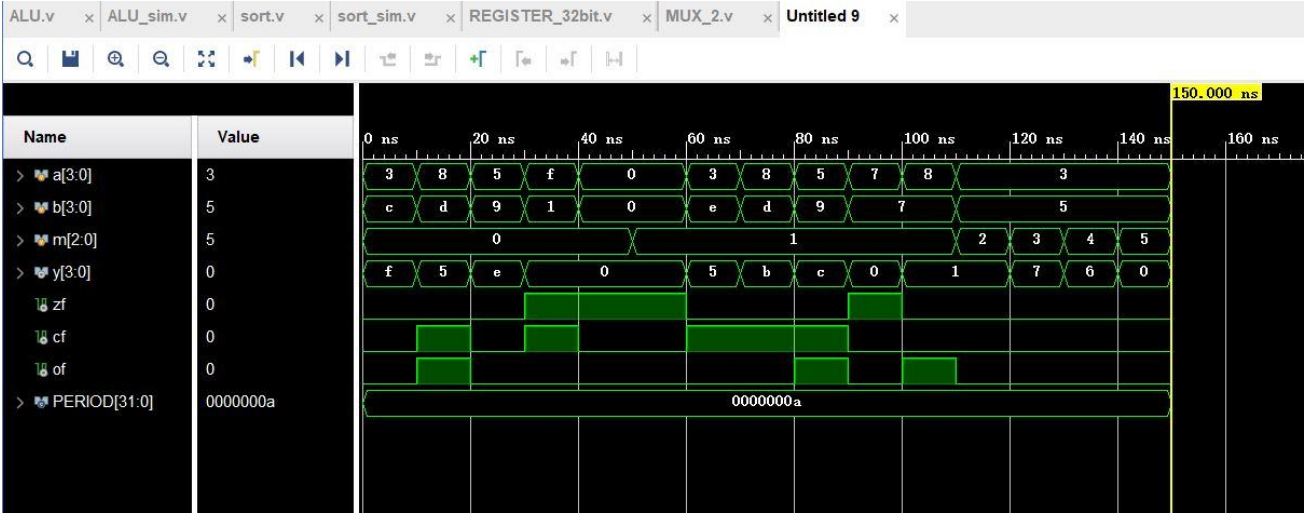
ALU #(N) subcf( ,zf, ,of,sf,a,b,3'b001);
```

其余就是控制模块，用于产生 muxsign 和 en 信号。具体实现附于源码中。

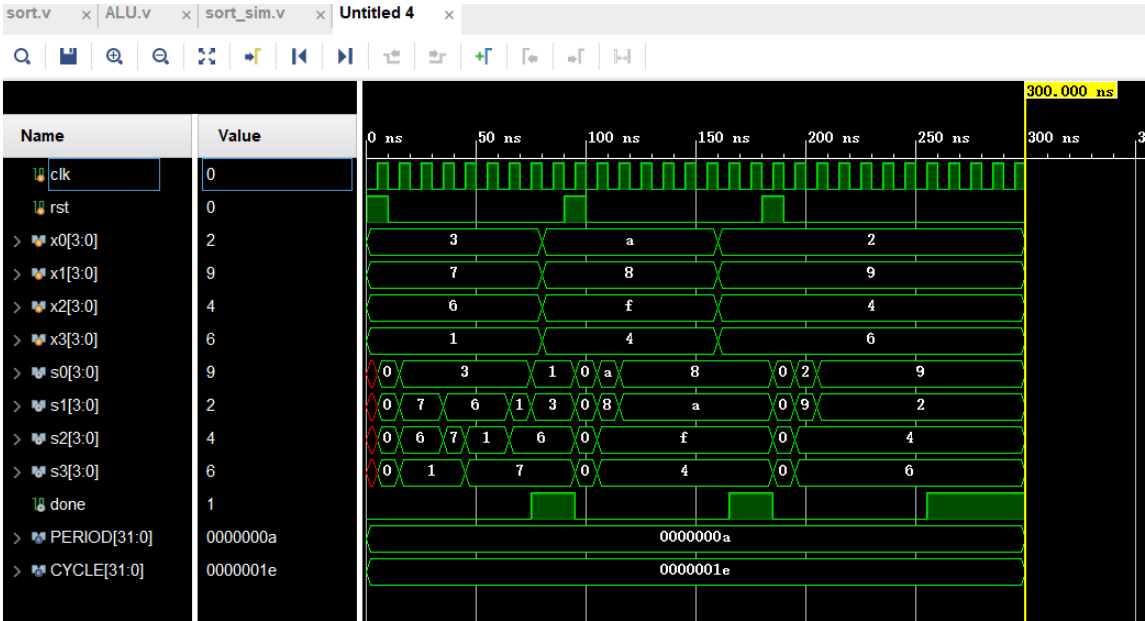
在各模块的定义中使用了#(parameter WIDTH=xx)作为公共的传输变量，这使得各个模块能够满足各种位宽的数据使用。这方便了仿真调试，也使这些模块更为通用，应用范围更广。

五、实验结果：

ALU 的仿真结果如下所示，各种功能在行为仿真下均已实现。



排序电路仿真结果如下所示，第一个时钟周期未对 wire 型的输出变量 s0，s1，s2，s3 赋初始值，因此他们值为 x.



由于数据只有四位，因此大于等于 8 的数都是负数。

排序电路功能正常，实现了四个有符号数的递增排序。

## 六、心得体会：

本实验介绍了 CPU 内基本算术逻辑单元的实现以及其 Verilog 语言描述，还初步介绍了数据通路和控制器的设计描述方法。通过此次实验，我熟悉了 FSM 与数据通路的设计方法，也为后续的实验打下了基础。排序是递增或是递减取决于数据通路的设计，即控制信号 **en\_input** 的设计是使相比较的相邻两数是小于而交换还是大于而交换；同时若是使用两个 ALU 模块，则 mux4 和 mux5 可以只用一个 mux 而实现，即只需在比较 r1,r2 的时候将 r2 和 r3 接到同一个 ALU 上即可。